

先端アナログ・デジタル混載 CMOS集積回路技術と システムへの応用

東京工業大学大学院理工学研究科
松澤・岡田研究室
宮原 正也

1. 自己紹介

2. 研究歴

3. システム応用アナログ回路開発事例

- ミリ波無線通信用高速データコンバータの研究
- ヘルスケアシステム用アナログ回路技術の研究
- 粒子検出器 ピクセル読み出し集積回路(QPIX)

4. まとめ

宮原 正也 助教

東京工業大学大学院理工学研究科電子物理工学専攻

専門分野: アナログ・デジタル混載集積回路設計

特に微細CMOSを用いたデータコンバータ

2001 木更津工業高等専門学校 電気工学科 卒業

2002 ソニーコンポーネント千葉(株) 退社

2004 木更津工業高等専門学校 専攻科 修了

2006 東京工業大学大学院理工学研究科 修士号取得

2007 Intel@Communication Circuit Lab., Oregon, USA

2009 東京工業大学大学院理工学研究科 博士号取得

2009/4～ 東京工業大学大学院理工学研究科 助教

● ミリ波無線通信用高速データコンバータの研究

- (1) 近距離通信(距離1m, 2.5Gbps)用超高速ADC/DAC (40nm)
1.1V, 2.304GSps, 12mW, 5bit ADC
1.1V, 3.456GSps, 20mW, 6bit DAC
1.1V, 1GHz BW, 9mW, 40dB VGA
- (2) FWA(距離数km, 1Gbps)用高精度・高速 ADC/DAC (90nm)
1.2V, 400MSps, 40mW, 10bit ADC
1.2V, 800MSps, 20mW, 12bit DAC

● 低電圧動作アナログ回路の研究 (90nm)

- 0.5V, 600MSps, 1.2mW, 5bit ADC
- 0.5V, 750MSps, 1.4mW, 10bit DAC

● ヘルスケアシステム用アナログ回路技術の研究 (180nm)

- (1) 膀胱内圧無線測定用センサーテレメトリーLSIの開発
1.5V, 30Sps, 10bit, 4.5nW 容量-デジタル変換器
磁気結合型低電力体外無線通信技術(12cm, 40kbps, 30mW)
- (2) 妊婦見守り用胎児心電モニタリングのための高精度ADCの開発
1.8V, 10kHz帯域, 16bit, $\Delta\Sigma$ ADC
1.8V, 300Hz帯域, 2uVrms入力換算雑音増幅器

● 粒子検出器 ピクセル読み出し集積回路(QPIX)(180nm)

- (1) ピクセル内蔵のための超小型ADCの開発
- (2) ピクセル間ばらつきを補償するためのアナログ回路技術に関する研究
1.8V, 10MSps, 10bit, SAR ADCを各ピクセルに内蔵した検出器
20x20 ピクセル粒子検出器による粒子飛跡検出実験中(一部成功)

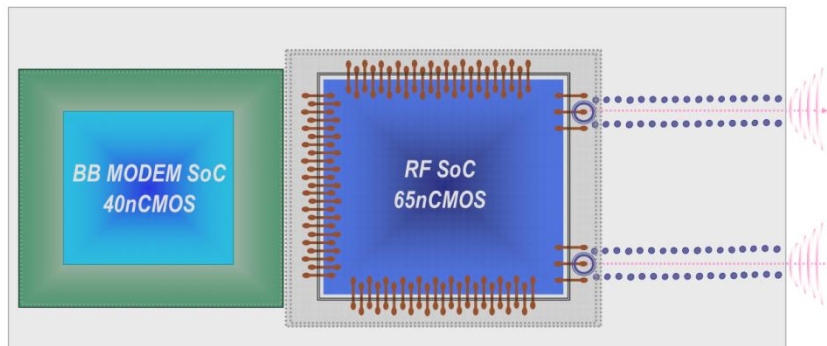
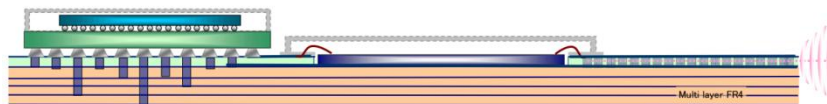
● 環境適応型エネルギーハーベスティング回路技術の研究

- (1) 電磁波エネルギー回収効率向上のための昇圧コンバータ開発
- (2) 電力動作点モニタ用低電力ADCの開発
- (3) 低電力・低雑音センサ読み出し回路の開発

屋内(~10m)及び屋外(1km~4km)のミリ波無線通信システム
及びSoCの開発によりミリ波利用を促進する

FY2007-FY2011

1. 60GHz, Indoor
3-10 Gbps
~10m

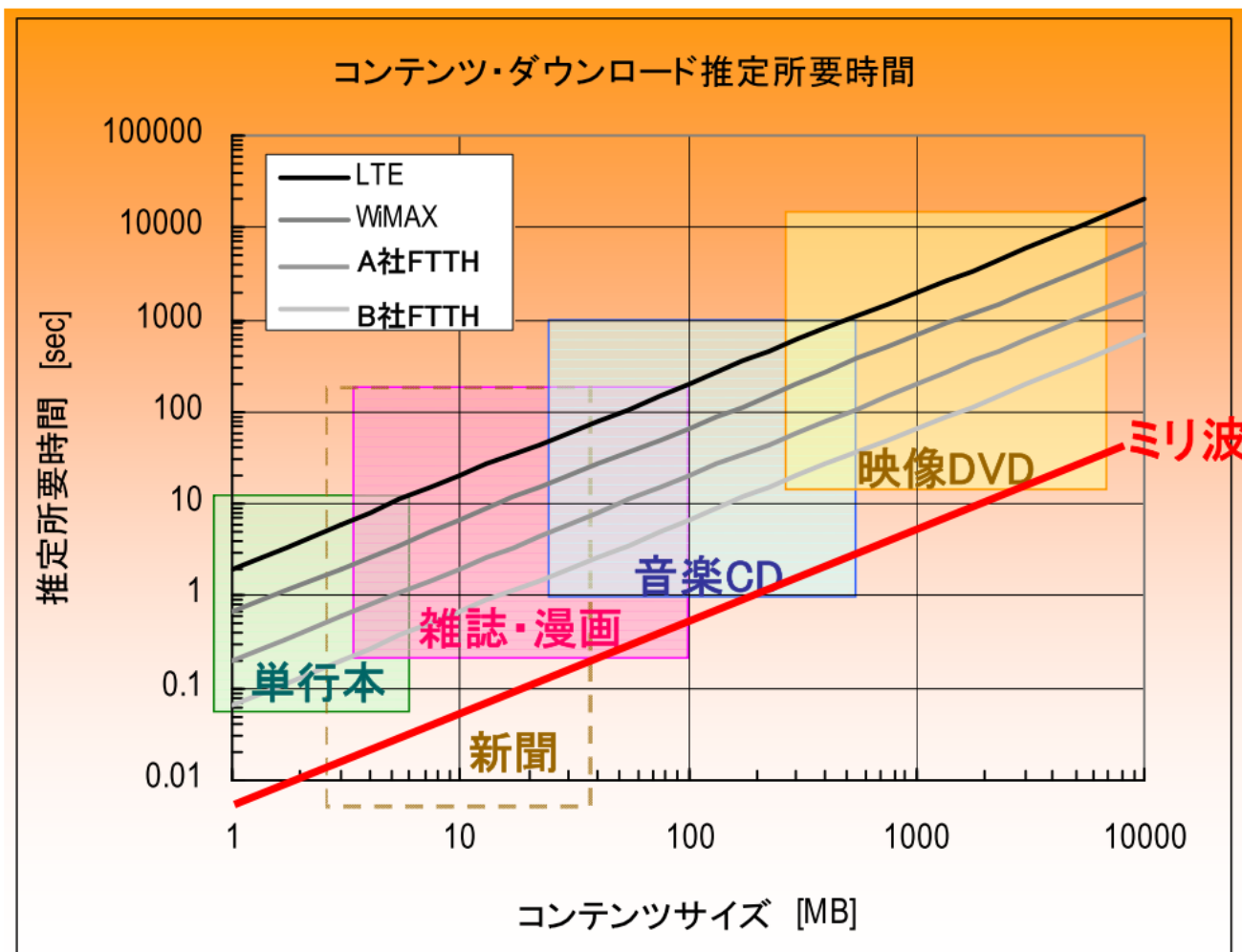


2. 38GHz, Outdoor
0.6-1.0 Gbps
1km~4km



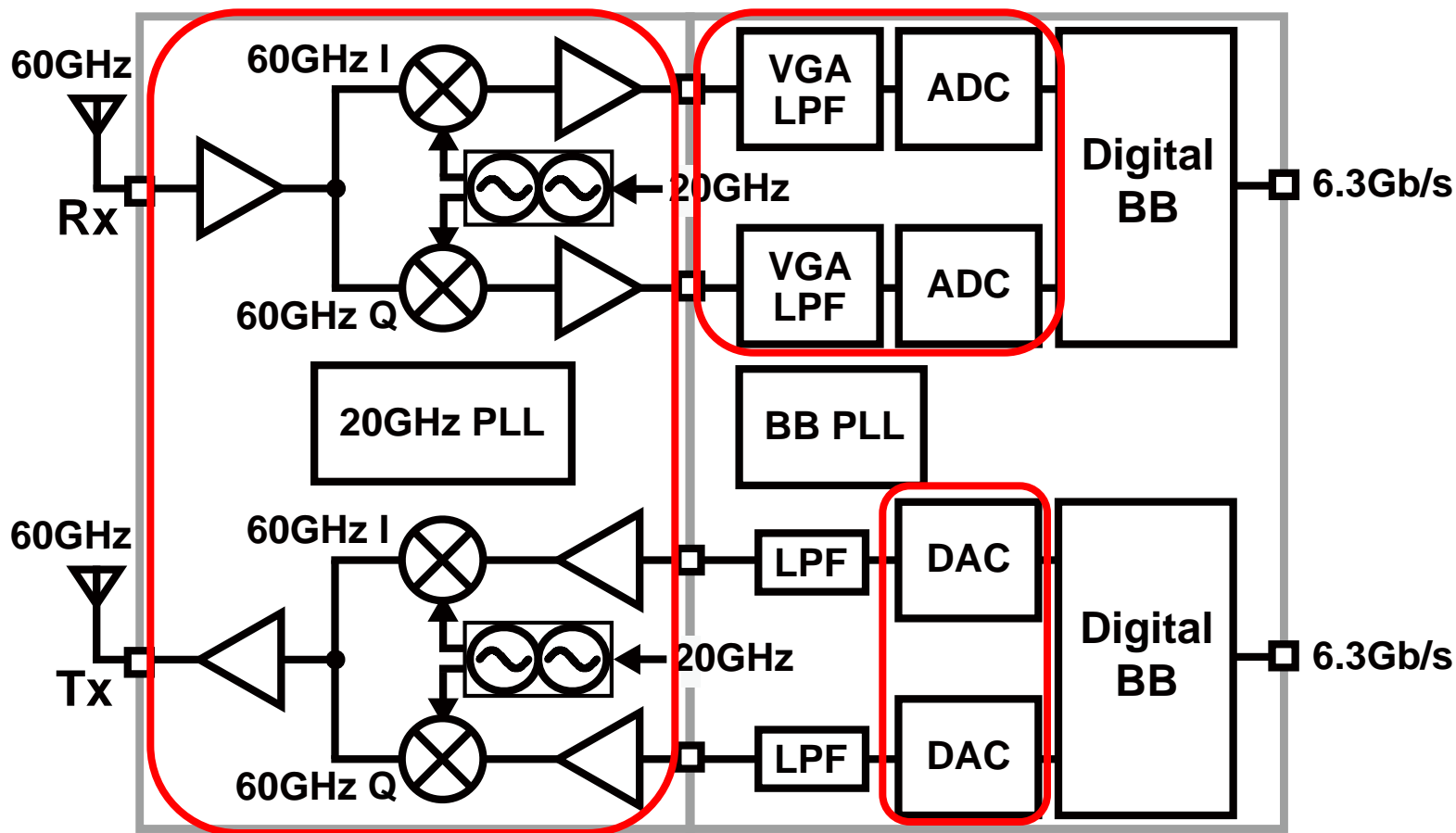
各種コンテンツの転送に要する時間

ミリ波を用いれば無線でも約10秒でDVDのコンテンツが転送可能



60GHz CMOS トランシーバーチップの開発 7

ダイレクトコンバージョン方式により小型・低消費電力



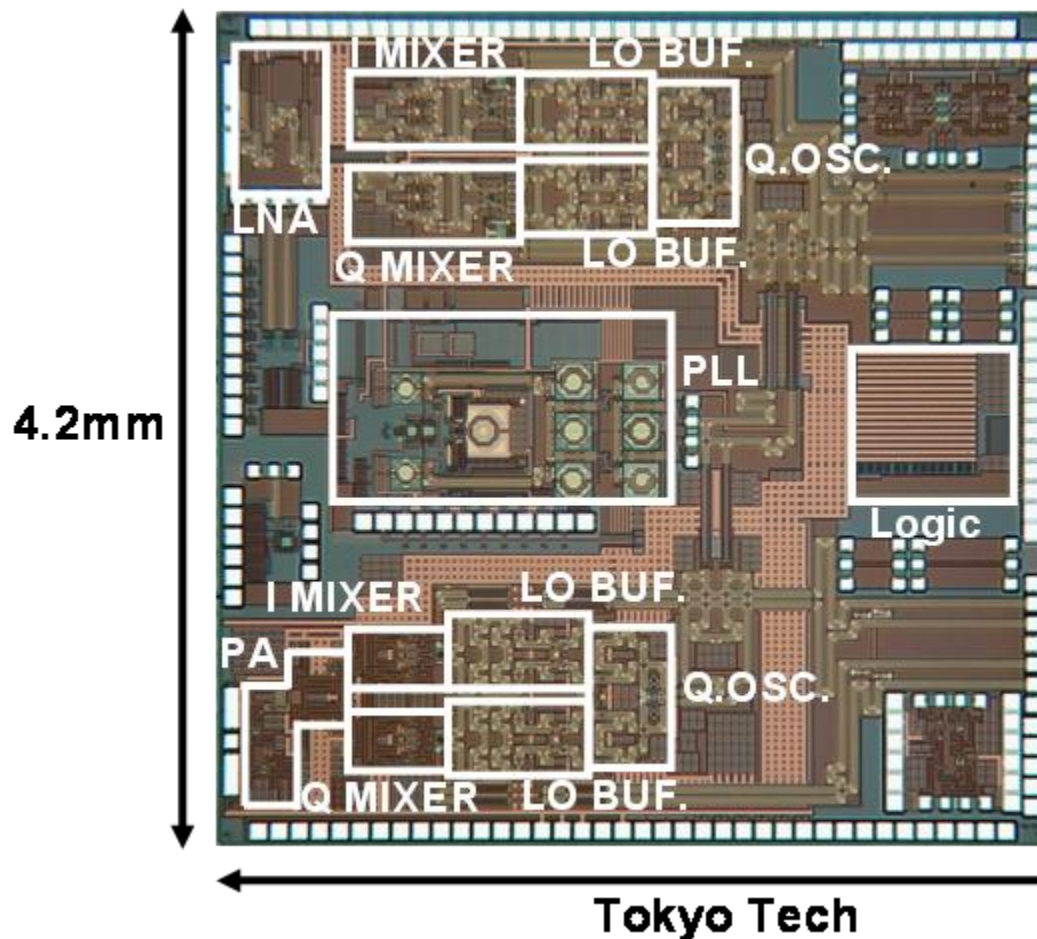
RFチップ

BBチップ

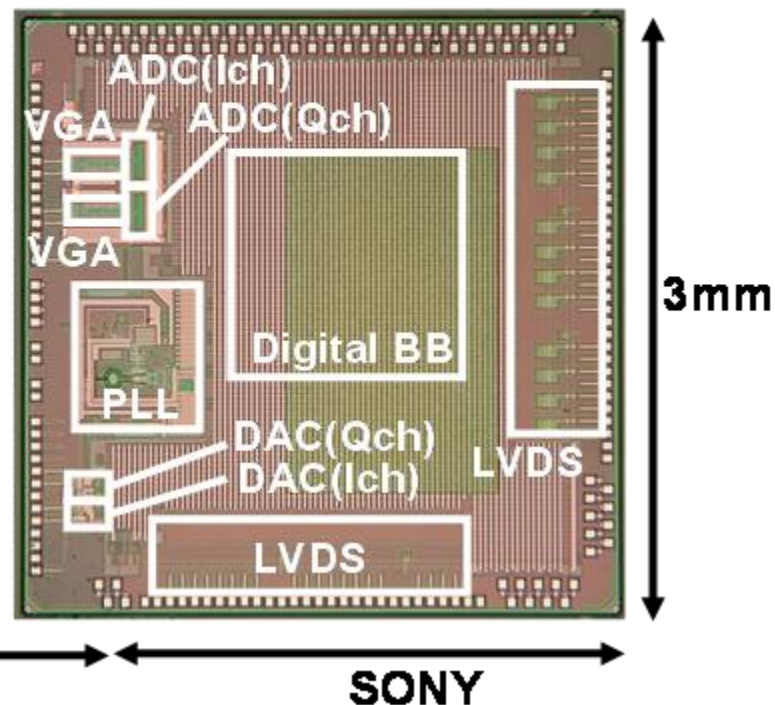
60GHz用RF+BB チップを開発

65nm CMOS RFチップ

BB ChipはSonyとの共同開発



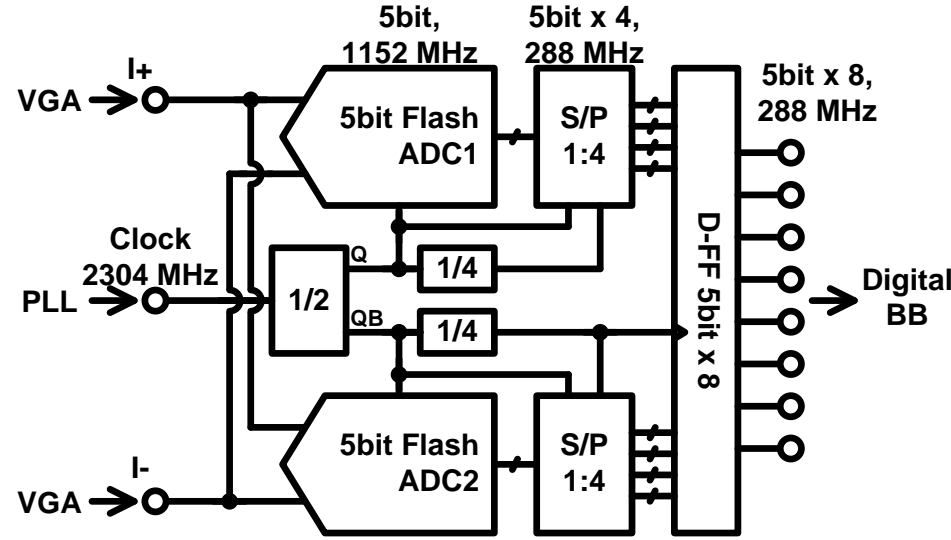
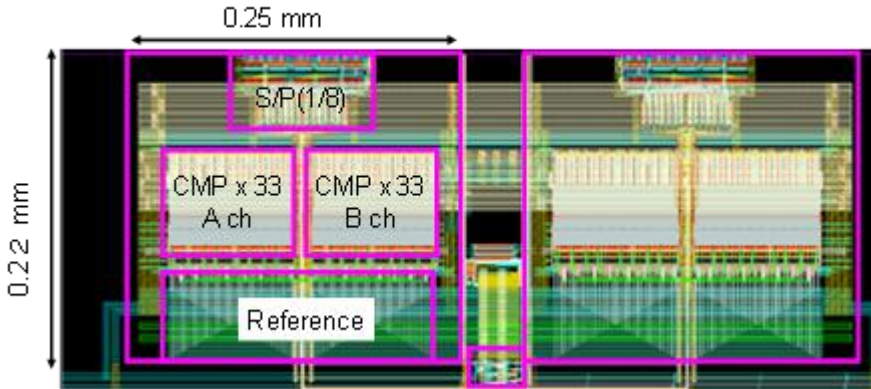
40nm CMOS
BBチップ



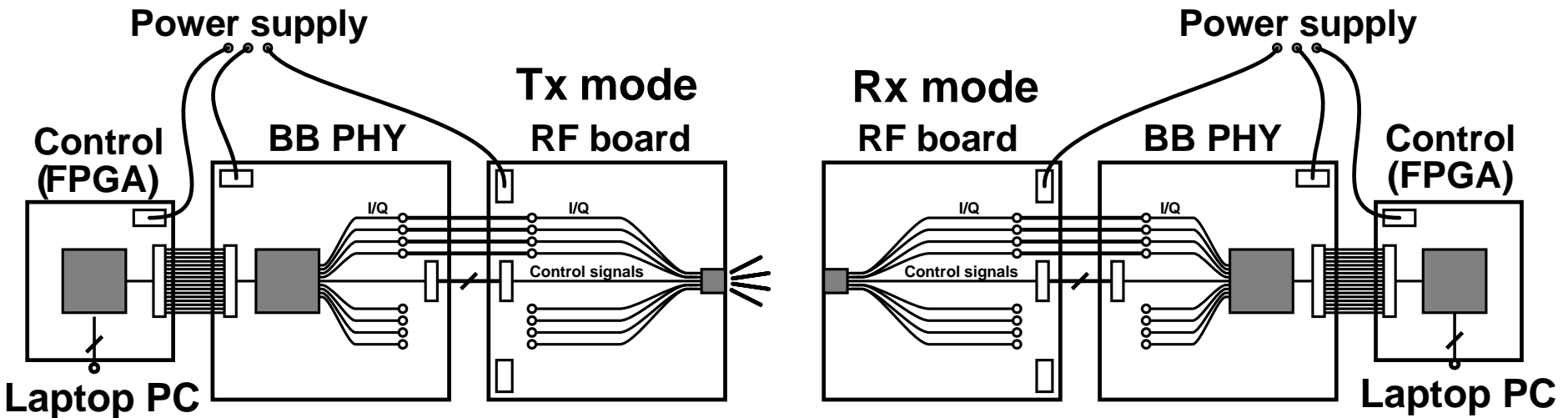
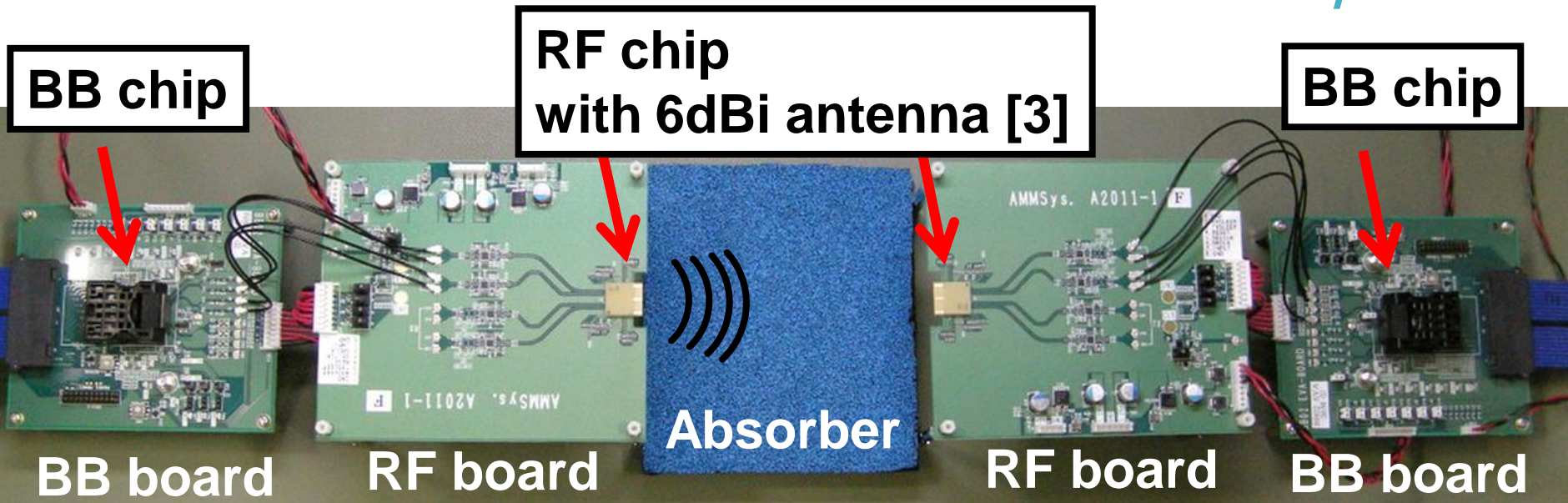
ベースバンド用ADCの開発

世界最小クラスの12mWの低消費電力&小面積

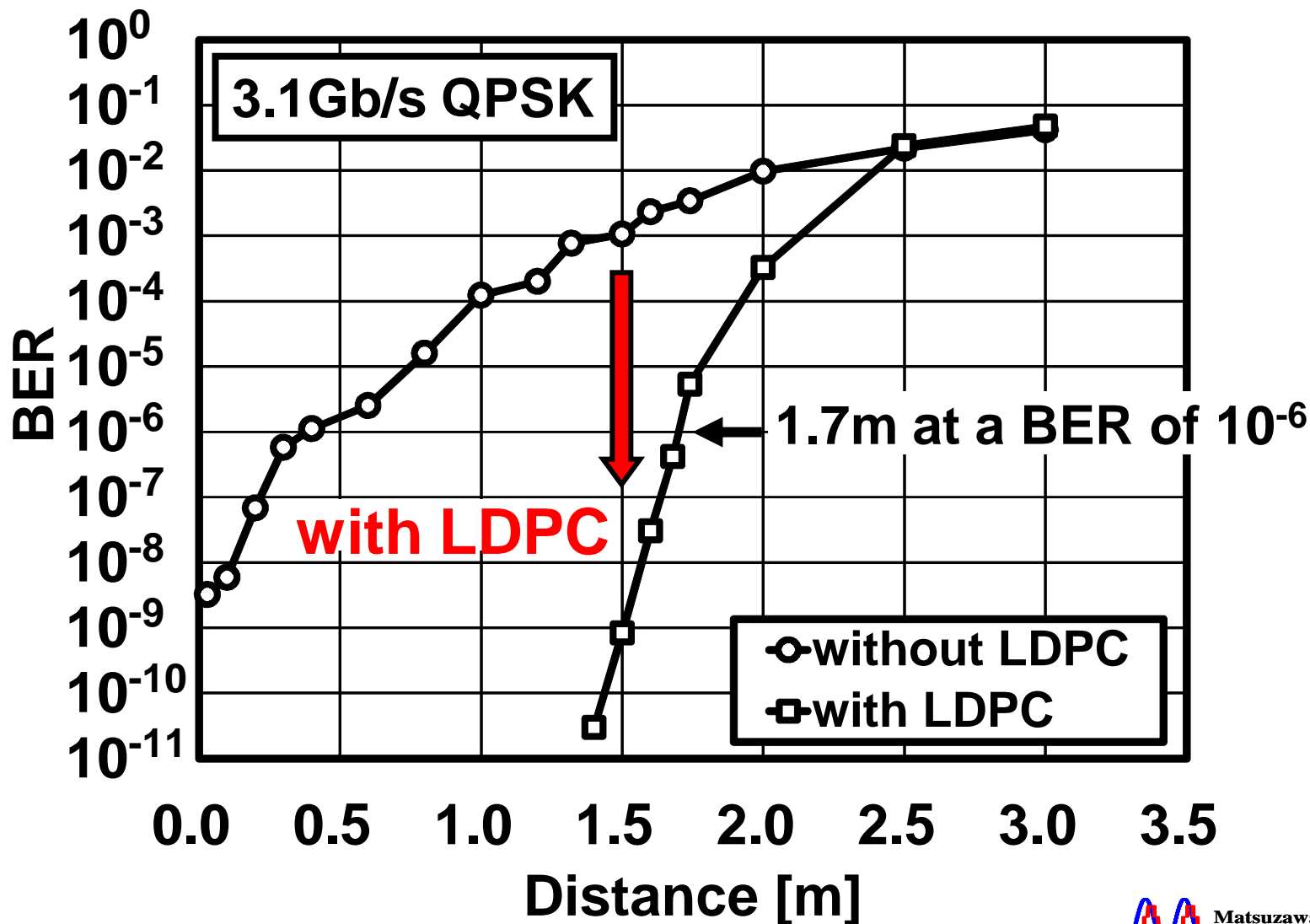
ADC 5b, 2.3GSps, 12mW/ch
I_{ch} 0.25 mm
Q_{ch}



Ref. #	方式	搭載	Cal.	Fs [GS/s]	SNDR [dB]	Power [mW]	FoM [fJ/-c.s.]	Process [nm]	Area [mm ²]
[1]	Flash	No	-	3.5	31.2	98	946	90	0.149
[2]	SAR	No	Internal	2.5	34.0	50	489	45	1
[3]	Folding	No	Internal	2.7	33.6	50	474	90	0.36
[4]	Pipeline, Folding	No	External	2.2	31.1	2.6	40	40	0.03
[5]	Flash	No	Internal	3.0	27.6	36	600	65	0.25
[6]		Yes		2.88	(ENOB 4.3-4.7)	68.5	1200	65	-
This work	Flash	Yes	Internal	2.3	26.1	12	316	40	0.06



No error floor was observed.



Performance Comparison

12

	Integration	Data rate (16QAM)	Tech.	P _{DC} (Tx/Rx)
CEA-LETI [5]	RF (Hetero)	3.8Gb/s	65nm	1,357mW / 454mW
SiBeam [6]	RF (Hetero)	3.8Gb/s	65nm	1,820mW / 1,250mW
Tokyo Tech (This work)	RF (Direct) +analog BB +digital BB	RF: w/ wider-BW 10Gb/s RF+BB: 6.3Gb/s	65nm(RF) 40nm(BB)	RF:319mW / 223mW BB:196mW / 398mW

[5] A. Siligaris, *et al.*, ISSCC 2011 [6] S. Emami, *et al.*, ISSCC 2011

平面アンテナと回路基板を一体化 1Gbpsの伝送を達成



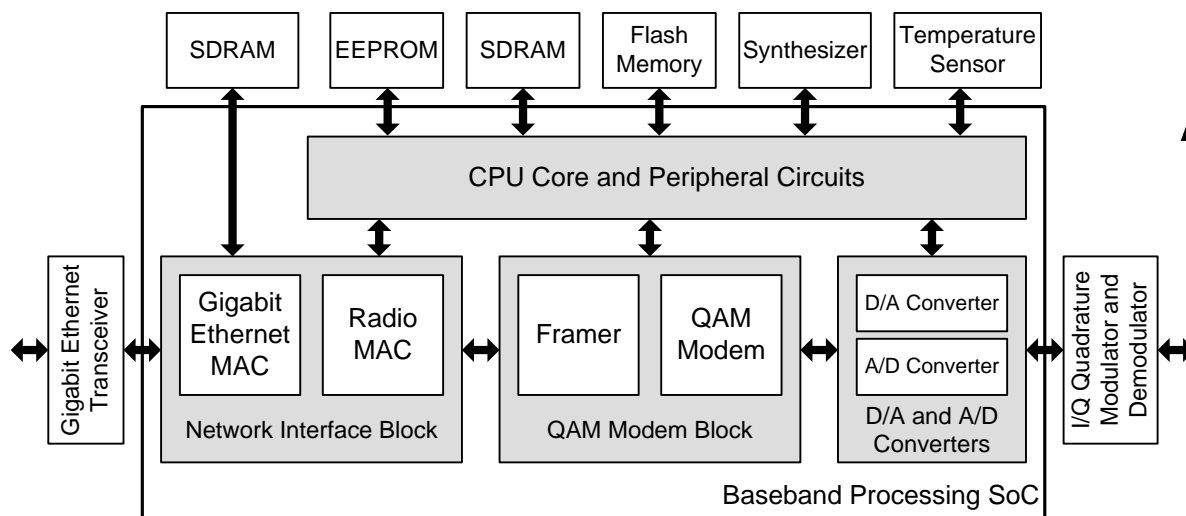
開発したアナ・デジ混載 BB SoC

14

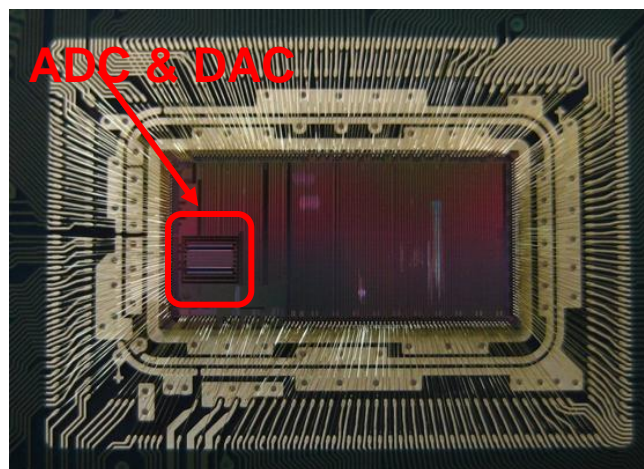
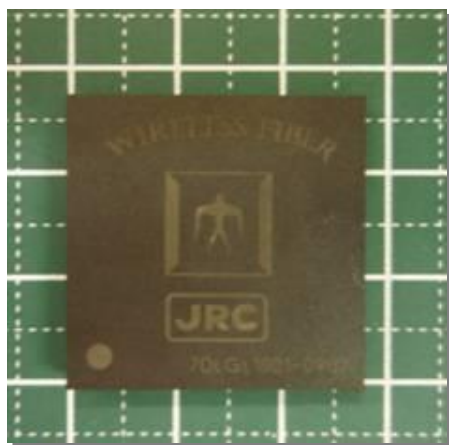
TOKYO TECH
Pursuing Excellence

DSPとADC, DACを混載したSoCを開発

64QAMを用いることで260MHzの帯域で1Gbpsの超高速伝送を実現

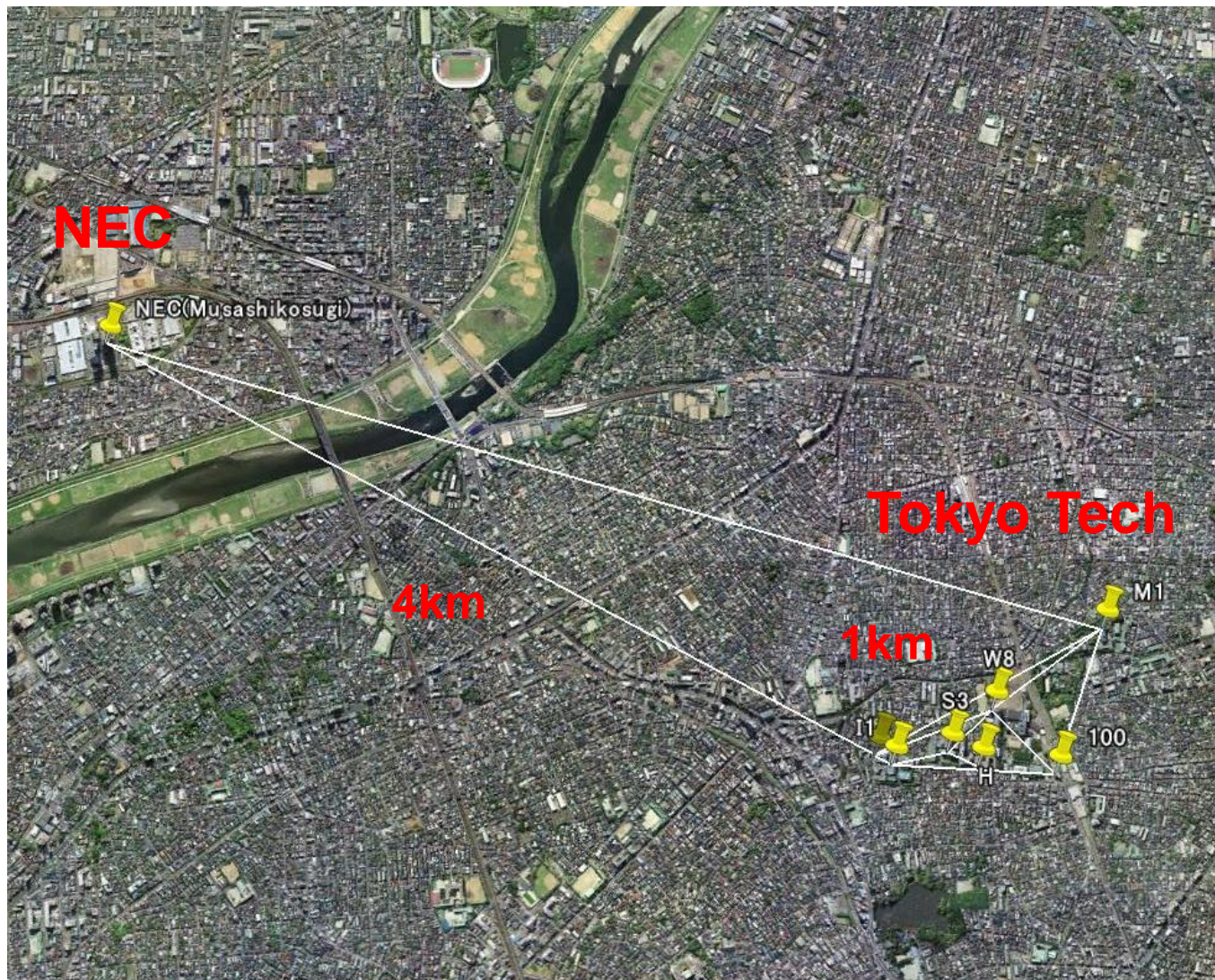


Base band SoC



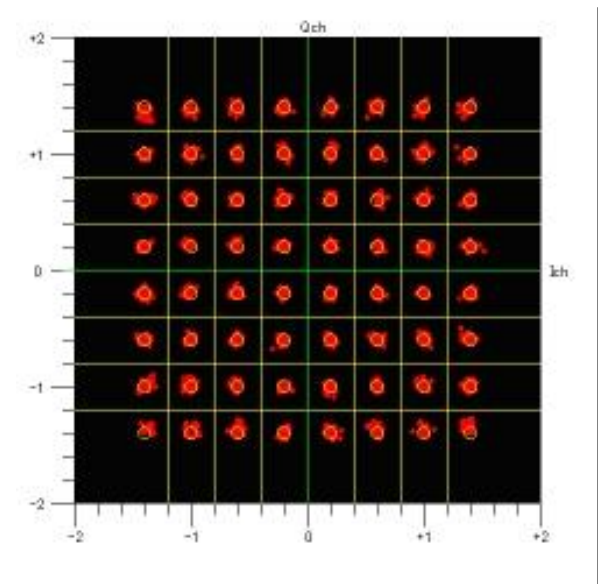
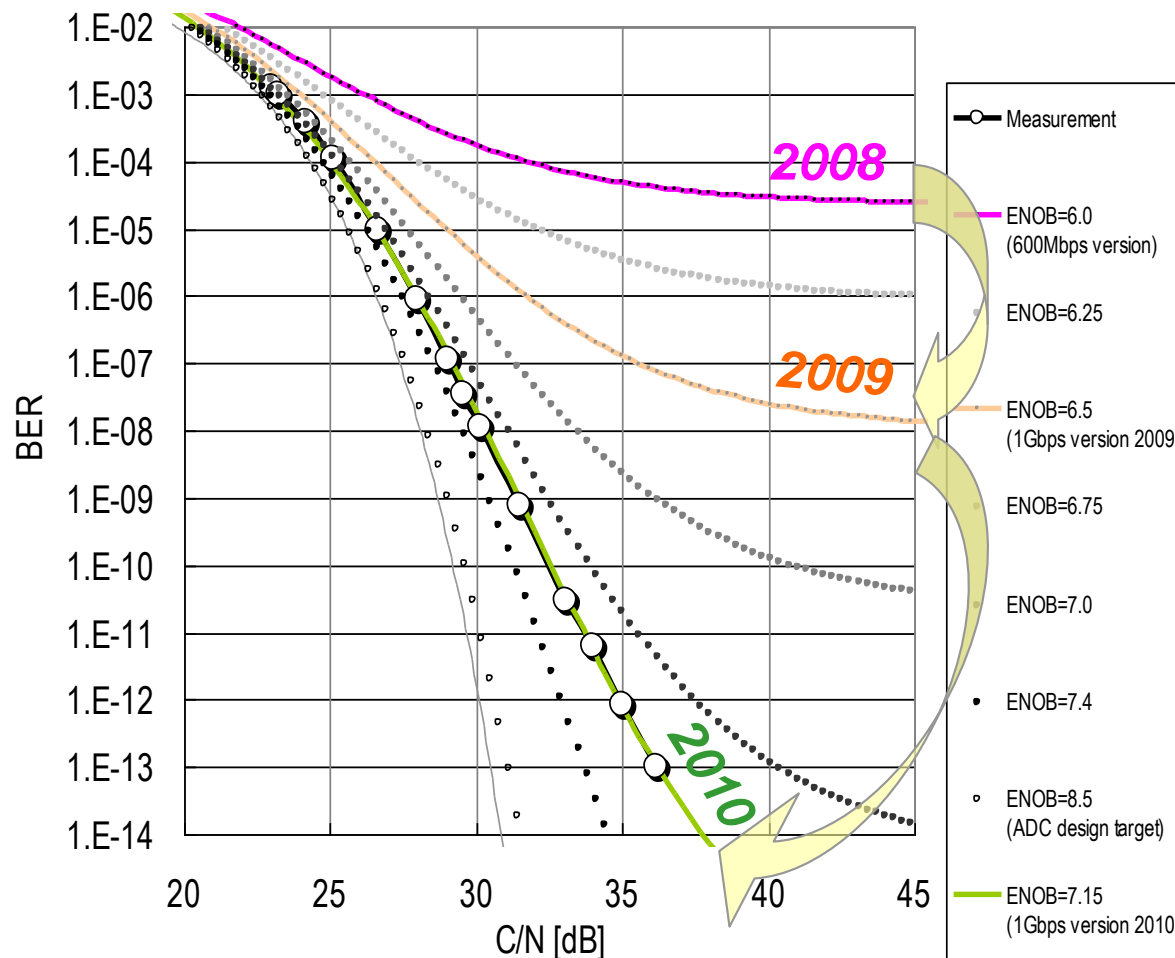
90nm CMOS
40M Transistors

4km ミリ波伝送を確立



ADCの性能向上 (8bit → 10bit) でBER特性を改善

C/N vs 64QAM_BER on B-B pair



補間パイプライン型と名付けたA/D変換方式の考案
OPアンプを用いなくとも高精度な変換を可能にした

10b, 320MSps, 40mW ADC

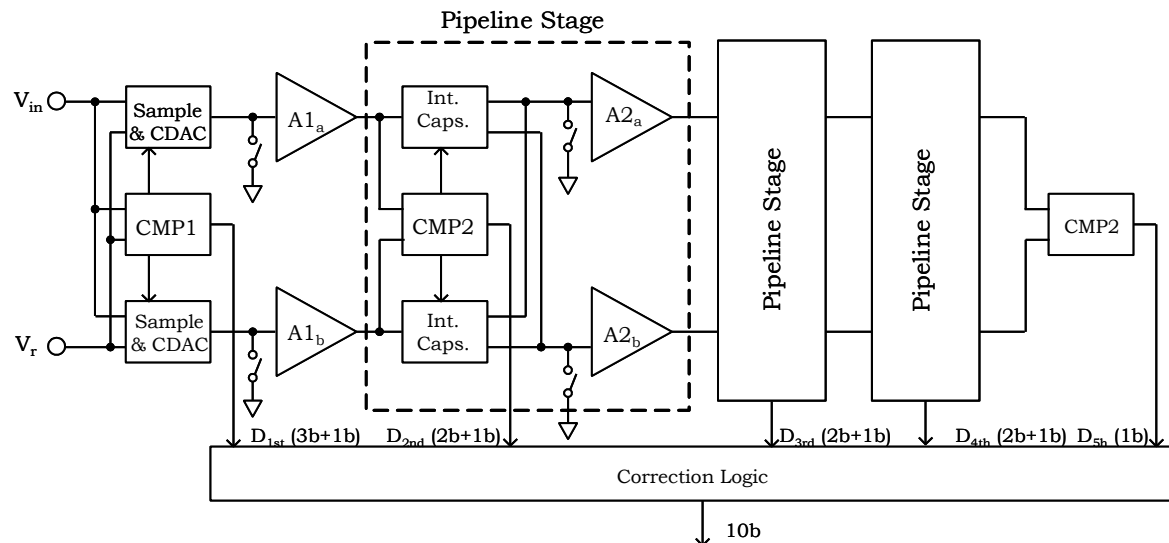
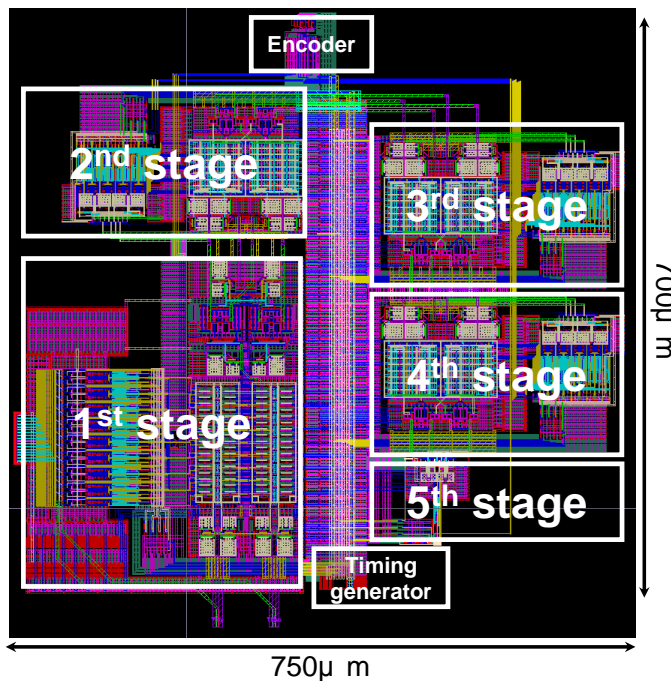
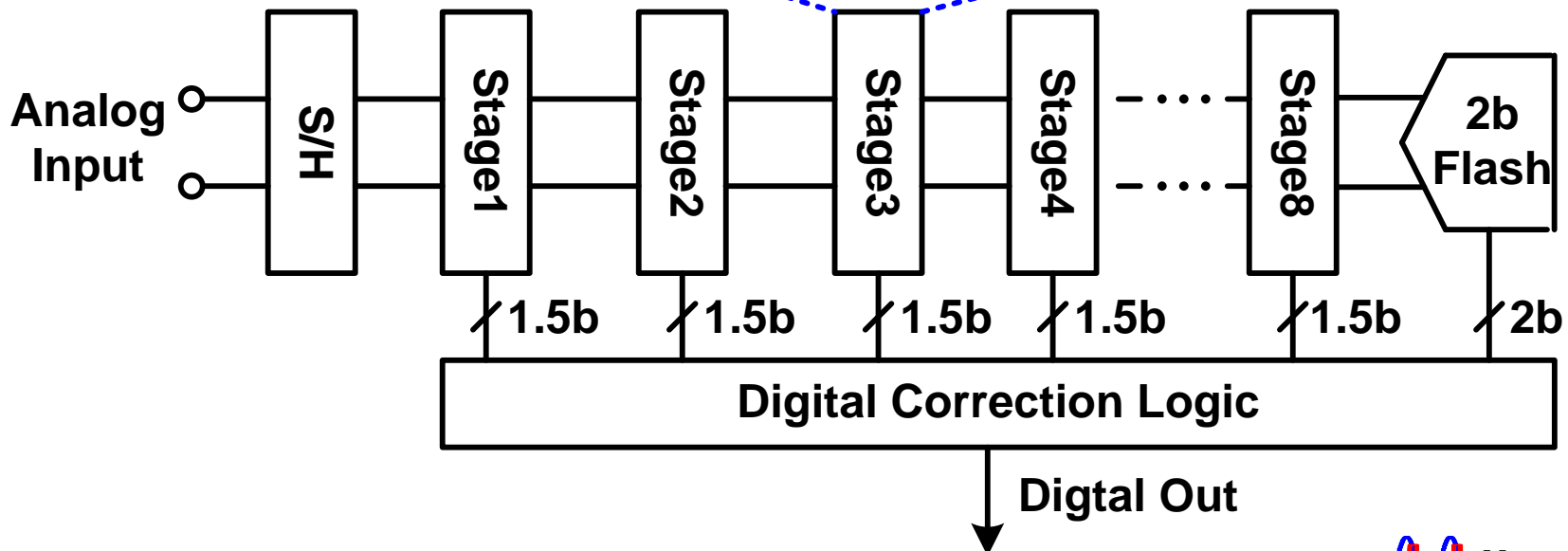
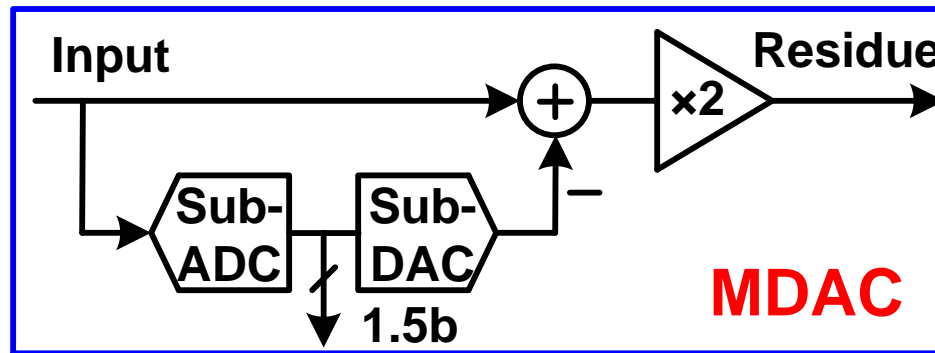
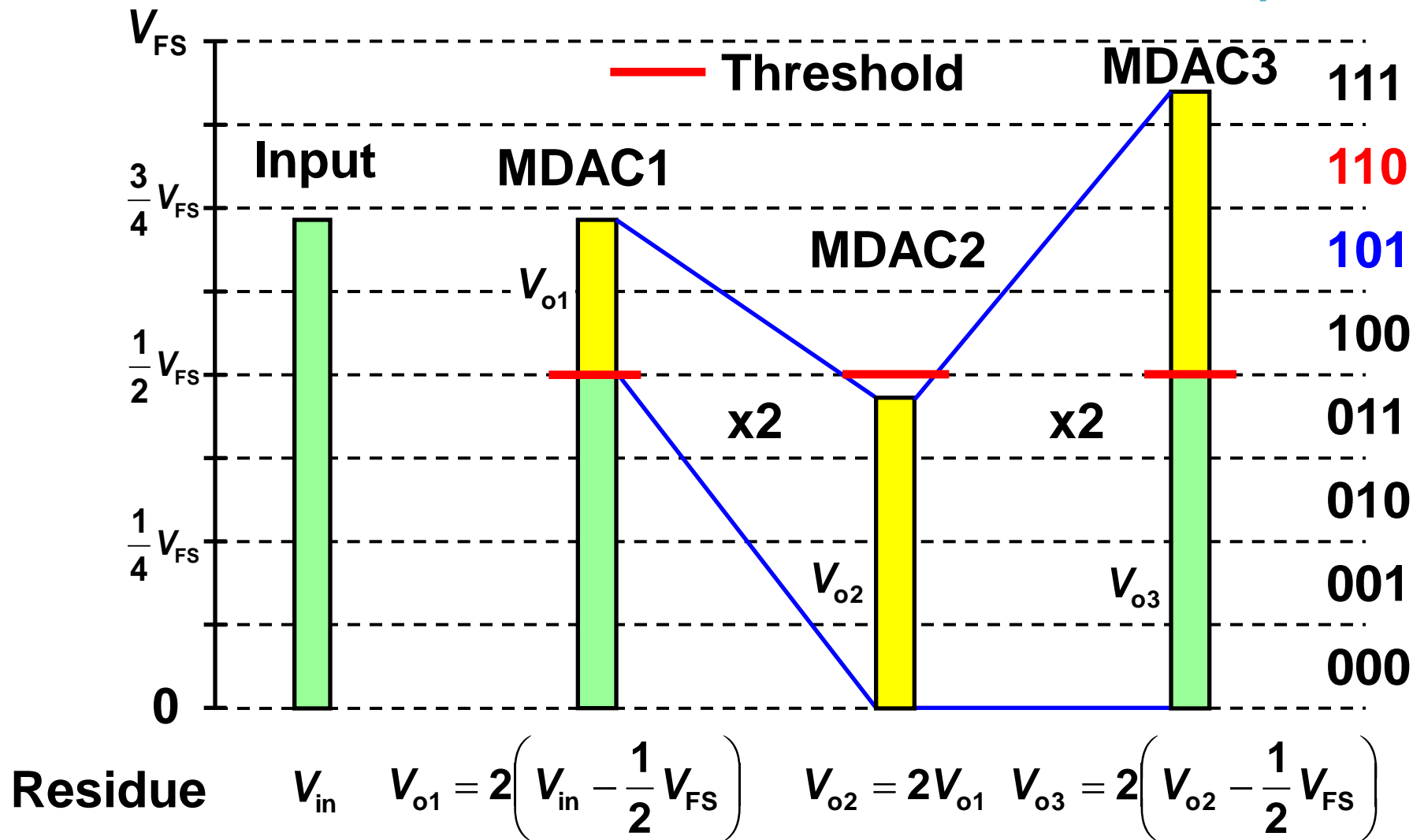


Fig. 2

M. Miyahara, A. Matsuzawa, et al., VLSI Circuits 2011

従来のパイプラインADCは正確な2倍の利得を実現する必要があった





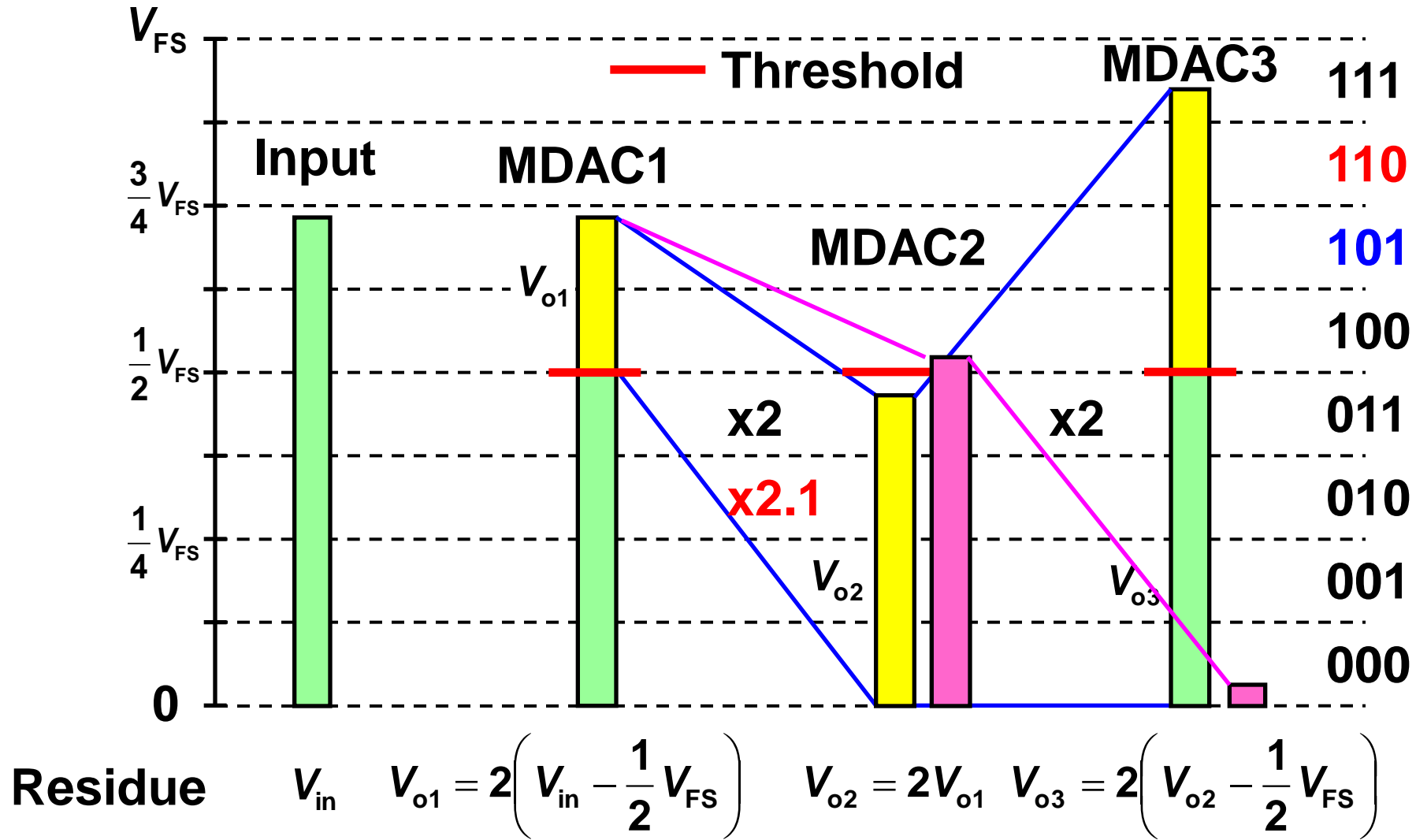
Output CODE

1

0

1

パイプラインADCの変換方式



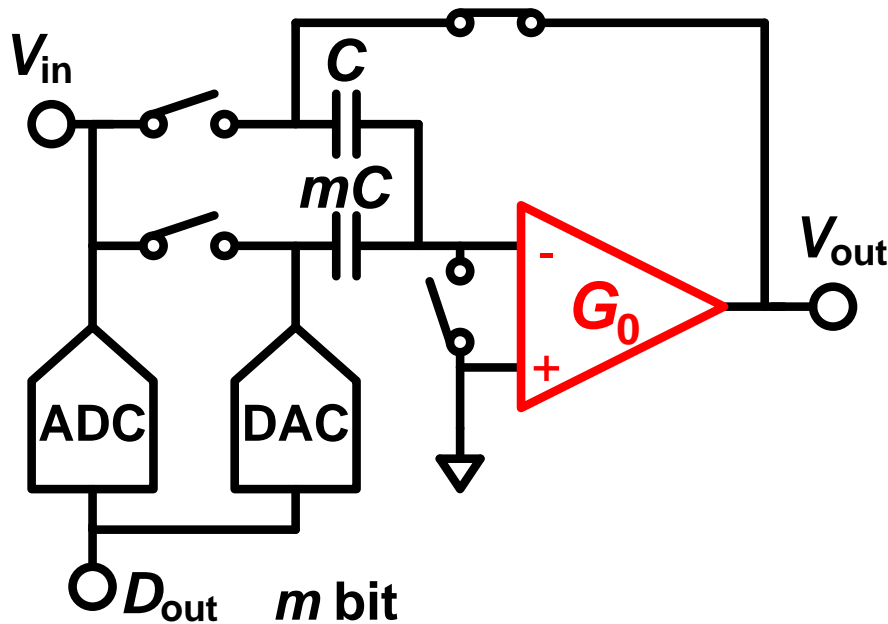
Output CODE

1

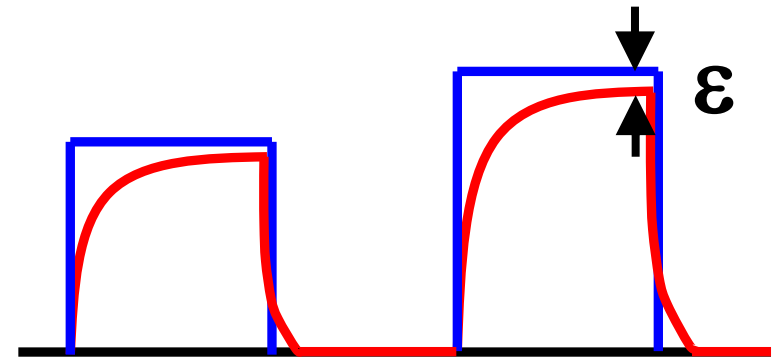
0 → 1

1 → 0

- 高精度では高利得オペアンプが必須
 - 微細CMOSでは実現が困難
- 閉ループアンプでは応答が遅い



MDAC Implementation

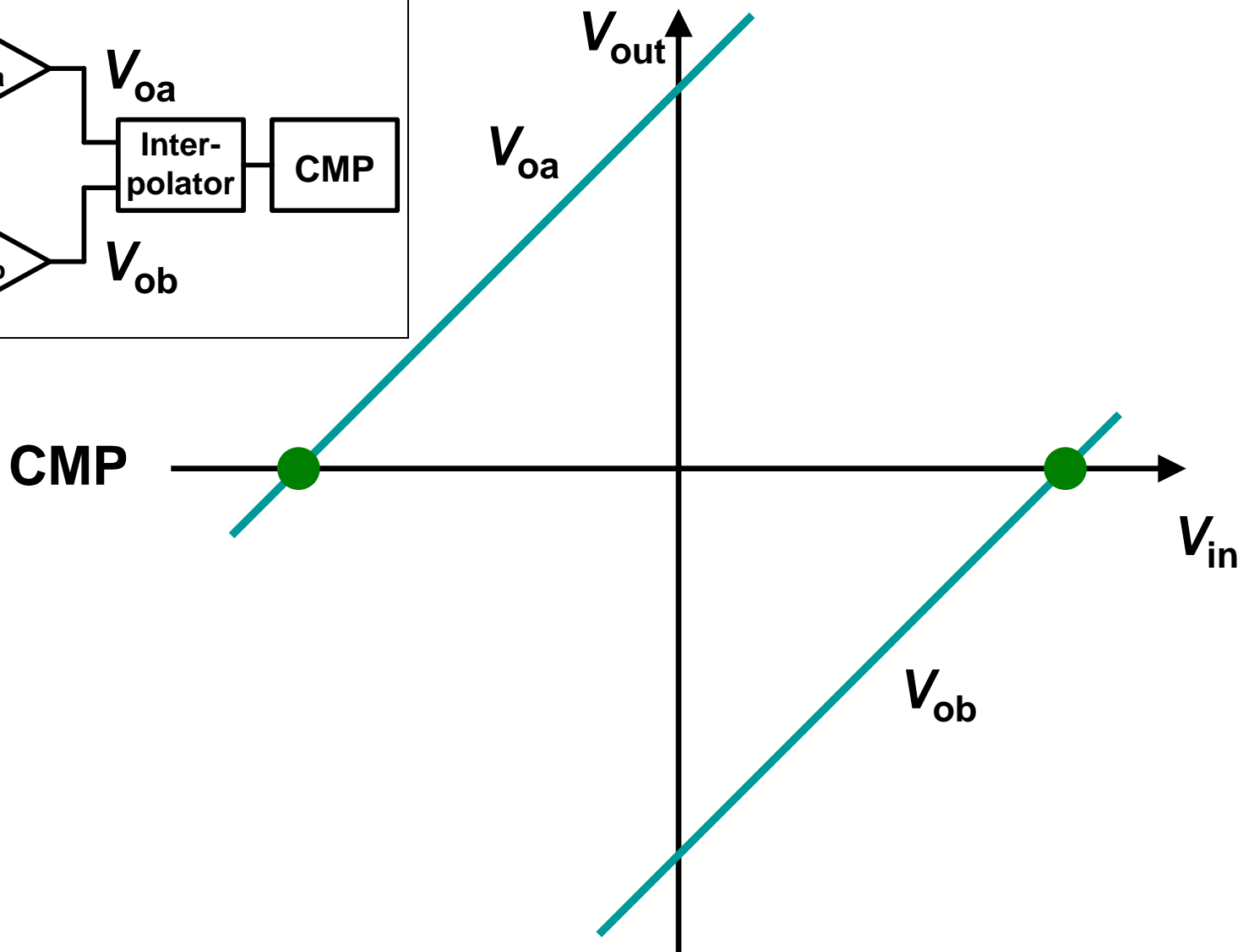
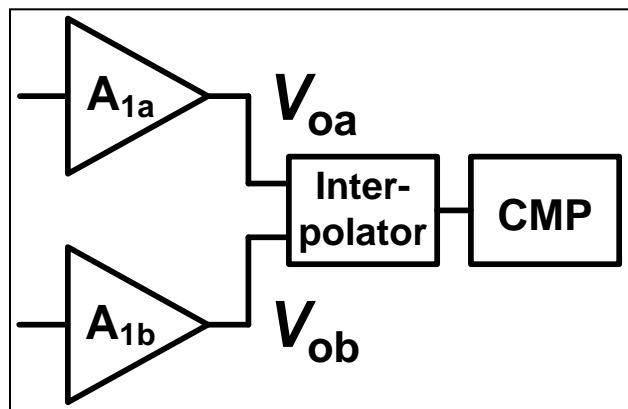


$$G_0(\text{dB}) > 6N + 10$$

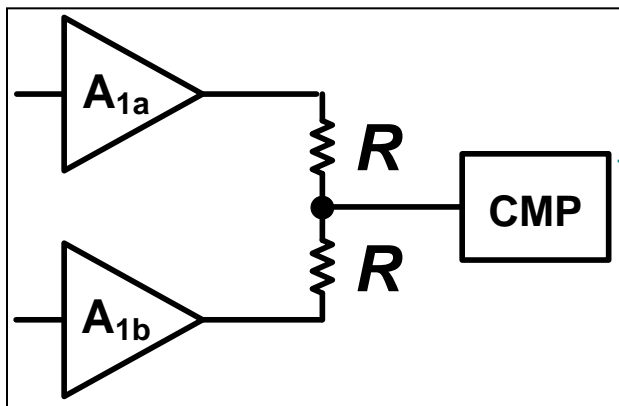
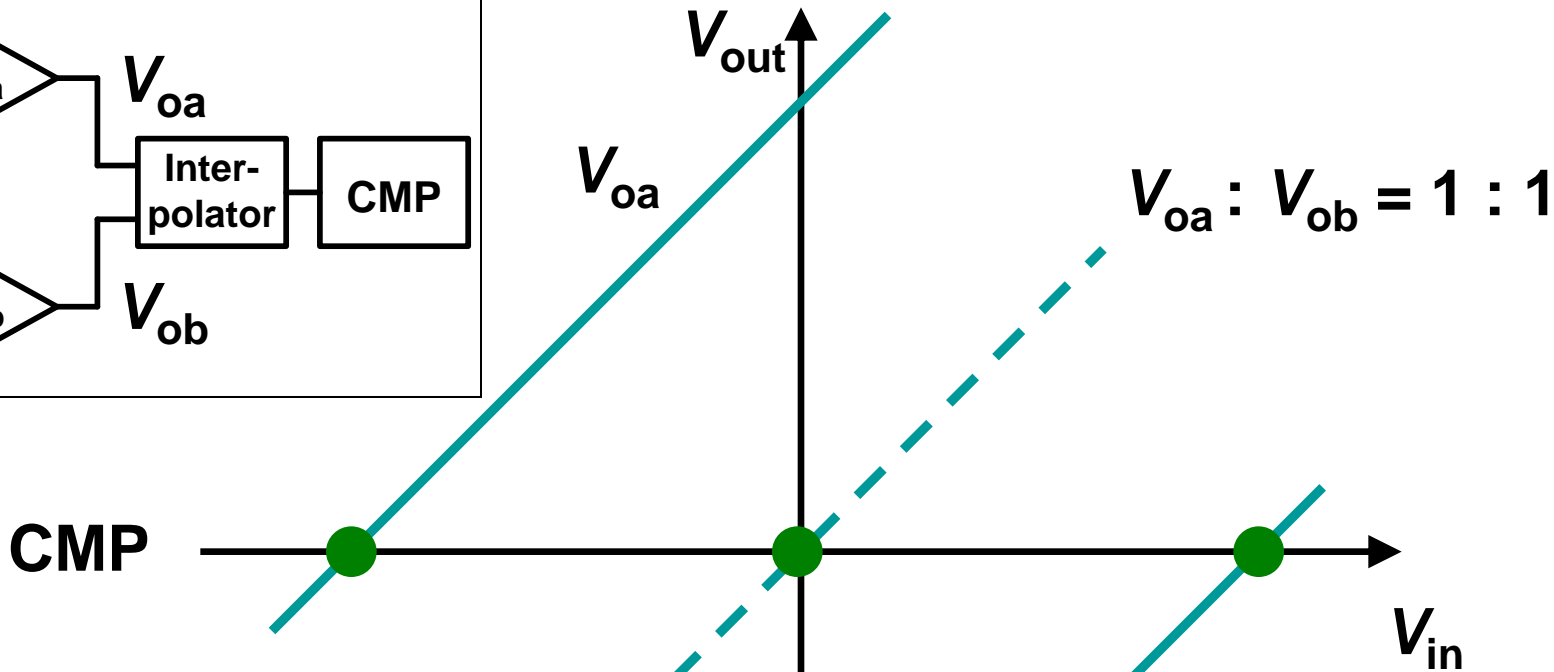
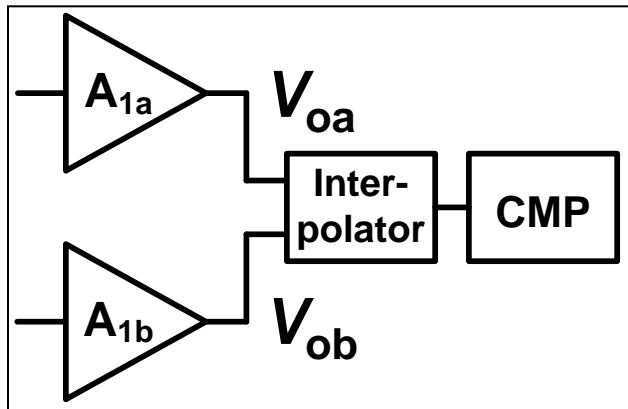
$$GBW > NF_s$$

N : Number of bits

F_s : Sampling freq.

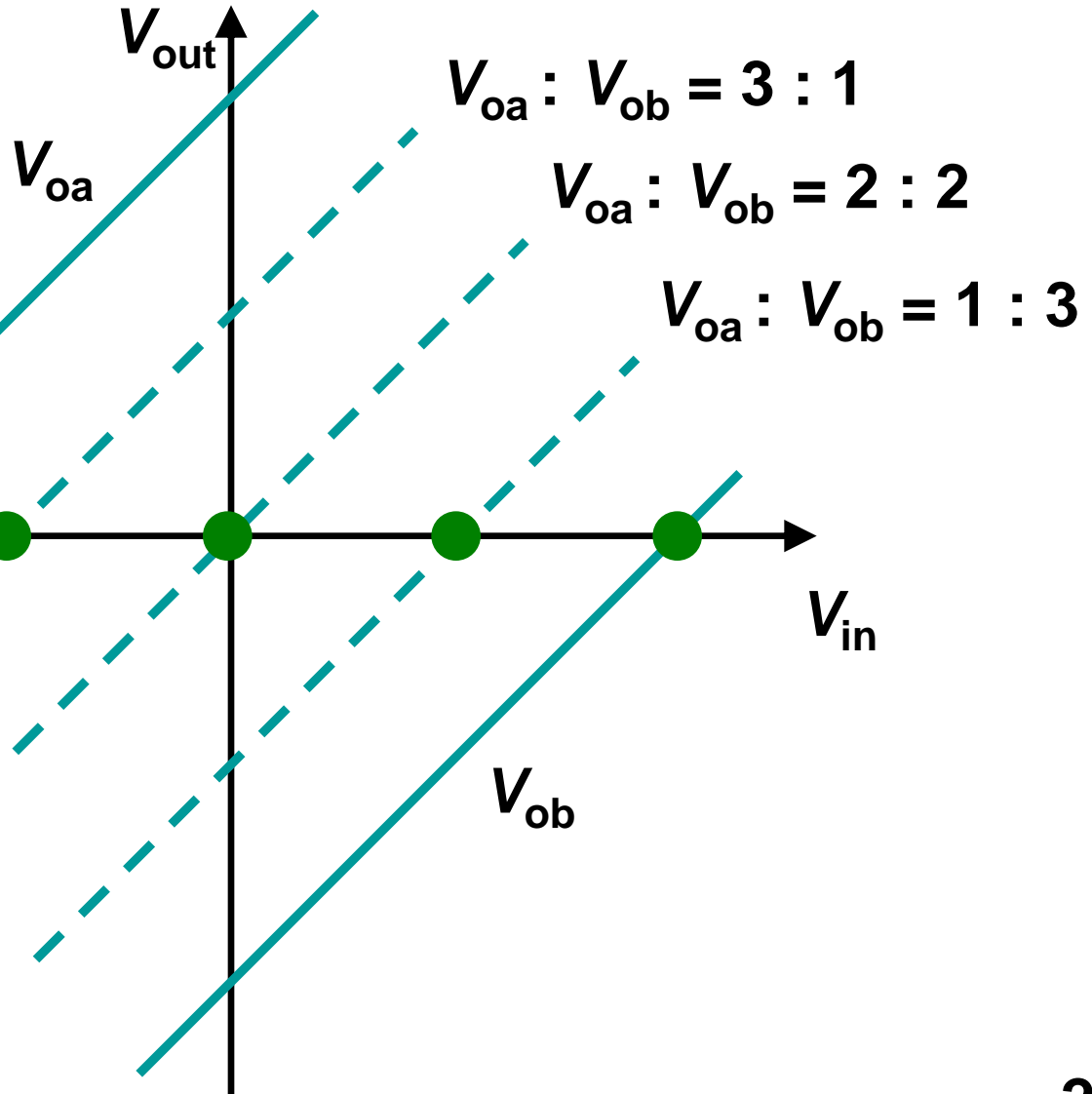
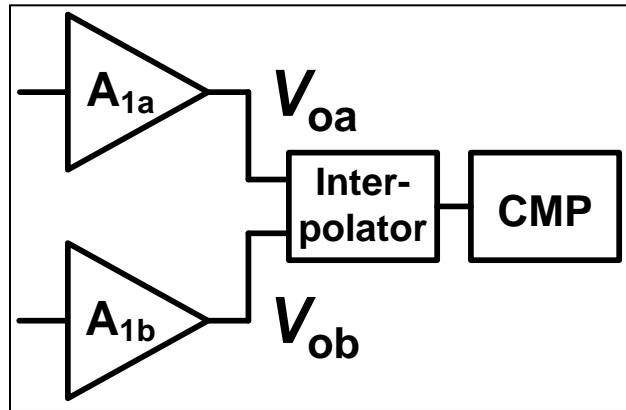


補間方式を用いた変換

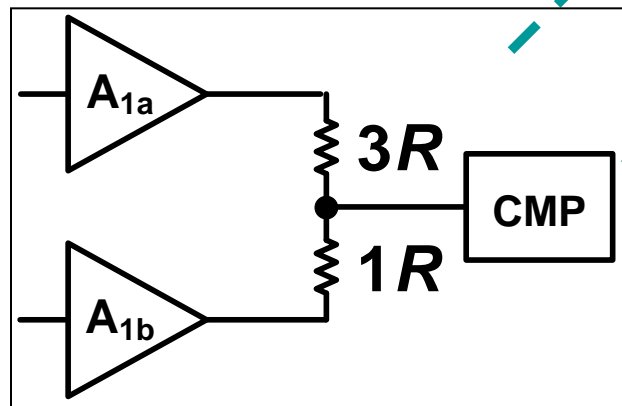


[3]A. Matsuzawa, et al. Feb. 1990.

[4]G. Mangeltholf, et al. Feb. 1993.

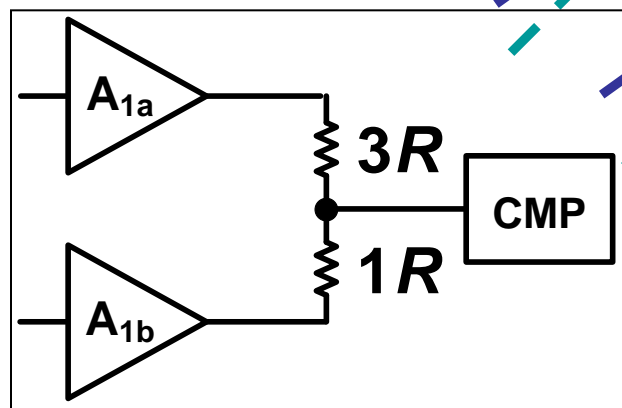
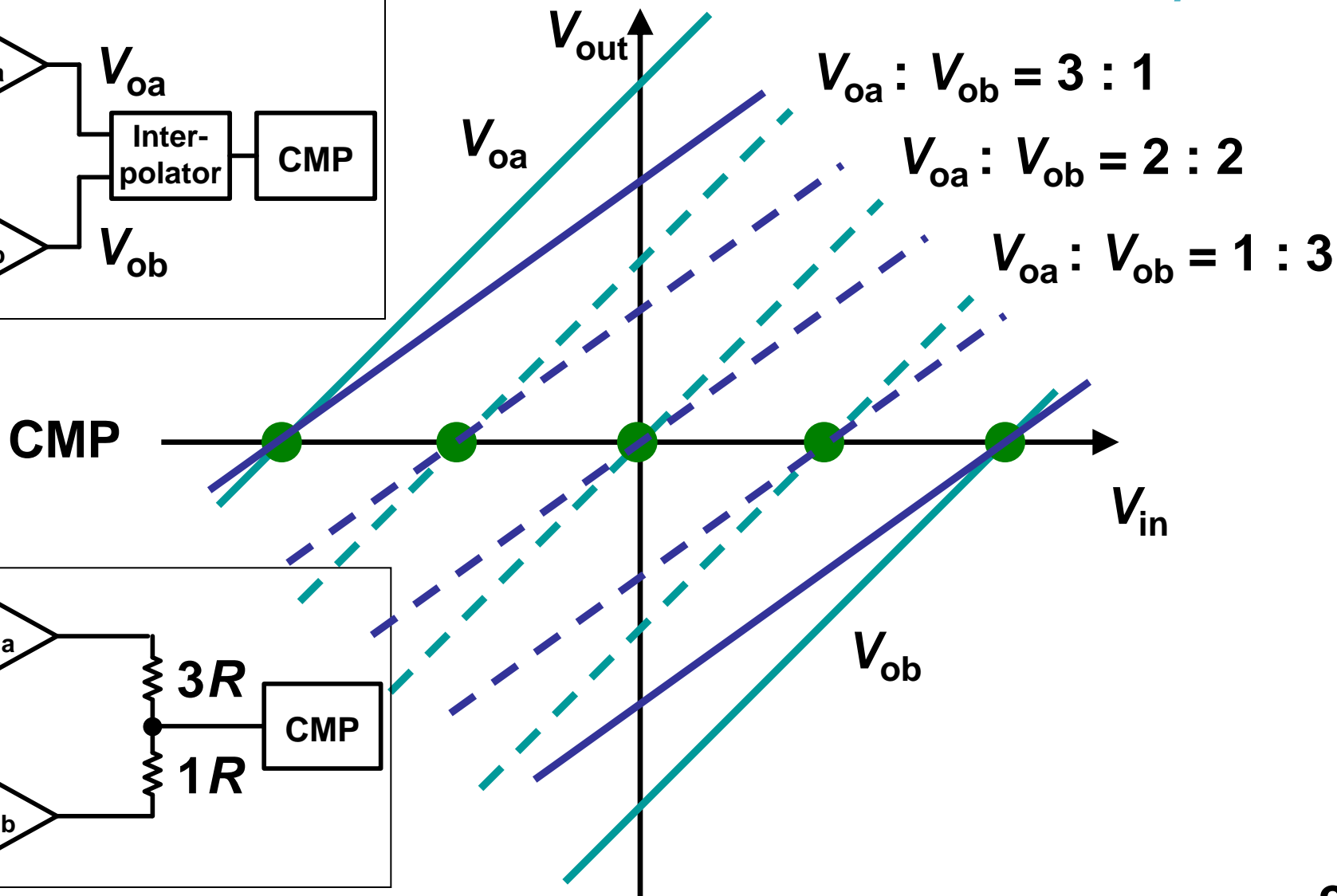
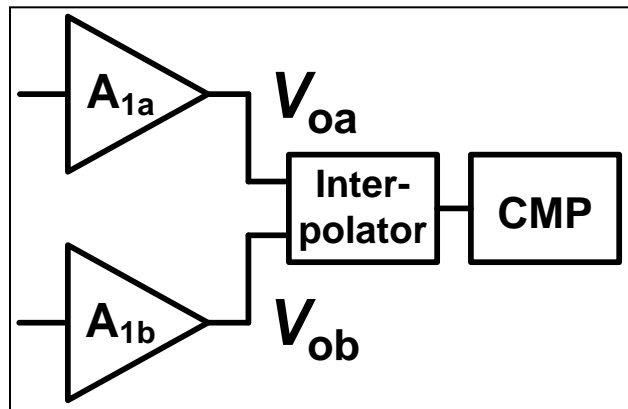


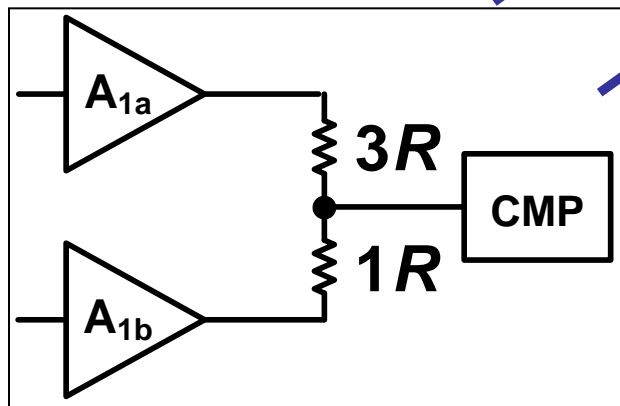
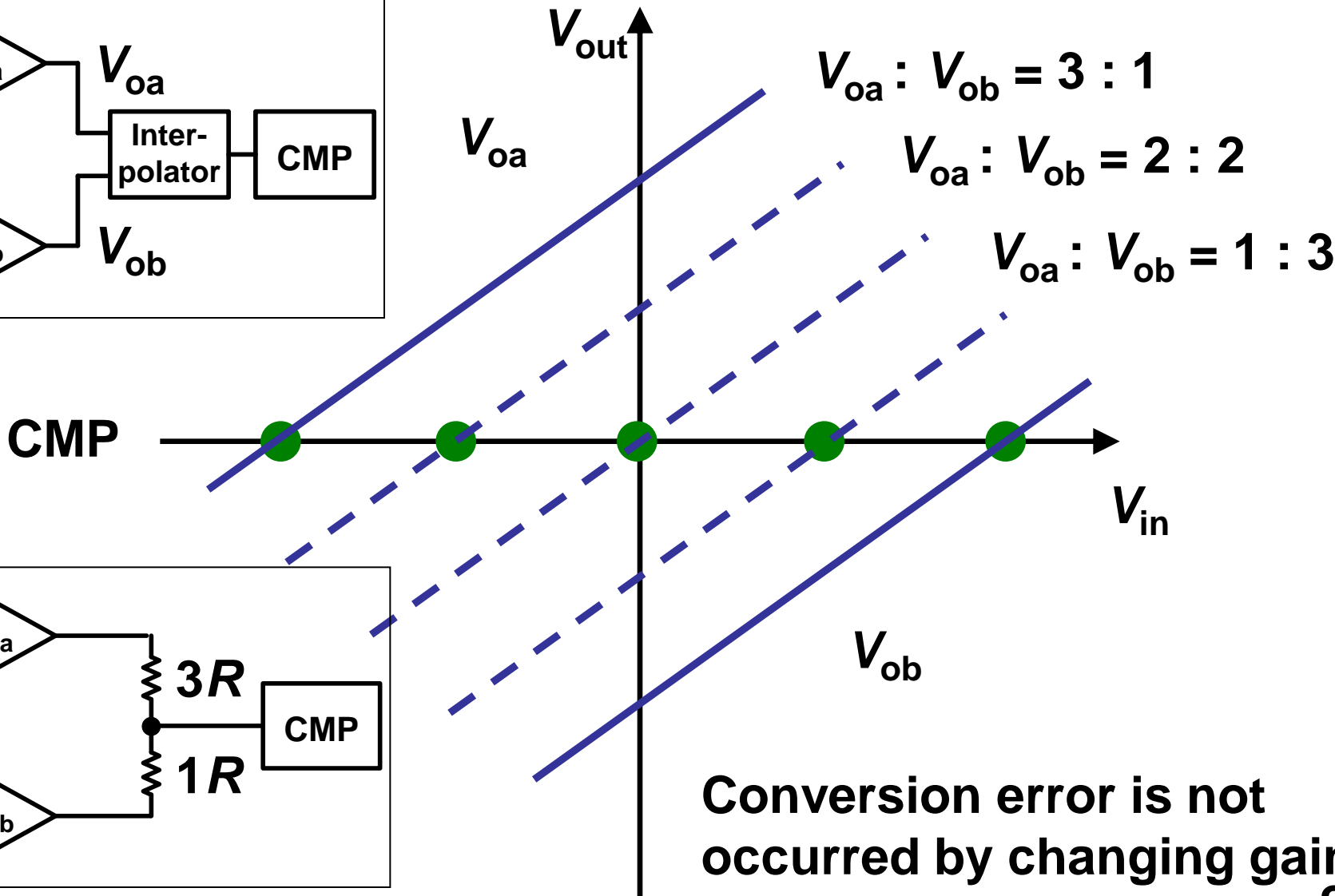
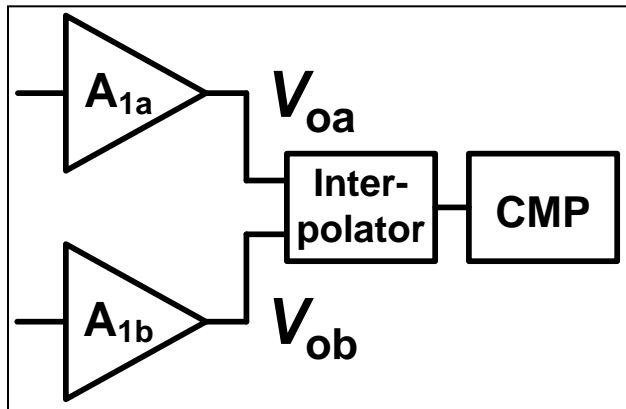
CMP



Interpolator example

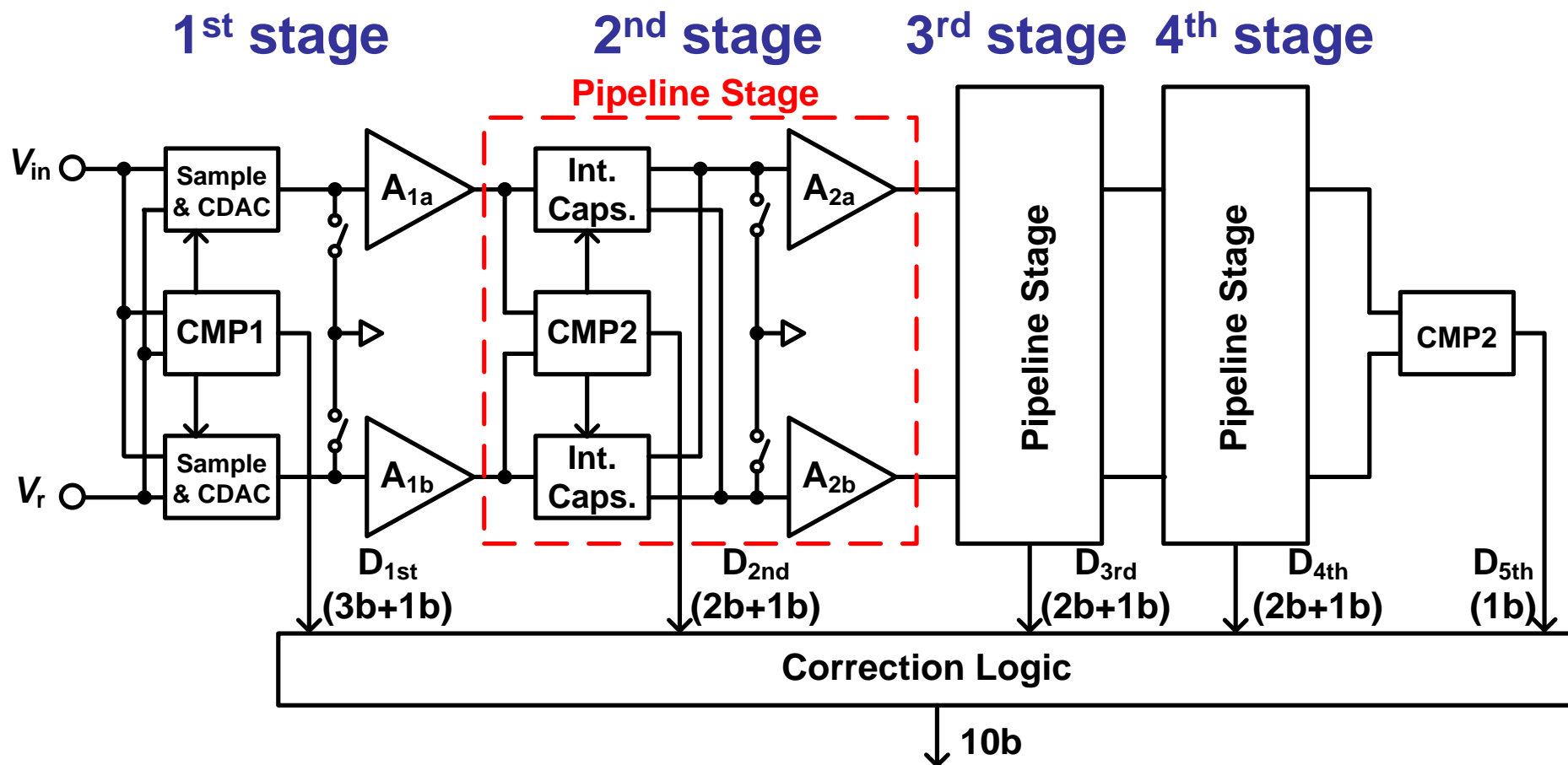
2012/11/8





Conversion error is not occurred by changing gain

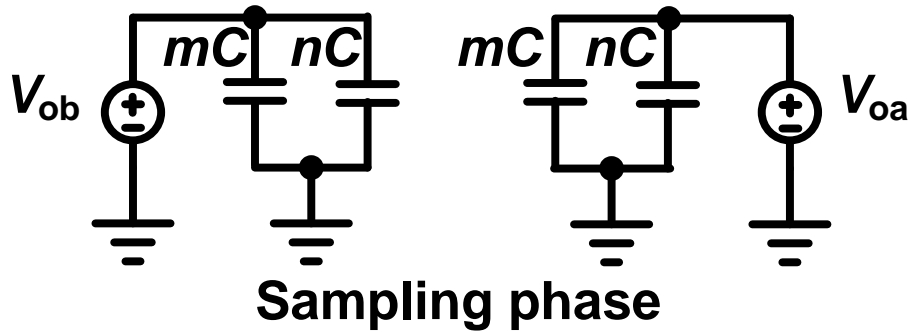
補間方式を用いた変換を行いつつパイプライン処理。
冗長構成によりそれぞれのステージの比較器精度は緩くすむ。



容量比を動的に変化させることで任意の補間信号を生成可能

$$V_x = - \left[\frac{m}{m+n} G_a (V_{in} - V_{ra}) + \frac{n}{m+n} G_b (V_{in} - V_{rb}) \right]$$

$$2^M = m+n$$

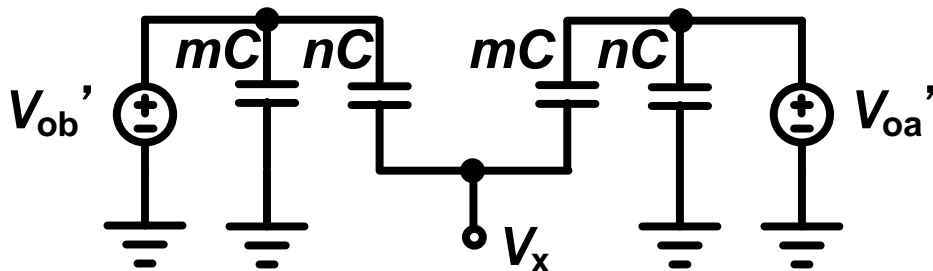


$$V_{oa} = G_a (V_{in} - V_{ra} - V_{off_a})$$

$$V_{ob} = G_b (V_{in} - V_{rb} - V_{off_b})$$

$$V'_{oa} = G_a (-V_{off_a})$$

$$V'_{ob} = G_b (-V_{off_b})$$



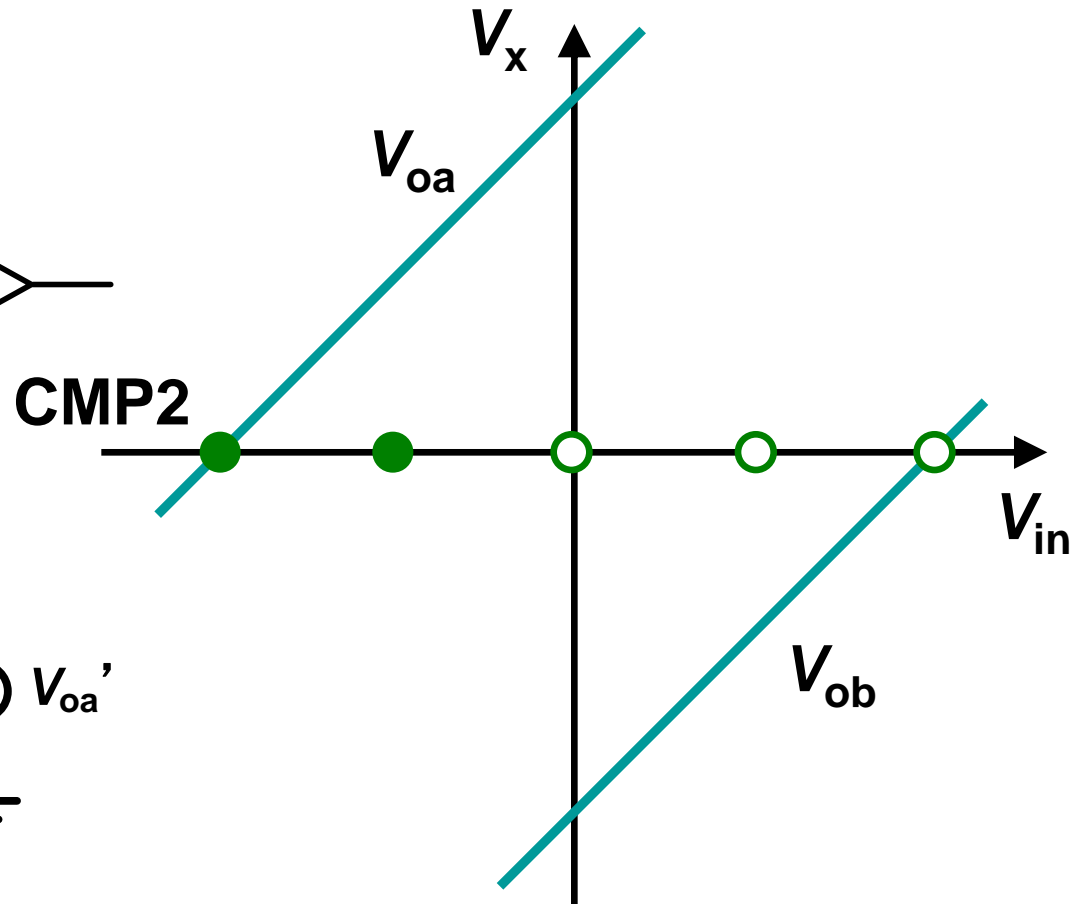
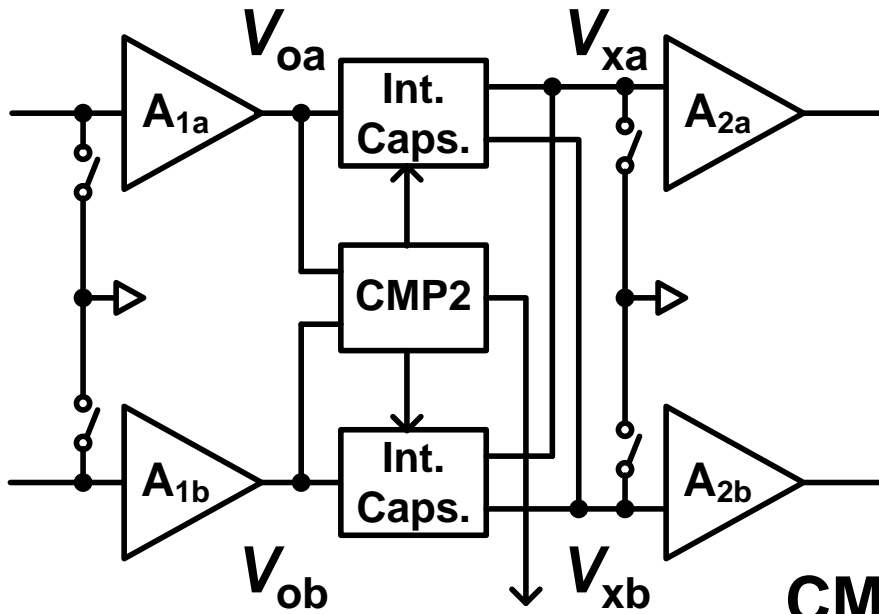
G_a, G_b : A_{1a} と A_{1b} の利得

V_{oa}, V_{ob} : アンプ出力電圧

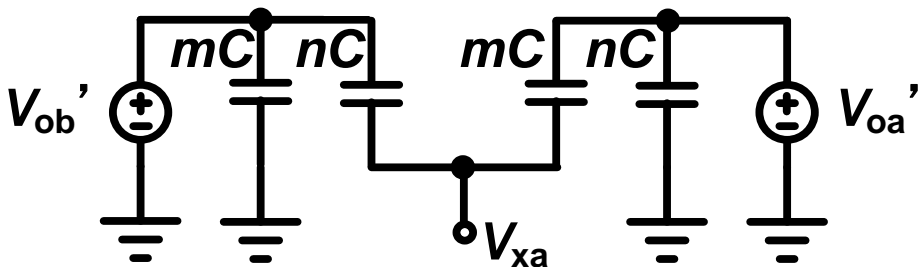
V_{off_a}, V_{off_b} : アンプオフセット電圧

V_{ra}, V_{rb} : 参照電圧

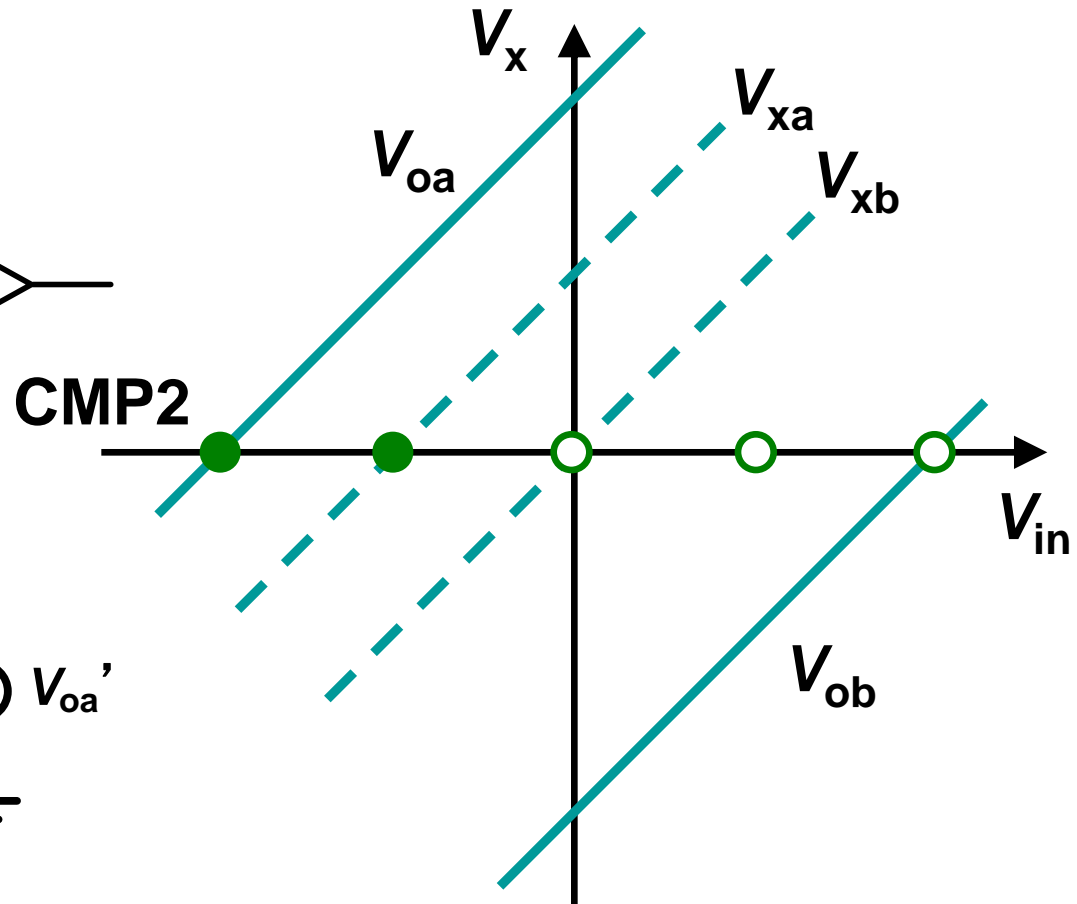
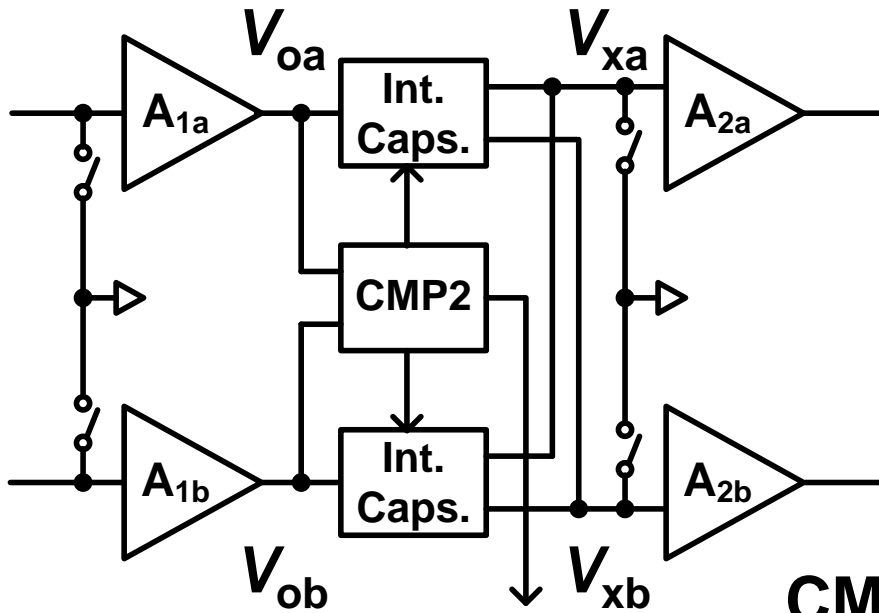
m, n : 容量比



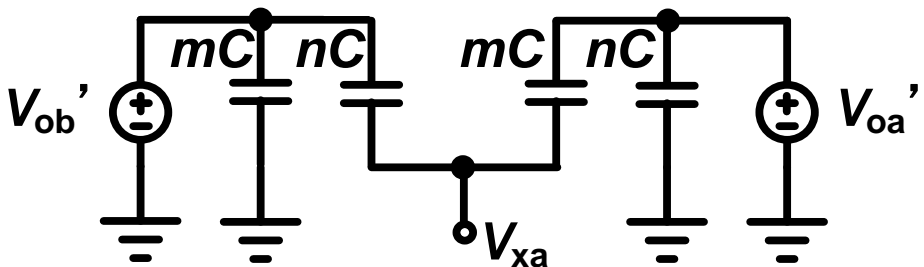
1 3



Interpolation phase



1 3



Interpolation phase

複雑な補正なしに高速、高精度を達成

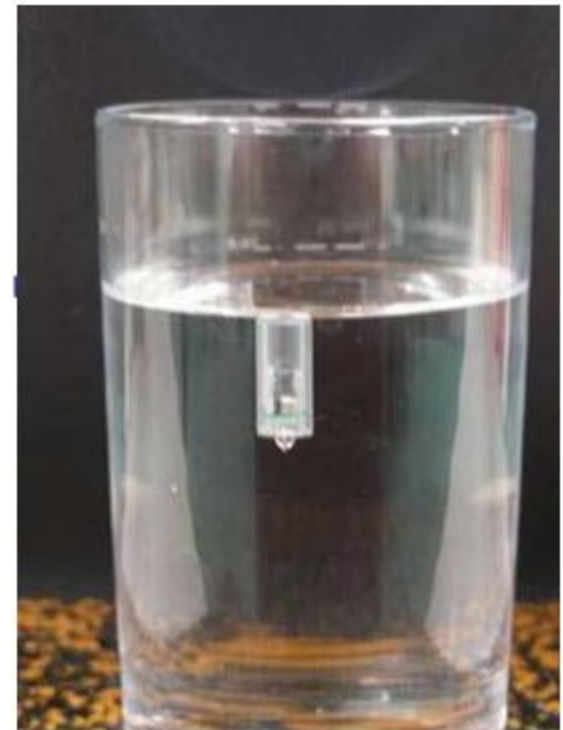
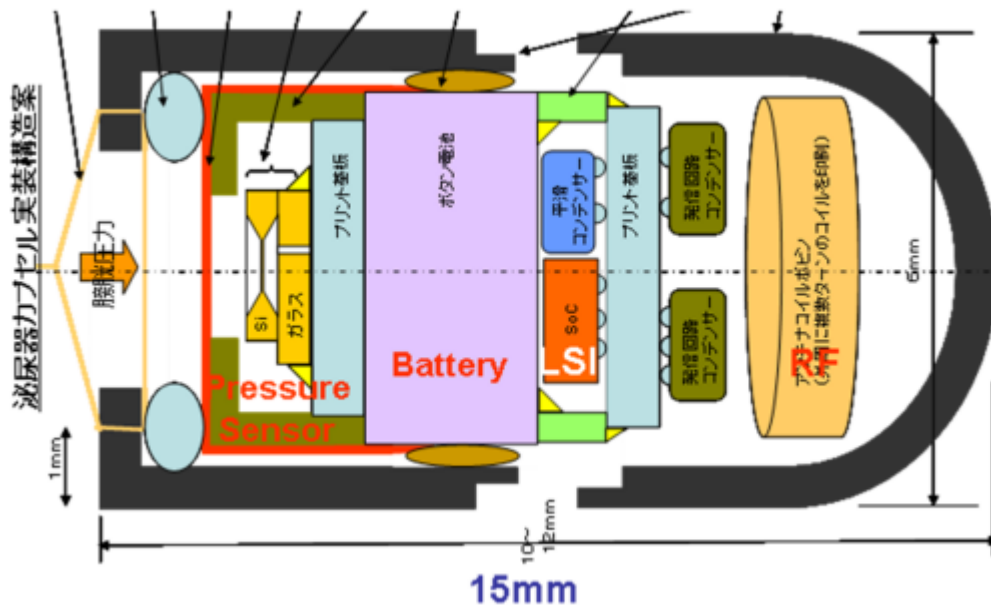
	This Work	[2]	[6]	[7]
Resolution (bit)	10	10	10	10
F_{sample} (MS/s)	320	500	205	320
V_{DD} (V)	1.2	1.2	1.0	-
Power (mW)	40	55	61	42
ENOB _{peak} (bit)	8.5	8.5	8.7	8.7
FoM _{Fs} / FoM _{ERBW} (pJ/c.-s)	0.35 / 0.77	0.31	0.65	0.36/0.44
Technology (nm)	90	90	90	90
Active Area (mm ²)	0.46	0.5	1	0.21
Amplifier type	Open	Closed	Closed	Closed
Linearity Compensation	No	Yes	No	Yes

[2] A. Verma and B. Razavi, IEEE J. Solid-State Circuits, vol. 44, Nov., 2009.

[6] S. Lee, Y. Jeon, K. Kim, J. Kwon, J. Kim, J. Moon, and W. Lee," ISSCC, 2007.

[7] H. Chen, W. Shen, W. Cheng, and H. Chen, A-SSCC, 2010.

膀胱内圧を測定し外部に無線送信するシステム
4日間の連続動作が必要。超小型でもあるので
無線電力電装は困難



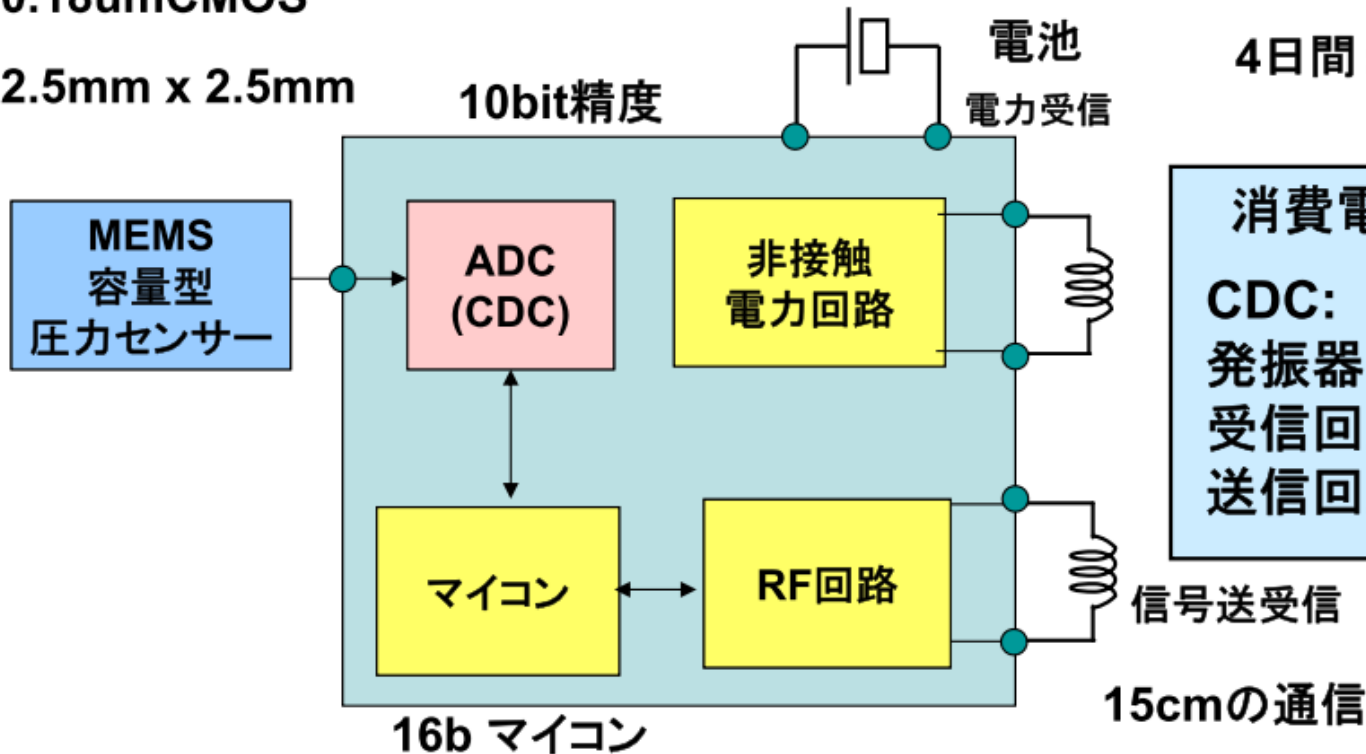
圧力(容量値)をデジタル変換し、データを30回/秒、15cm通信するチップ
アナログ部分の消費電流は13 μ A程度で動作する。

0.18 μ m CMOS

2.5mm x 2.5mm

1.55V, 12mAh, 4.8 ϕ , 2.1H, 0.17g

4日間: 96h \rightarrow 125 μ A
消費電流内訳



消費電流 13 μ A以下

CDC: 3nA @30Hz

発振器: 8 μ A

受信回路: 4 μ A

送信回路: 0.2 μ A

阪大、今井研の開発

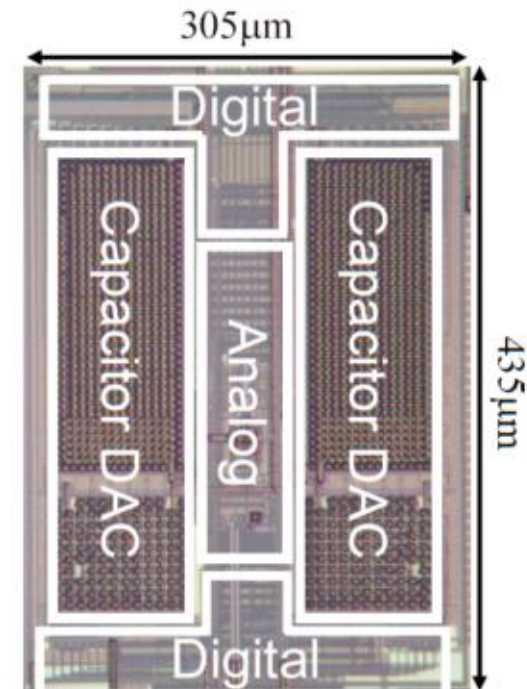
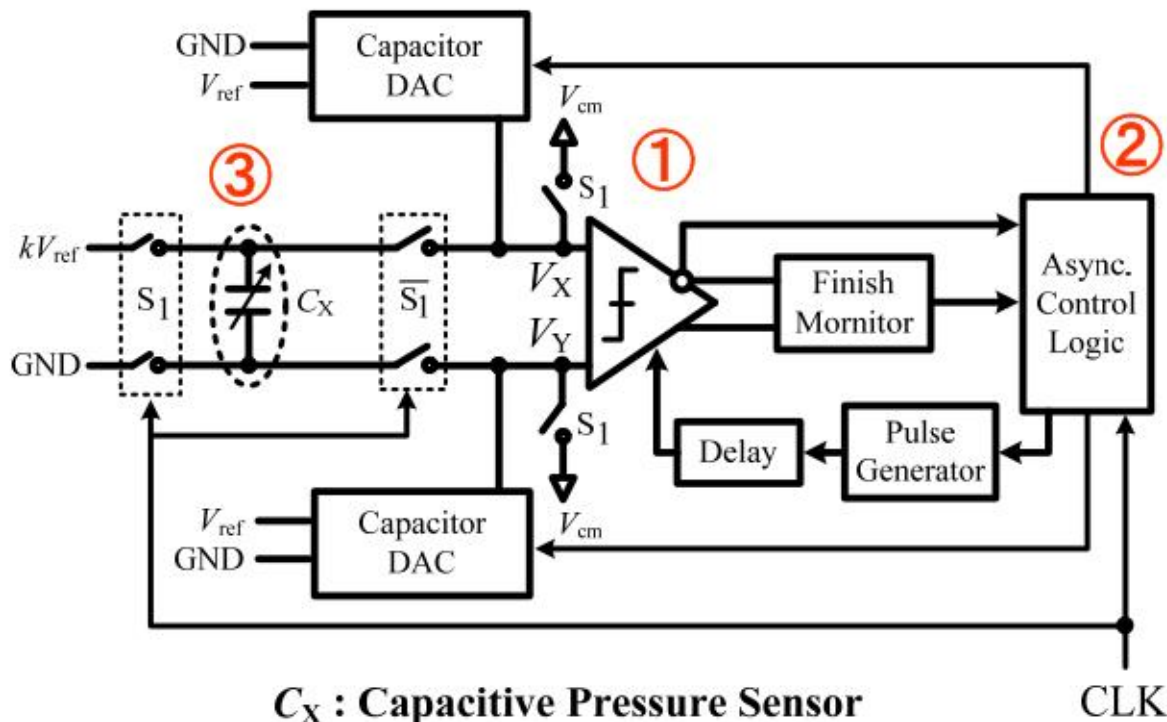
30回/秒の送信

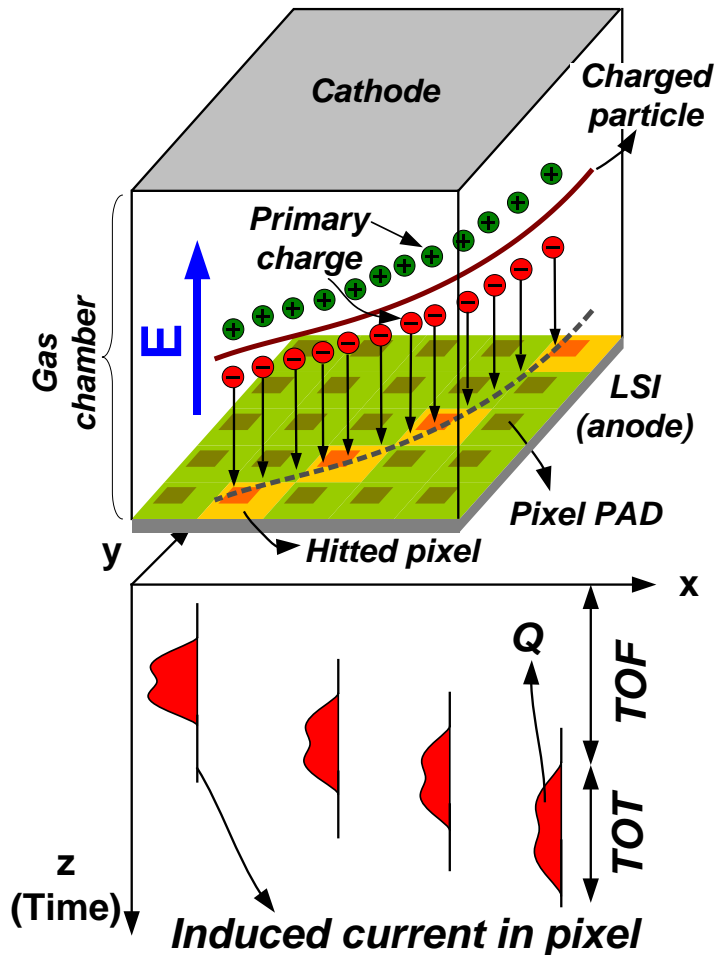
13.5MHz, ASK

SAR ADCの変換方式を用いて容量値を直接デジタル値に変換する

1. 10b SAR like architecture
2. Self-clocking
3. Single to differential

3nA@30 times/sec
(動作電流)





- ❑ **x-y-axis** : pixel position
- ❑ **z-axis information** : TOF
- ❑ **Signal pulse width** : TOT
- ❑ **Q** : the energy of the particle

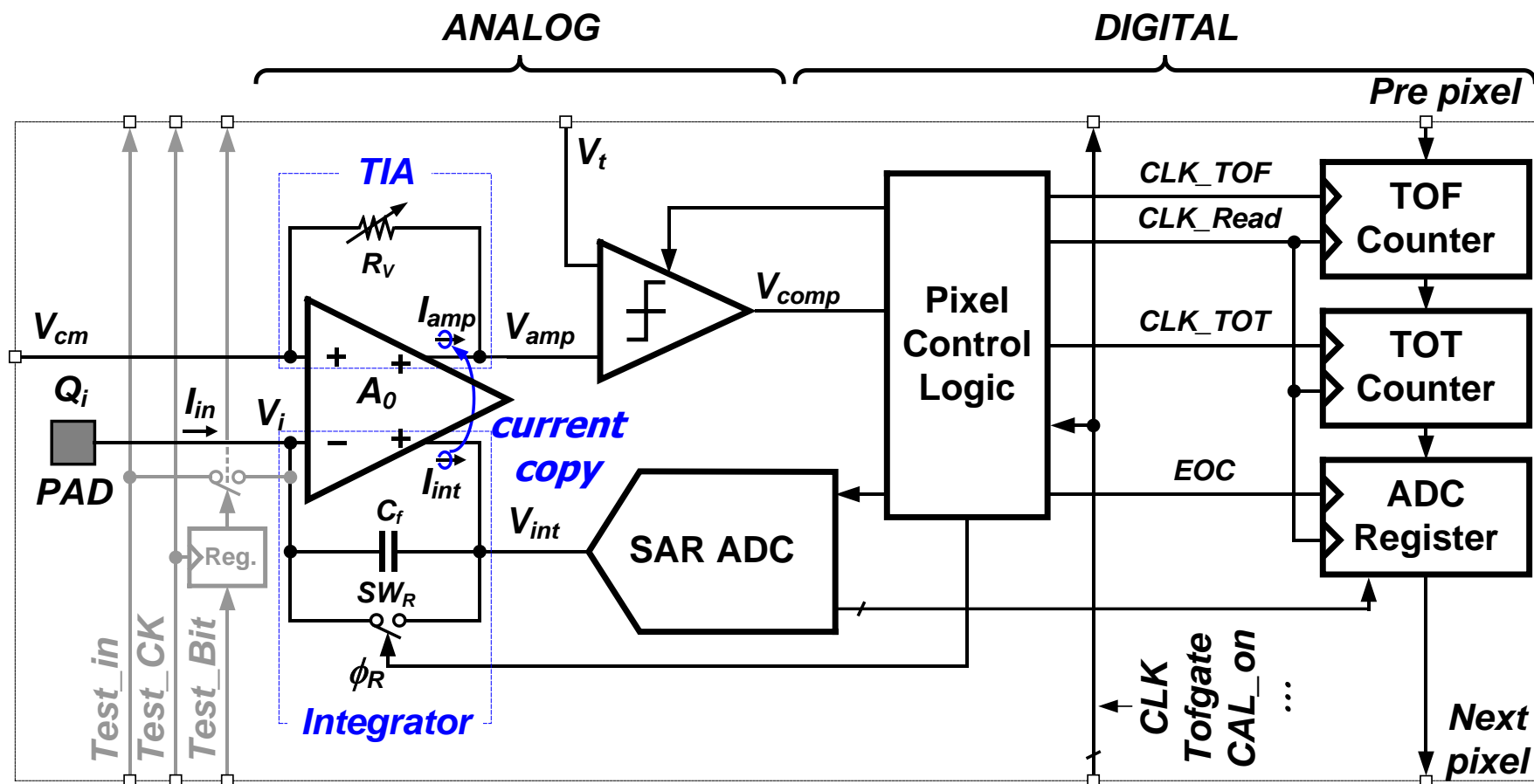
TOF : Time of Flight (drift time)

TOT : Time over Threshold

(Density of electron in z direction)

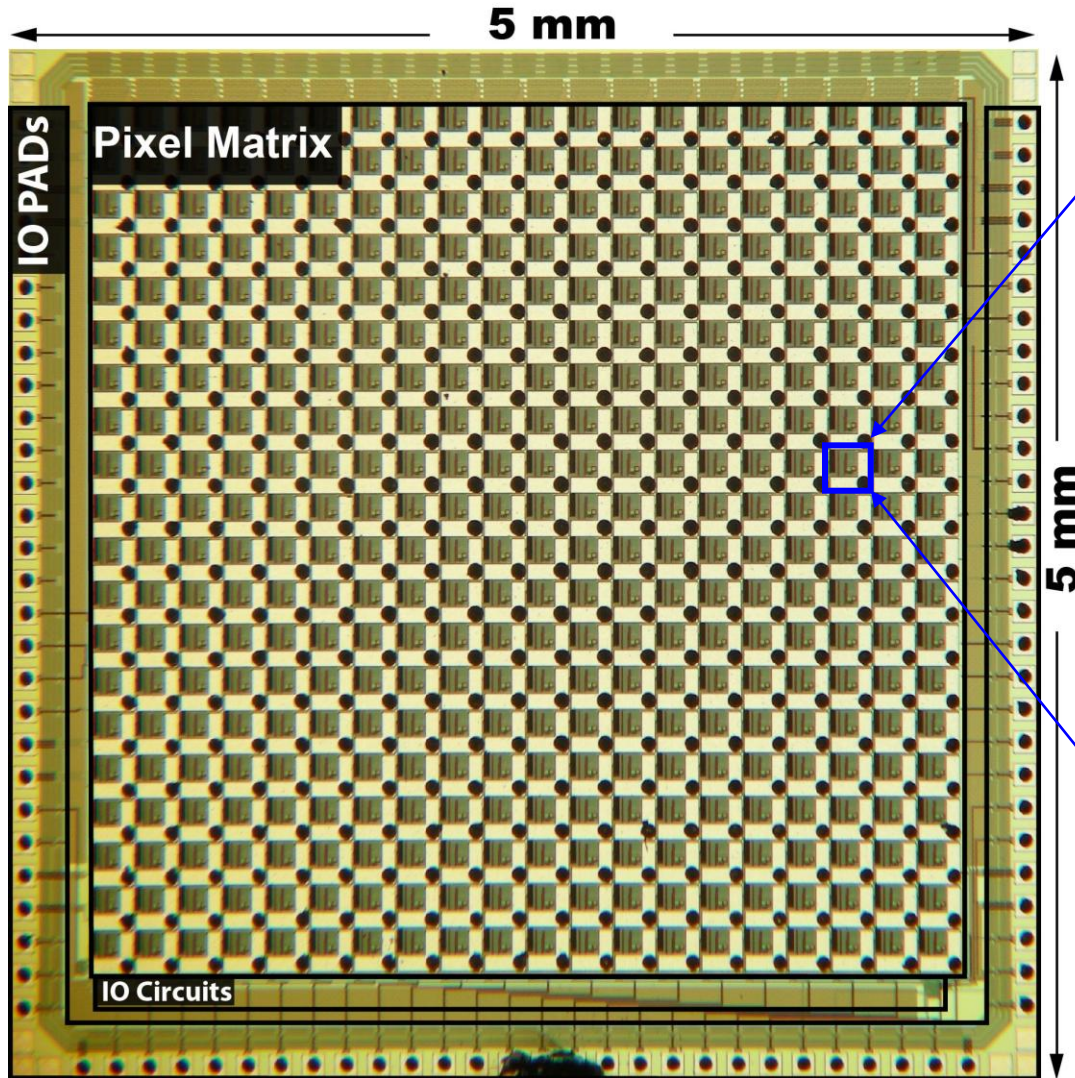
Q : total deposited charge

SAR ADCにより電荷を直接測定
TOT, TOF情報を同時に取得

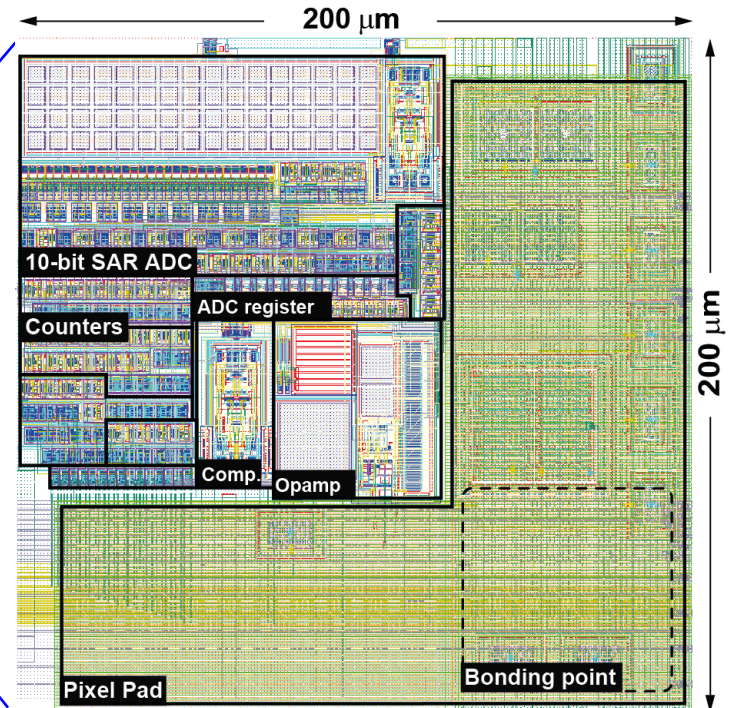


Chip implementation

Chip micrograph



Pixel layout



0.18 μm CMOS
400 pixel cells

	Qpix v.1	Qpix v.2 Pixel cell	Timepix ^[3]
Number of Pixels	20 x 20	-	256 x 256
Pixel dimensions	200 x 200 μm^2 (Active: 130 x 140 μm^2)	130 x 140 μm^2	50 x 50 μm^2
Detecting event	First event	First/Last event selectable	First event
Dynamic range	10 fC ~ 1.5 pC	1 fC ~ 750 fC	0.1 fC ~ 12 fC
Comp. threshold	35 fC (35 mV)	1 fC	0.1 fC
Readout information	TOF: 14 bits, 10 ns	TOF: 14 bits, 10 ns	14 bits, 10 ns (TOF or TOT or Photon counter)
	TOT: 8 bits, 10 ns	TOT: 8 bits, 10 ns	
	ADC: 10-bit, 10MSps	ADC: 10-bit, 10MSps	None
Readout speed	240 Mbps	-	100 Mbps
Readout mode	Serial/Parallel	Serial/Parallel	Serial/Parallel
Power/pixel	187.5 μW (a)	150 μW	6.5 μW + 7 μW (b)

(a) Both acquisition and readout state. CLK = 100 MHz and DCK = 240 MHz

(b) Acquisition state and Ref_CLK = 80 MHz

- ADC, DACを用いた様々なシステムを開発
 - ミリ波無線通信用高速データコンバータの研究
 - ヘルスケアシステム用アナログ回路技術の研究
 - 粒子検出器 ピクセル読み出し集積回路(QPIX)