

大型重力波検出器

KAGRA

における計測と制御

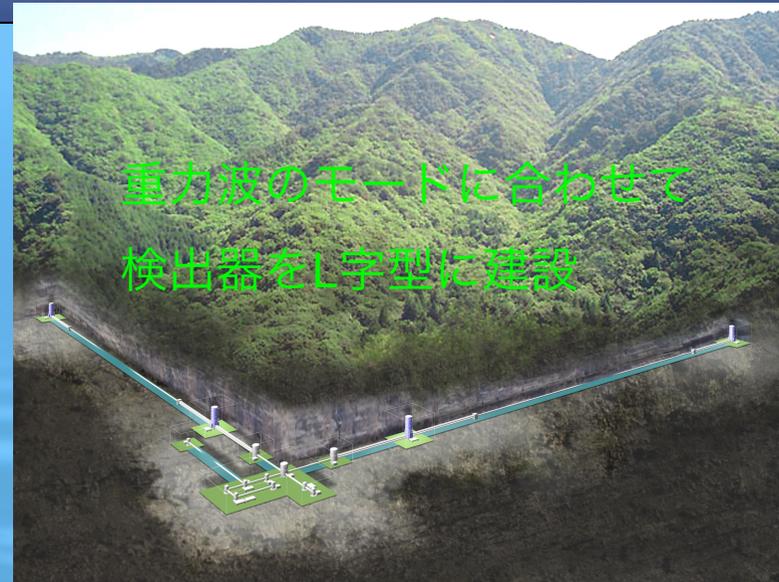
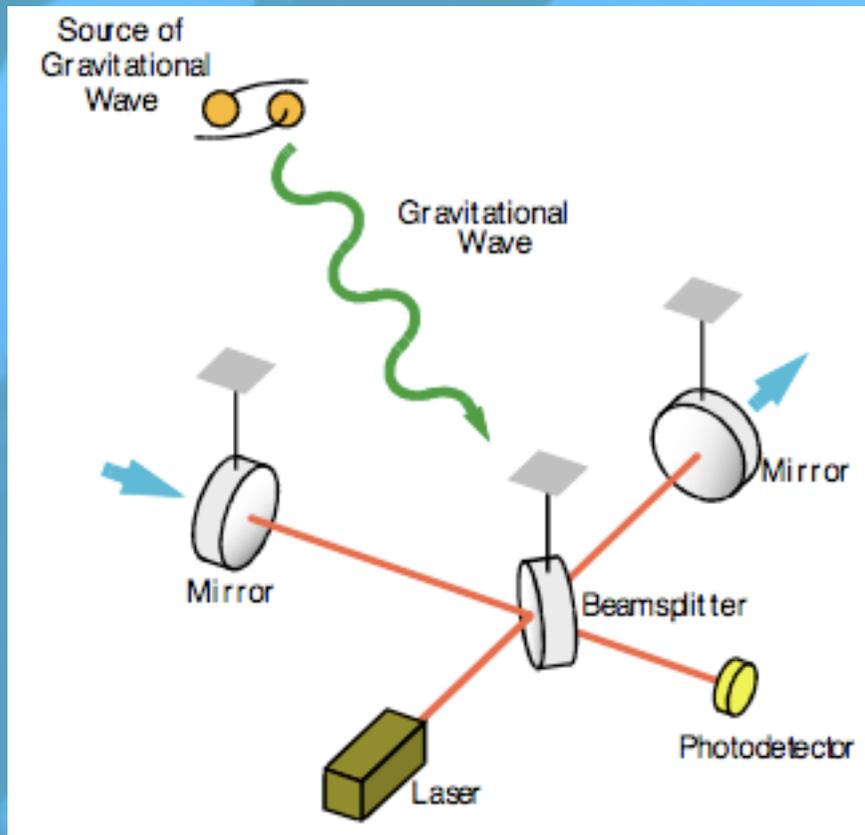
2012年11月6日 @計測システム研究会2012

東京大学宇宙線研究所
宮川 治

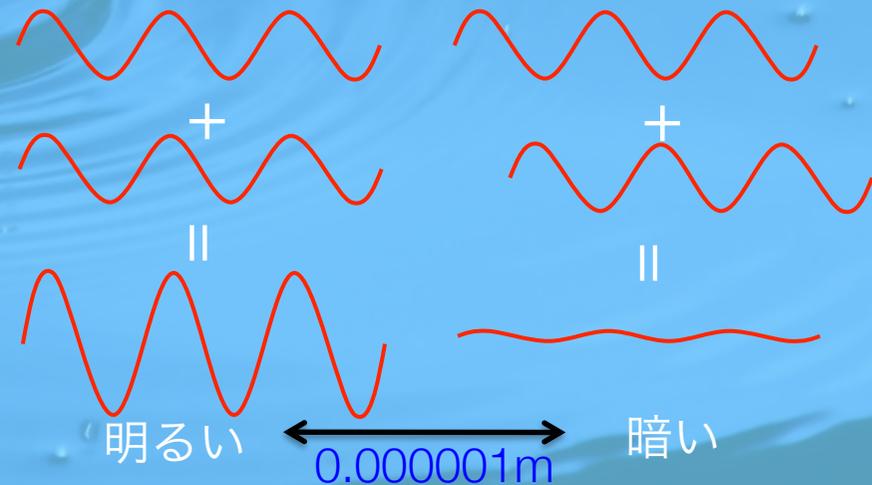


レーザー干渉計を使った重力波検出

KAGRA



光の重ね合わせ(干渉)



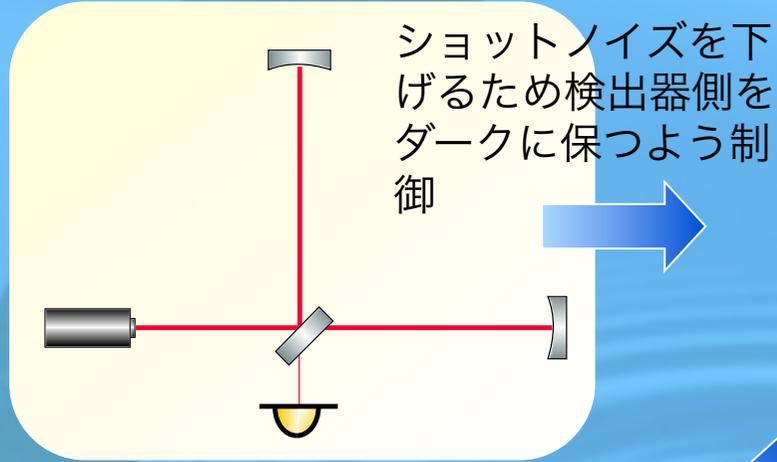
重力波が到達すると朝夕力として鏡を揺らす
両腕の微小距離の変化を光の明暗で測定

期待される重力波の大きさは非常に小さく：
 $1 \times 10^{-19} \text{m}$ 程度

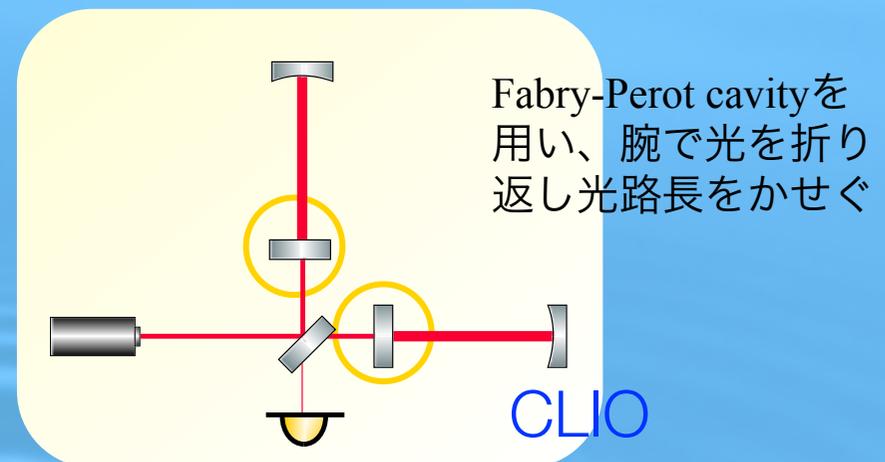
干渉計光学設計の発達



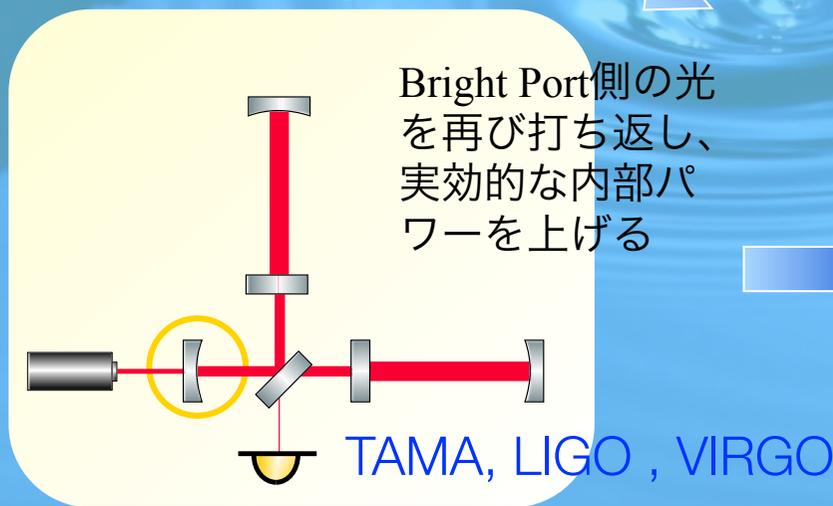
Michelson interferometer (MI)



Fabry-Perot MI (FPMI)



Power recycling (PRFPMI)



Dual recycling (DR)



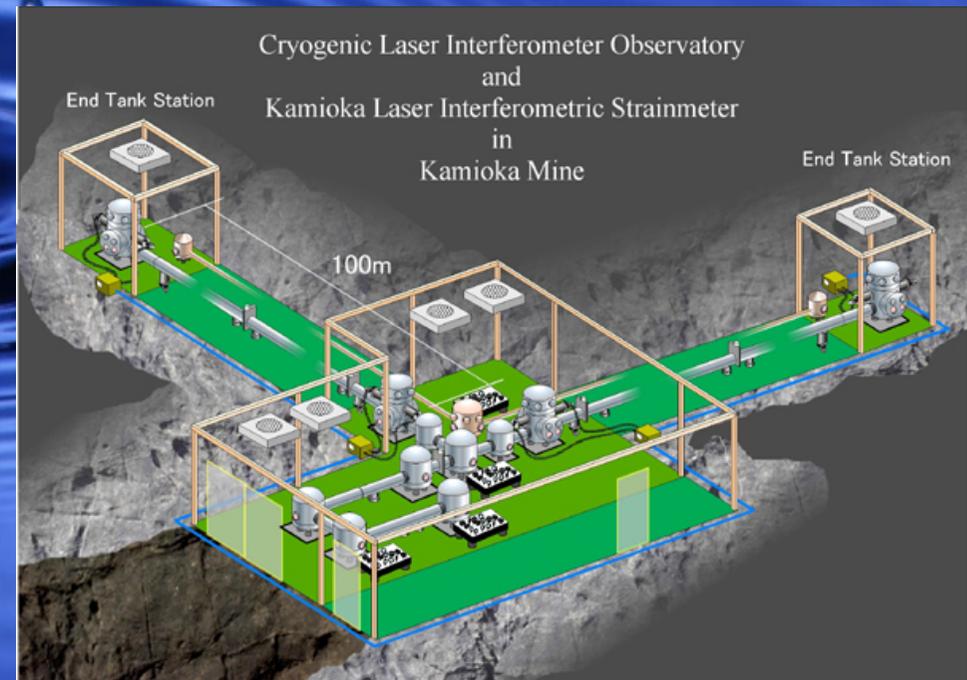
これまでの日本の主要な重力波検出器 **KAGRA**

TAMA300

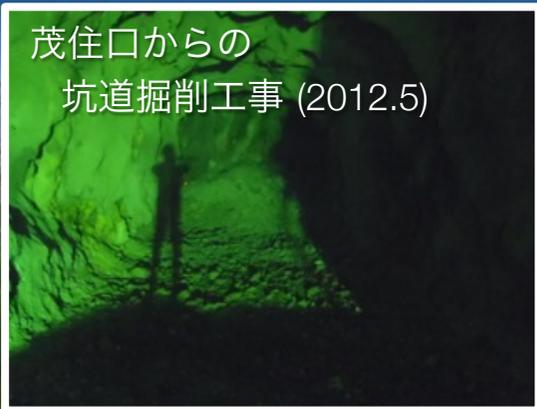
- 基線長 300m、国立天文台三鷹キャンパスに建設
- 銀河近傍で発生する重力波イベントを検出可能な**実証型検出器**の建設
- 将来の km 級干渉計のための**技術開発**

CLIO

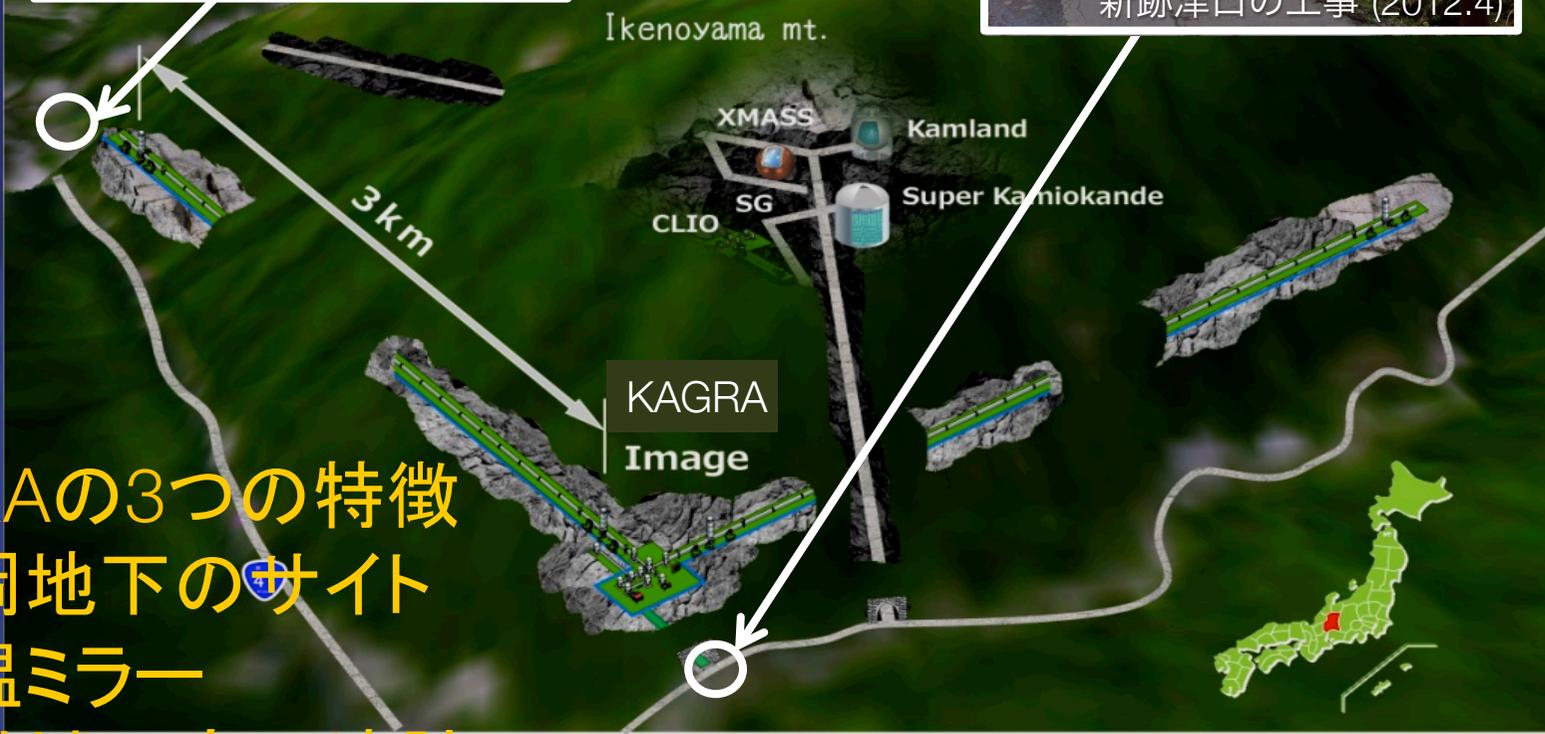
- 基線長100m、神岡鉱山内に設置
- KAGRAの要素技術のひとつ**低温動作**の検証



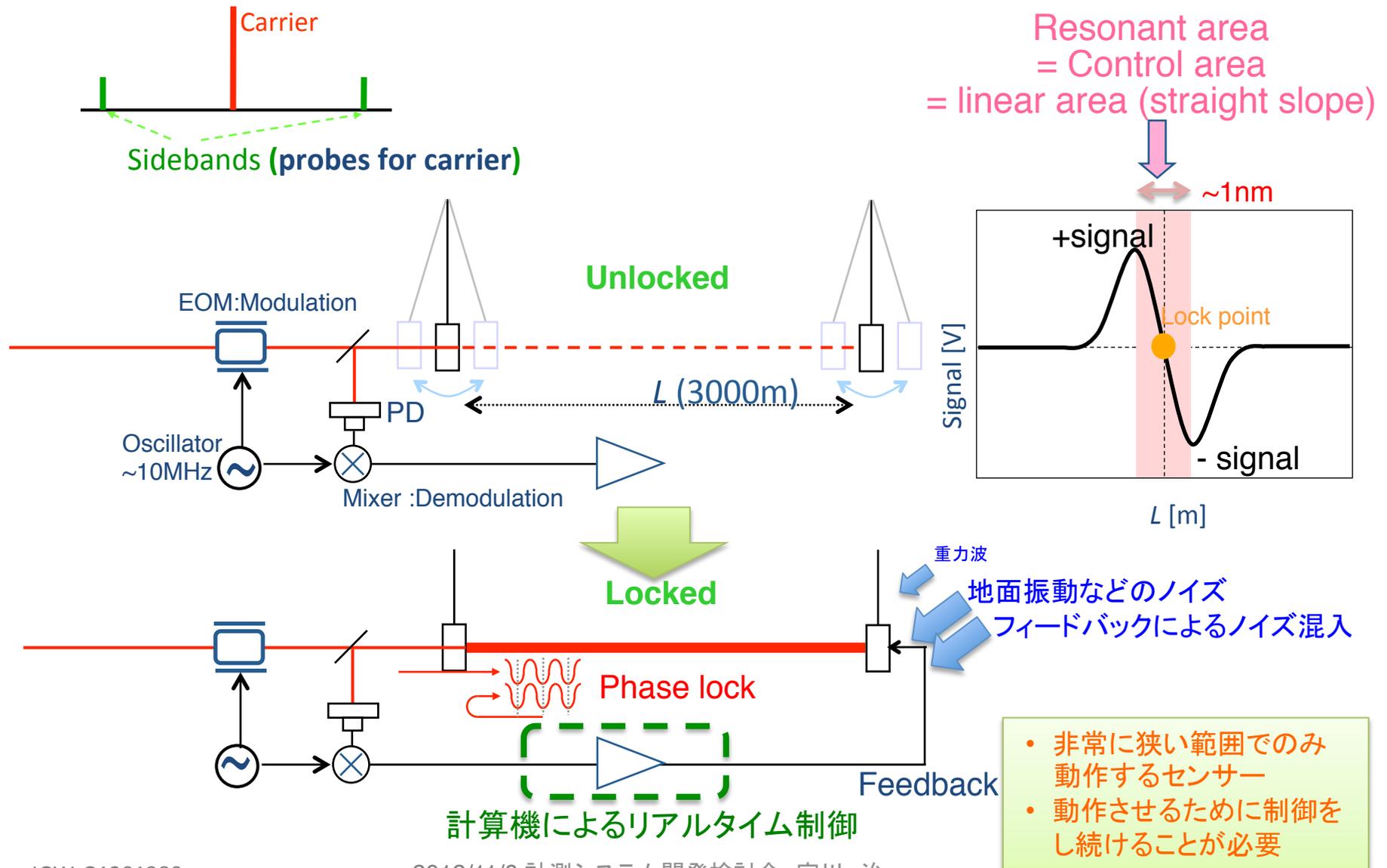
神岡サイトでの建設工事



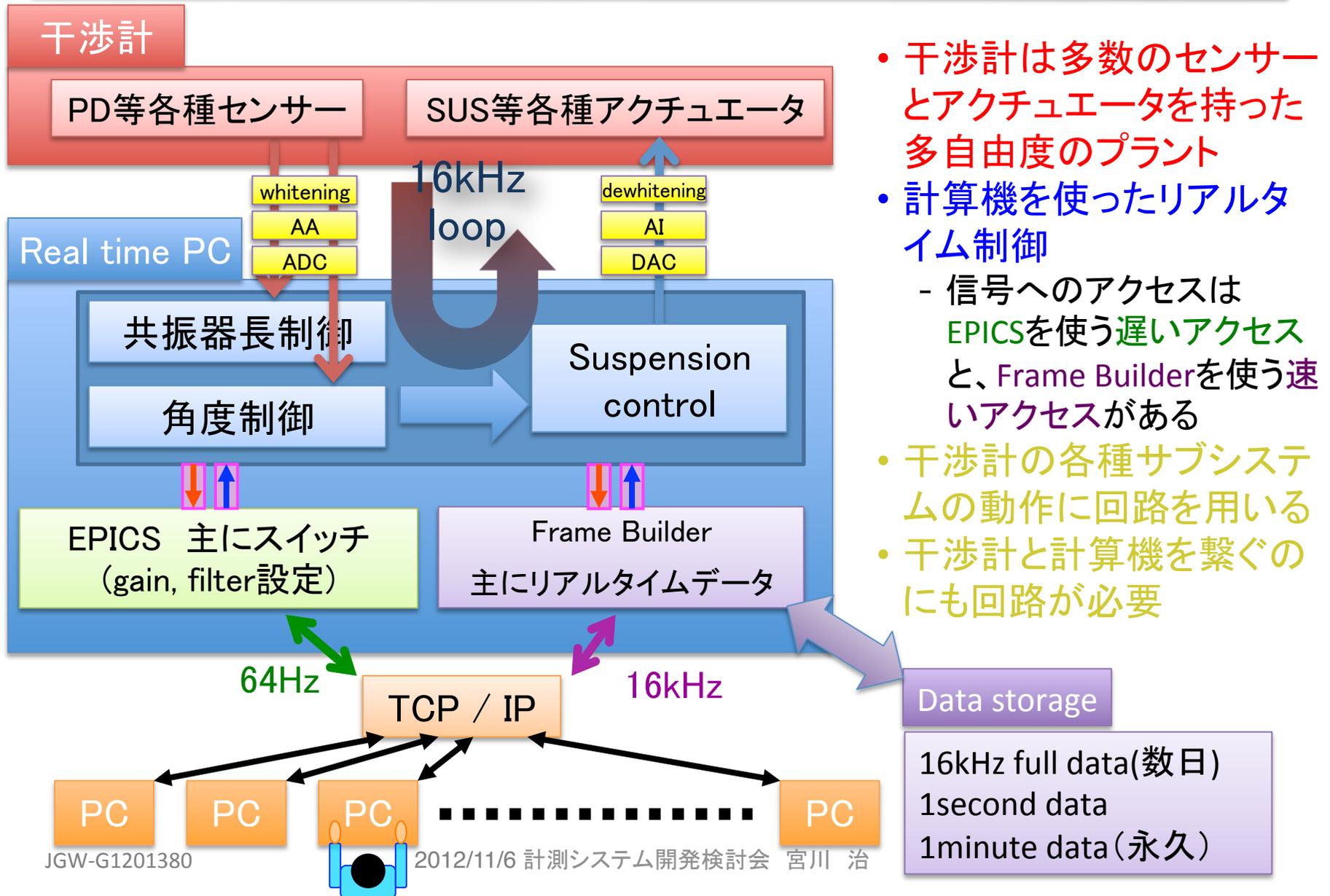
Gifu Pre.
Hida-city
Kamioka
Ikenoyama mt.



- KAGRAの3つの特徴
1. 神岡地下のサイト
 2. 低温ミラー
 3. 狭帯域可変干渉計



重力波検出器のための計算機を使ったリアルタイムフィードバック制御の概念図



- 干渉計は多数のセンサーとアクチュエータを持った多自由度のプラント
- 計算機を使ったリアルタイム制御
 - 信号へのアクセスはEPICSを使う遅いアクセスと、Frame Builderを使う速いアクセスがある
- 干渉計の各種サブシステムの動作に回路を用いる
- 干渉計と計算機を繋ぐのにも回路が必要

日本の干渉計はTAMA-CLIOとアナログ制御をメインにやってきた
なぜ、デジタル制御に変える必要があるのか?

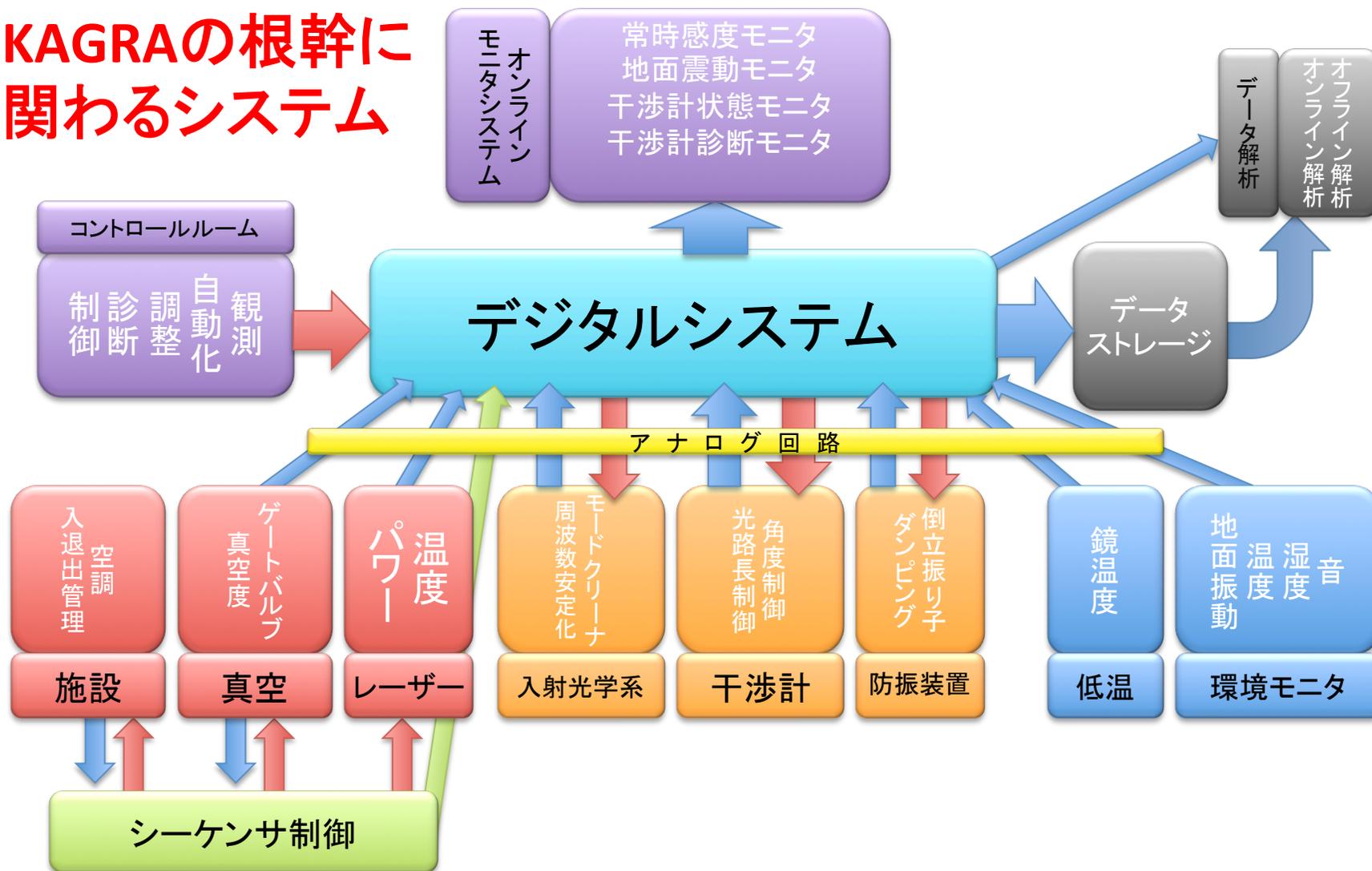
- Analog
 - MHz帯域の早いスピード
 - 低ノイズ、ただし外的環境に対し不安定
 - 複雑な制御が苦手
- Digital
 - 複雑なシステムを見通しよく操作する
 - ADC/DACでは雑音が大きいが、whitening/dewhiteningで回避可能
 - 計算機内のノイズは基本的に考えなくていい
 - 遅い、しかしながら振り子での制御には十分
- デジタルシステムはノイズハンティングの時間を短縮し、安定な観測体制を提供する

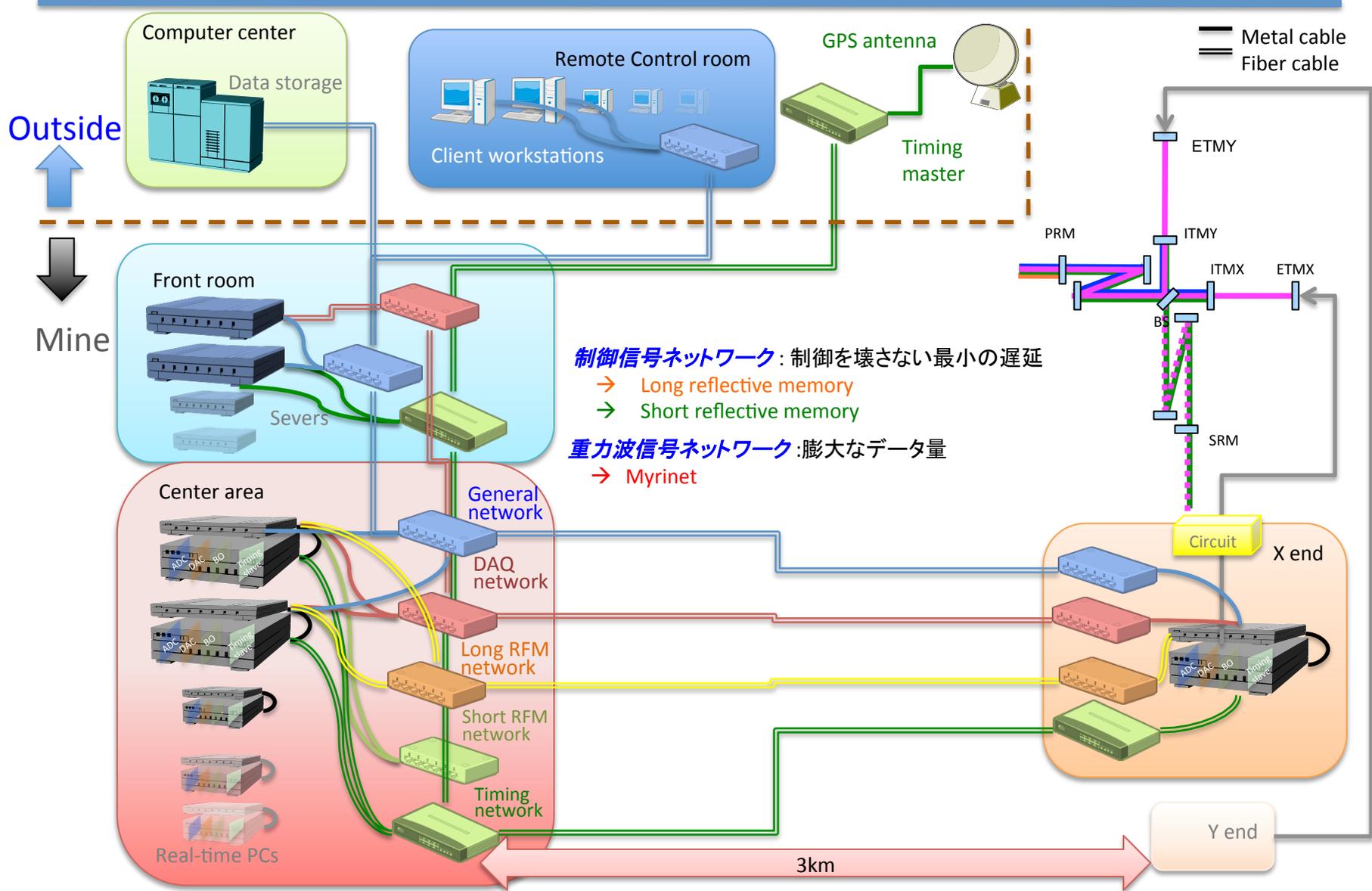
アナログ回路での制御では、同じ感度を出すのに
3倍くらいの時間がかかると言われている

- デジタルシステムをどのように開発するか
 - 自前で開発
 - 企業に頼んで開発してもらう
 - 既にあるものを使う
- 前者2つの方法はLCGTの要求を満たすのはマンパワー的にも、予算的にも大変
- 2005年ころから、aLIGO用デジタルシステムが実用化され始めた
 - 当時実績を出していたiLIGO用デジタルシステムとコンパチ
 - コンパクトなシステムで、持ち出してからCLIO等のプロトタイプでもテスト可能
- 2008年、KAGRAの既定路線として、aLIGO用に開発されているデジタルシステムをKAGRAに組み込むことを決定
 - 開発のための労力の軽減
 - 共通ソフトの使用

- General Standards社製の市販のPCIeベースのADC, DACボードを使用
 - 16bit, 64kHz サンプリングで、ADC: 差動32ch/基盤, DAC: 差動16ch/基盤
 - ADC/DACボードの独自開発も試みたが、ボード供給体制、マニュアルなどの整備を考えると市販品で十分と判断
- CONTEC社製の市販のBinary Outputボードを使用して、各種アナログ回路のスイッチング
- ADC: ~3200ch, DAC: ~800ch, BO: ~3200ch
 - PCIeの拡張ボードを使い10枚程度までのADC/DACを一台の計算機で処理
 - 制御のリアルタイム性を確保するために計算機同士をReflective memoryで接続
- ADC/DACの同期にはGPS信号を遅延補正を含めて補正するシステムをLIGOグループで開発
- 複雑な制御、フィードバックフィルターなどは全てGentoo Linux + RT patch上でソフトウェアで構築
- Matlab SimLinkベースのGUIでのリアルタイムモデルの構築
- リアルタイムモデルのbuild時にEPICSチャンネルを自動的にアサイン、MEDM雛形ファイルを自動生成
- データ転送はMyrinetを使用

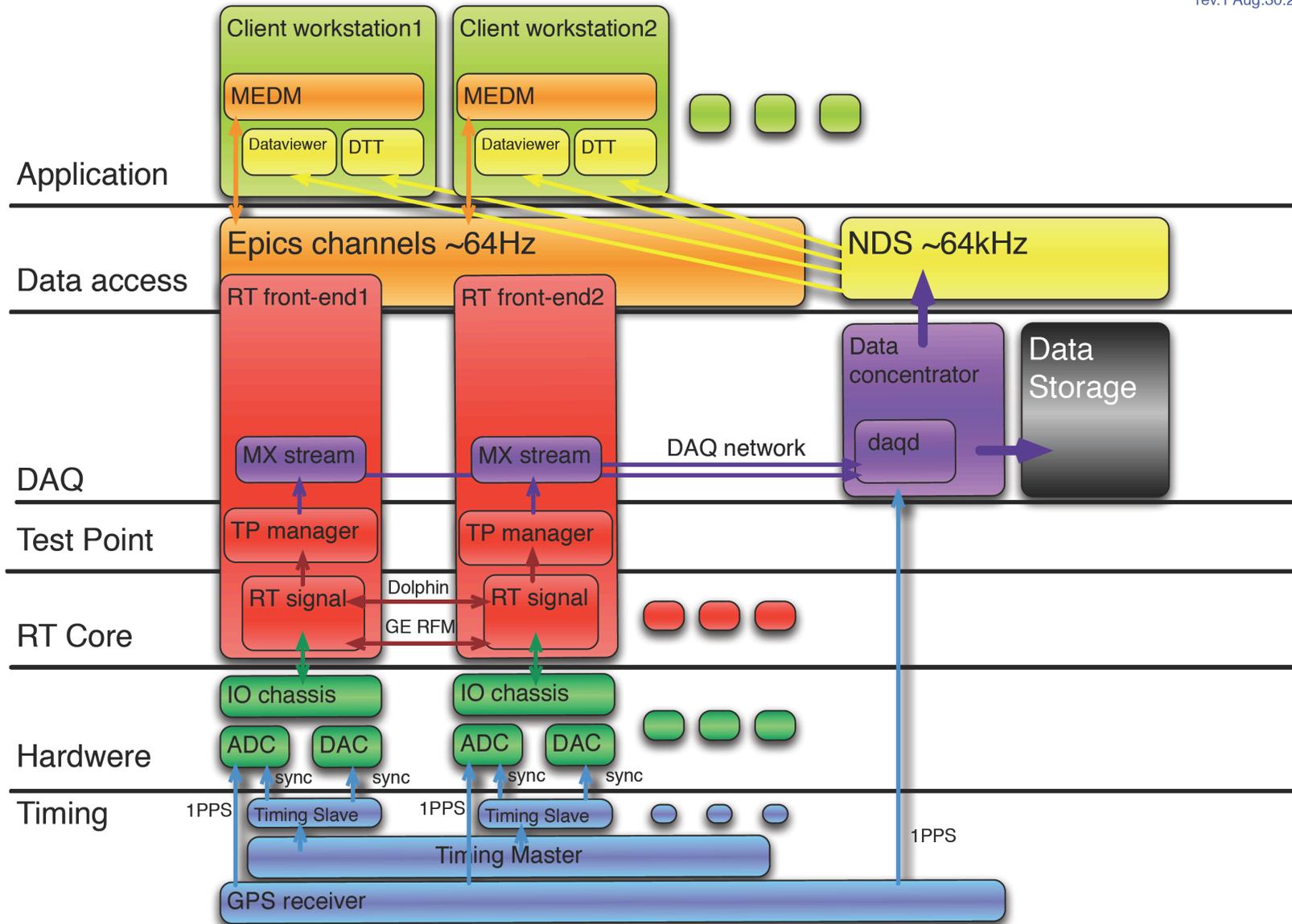
KAGRAの根幹に関わるシステム





LCGT Digital System Layer Map

JGW-D1100588
rev.1 Aug.30.2011



各機器の台数

	Stand alone system FY2010-	Small network test FY2011	Large network test FY2012, 2013	Full system FY2014~
Real time PC	1	2	~7	~25
IO chassis	1	0	~7	~25
Servers	0	1	8	8
ADC	1	2	~10	~70
DAC	1	0	~10	~35
Binary Output	1	0	~10	~100
Long Reflective memory switch	0	1	3	3
Short Reflective memory switch	0	1	3	5
DAQ memory switch	0	1	4	4
Timing switch	0	1	3	3
IRIG-B switch	0	0	1	3
Data storage	1TB	2TB	~20TB	~500TB

赤字: 新規導入
緑字: 台数増加

Realtime 計算機:

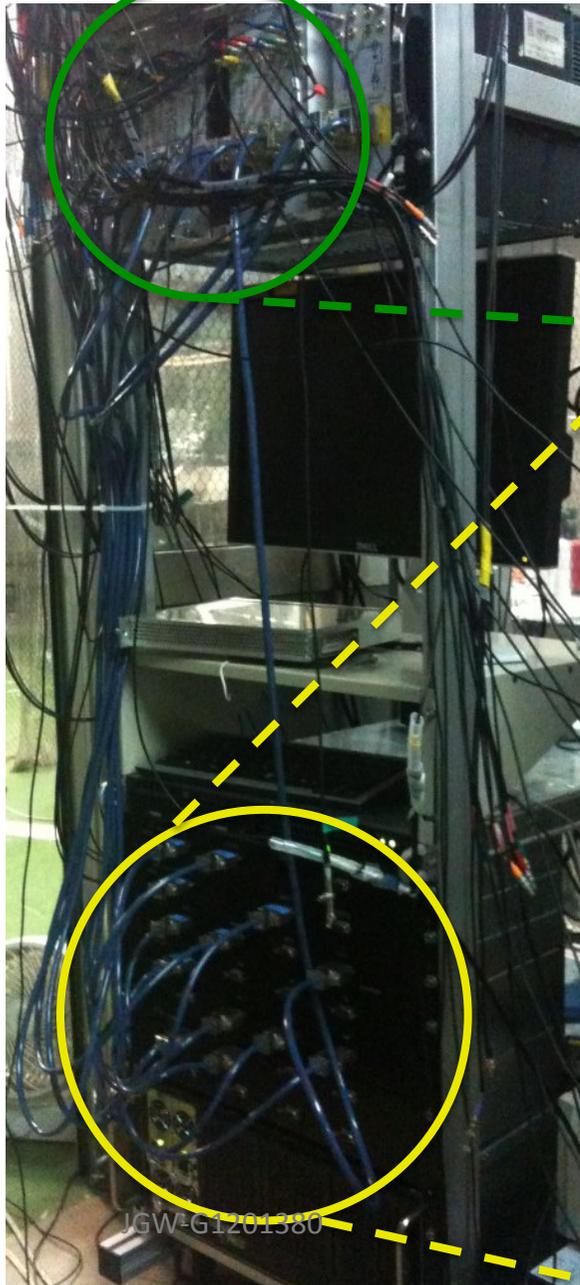
- PC: SUPERMICRO社製 1DIN server, 2x4core 1台
 - Gentoo Linux + real time patch
- Real time制御のためのソフト一式
- PCIe Expansion chassis: One Stop System社製、OSS-PCIe-4U-EXP-2001-700 1台
- ADC (Analog Digital Converter): General Standards社製、16bit 64ch(32ch for diff.)、PMC66-16AI64SSA-64-50MHz-NO-IO 1 or 2枚
- DAC (Digital Analog Converter): General Standards社製、16bit 32ch(16ch for diff.)、PMC66-16AO16-16-F0-DF-NO-IO 1 or 2枚
- Binary Output (BO): CONTEC社製、32ch、DO-32L-PE 1 or 2枚
- 付随するアナログ回路:
 - Anti Aliasing/Imaging filters 必要なチャンネル数
 - Interface box for ADC/DAC/BO 必要なチャンネル数
 - Whitening/dewhitening filter + Variable gain amplifier 原則各サブグループで用意

Client Workstation:

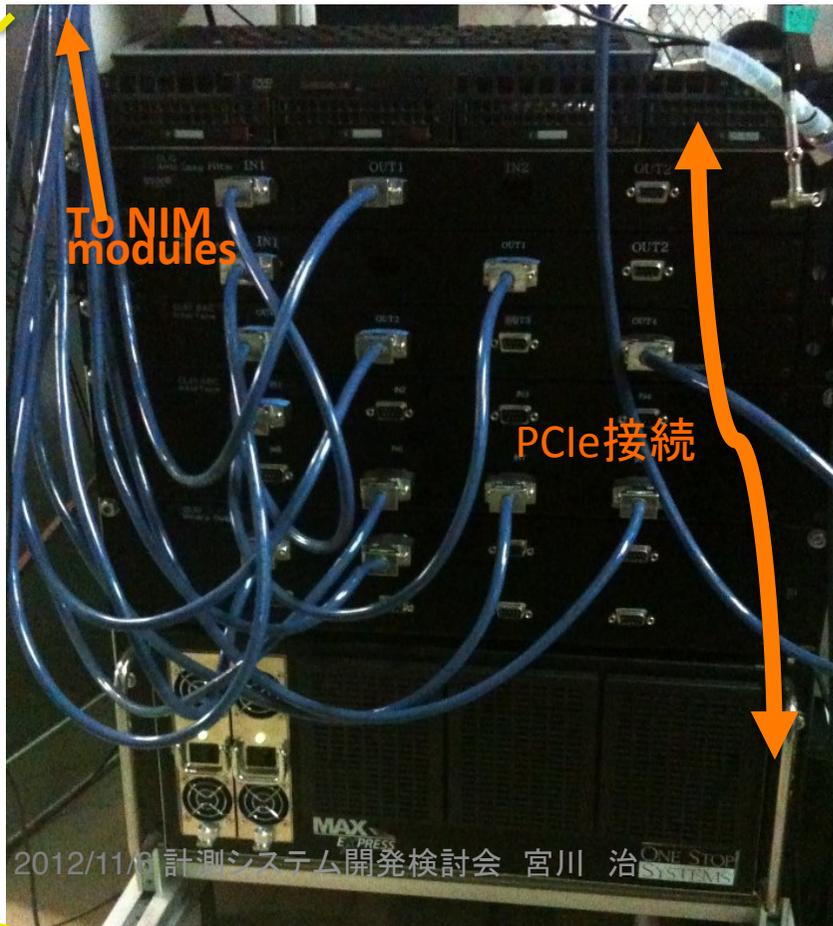
- データアクセスのための基本ソフト一式
 - オシロ、FFT、swept sine, MEDM

KAGRA

Pictures



JGW-G1201380



2012/11/6 計測システム開発検討会 宮川 治

- Real time PC
CentOS 5.2+real time kernel
4core x 2 Xeon
- Anti Imaging filters
- Anti Alias filters
- DAC adapter
- ADC adapter
- Binary output adapter
- ADC/DAC
In Expansion Chassis
- ADC:32ch/枚、\$4K
- DAC:16ch/枚、\$3.5K
- Binary Output:32ch/枚、\$250

Client system

MEDMメニュー

Dataviewer(オシロ)

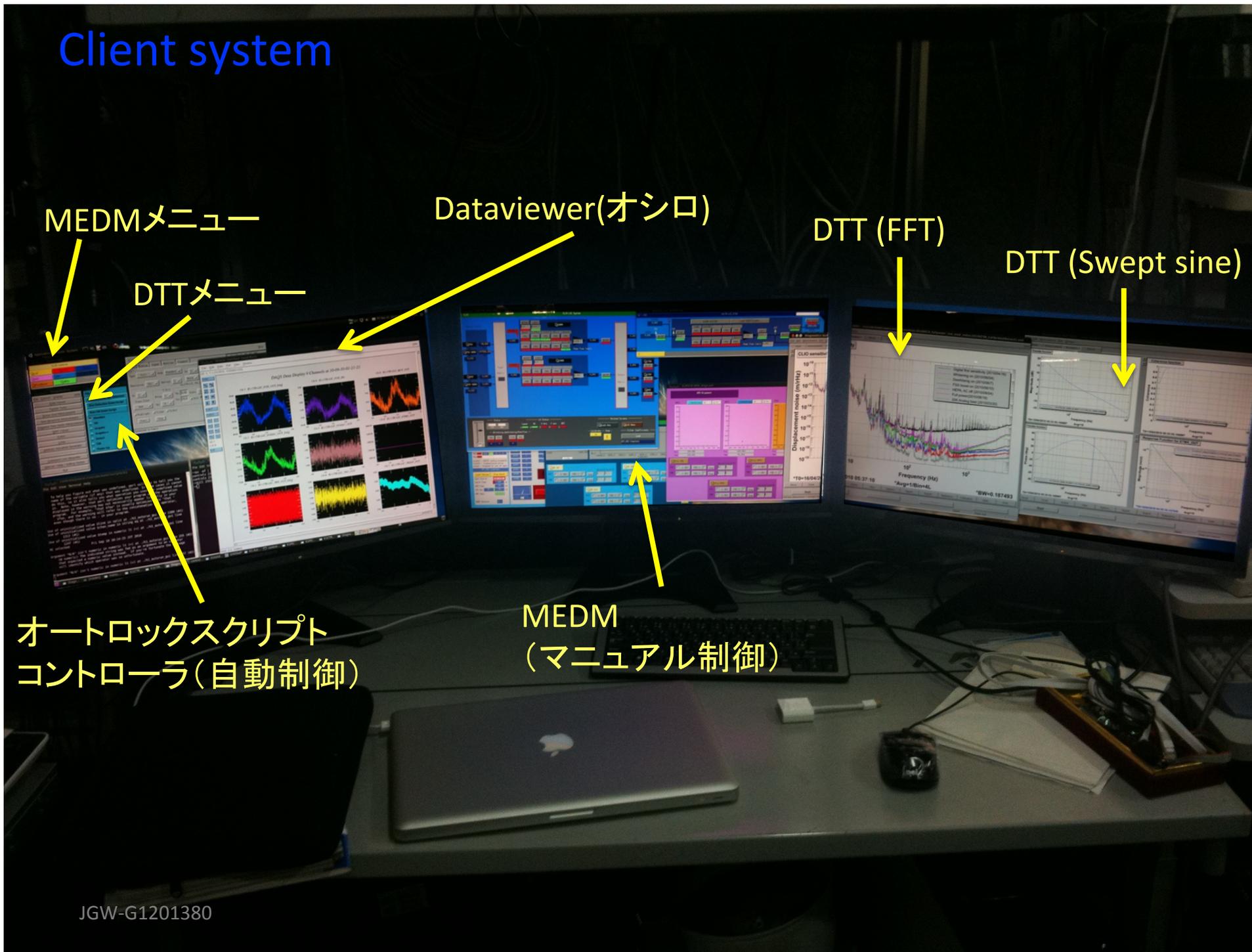
DTT (FFT)

DTT (Swept sine)

DTTメニュー

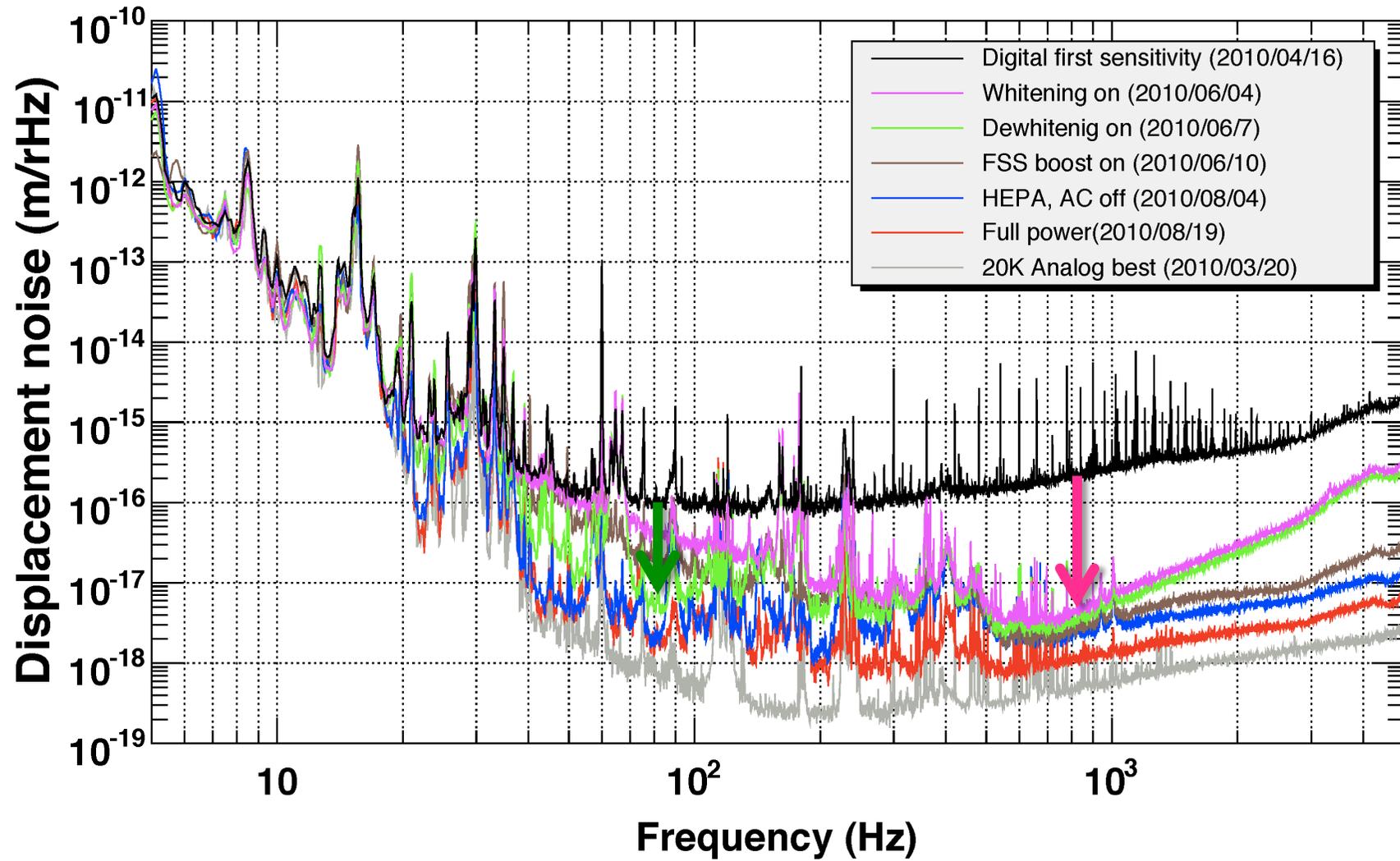
オートロックスクリプト
コントローラ(自動制御)

MEDM
(マニュアル制御)



Whitening/Dewhiteningの効果

CLIO sensitivity



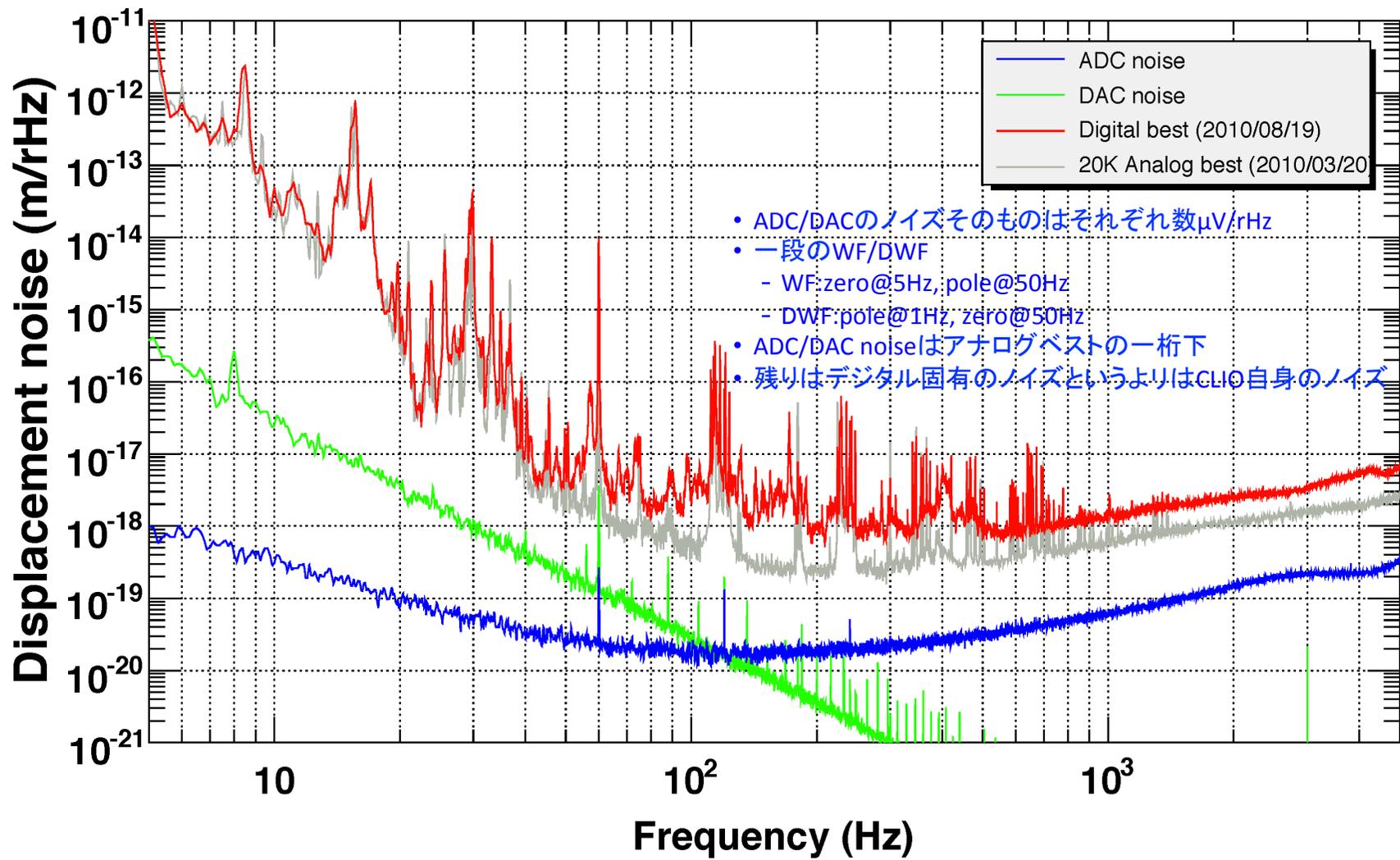
*T0=16/04/2010 05:37:10

*Avg=1/Bin=4L

*BW=0.187493

AD/DAC noise

CLIO sensitivity

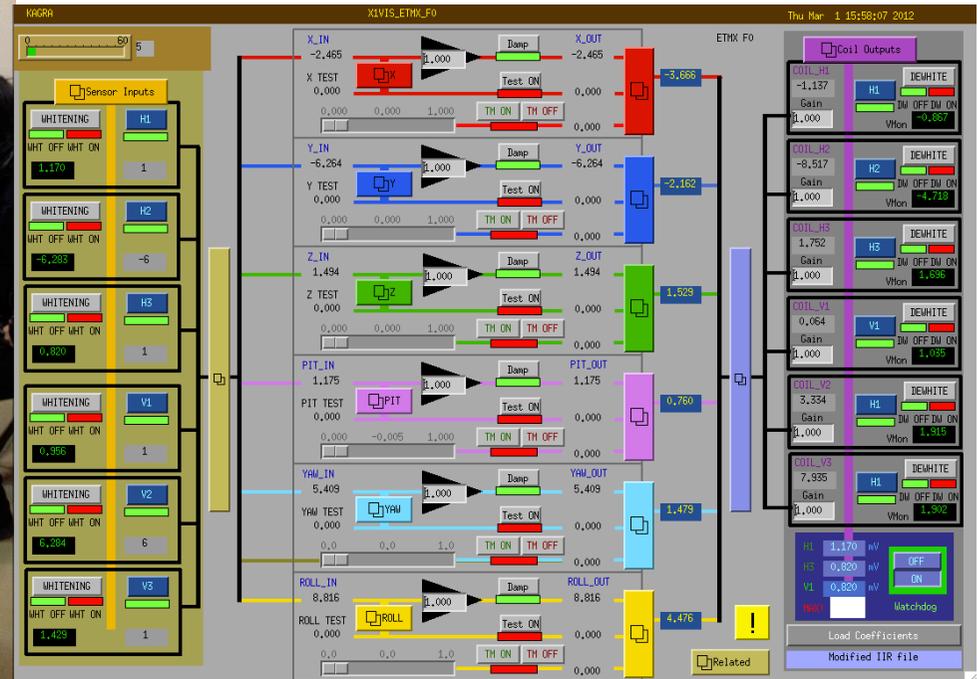
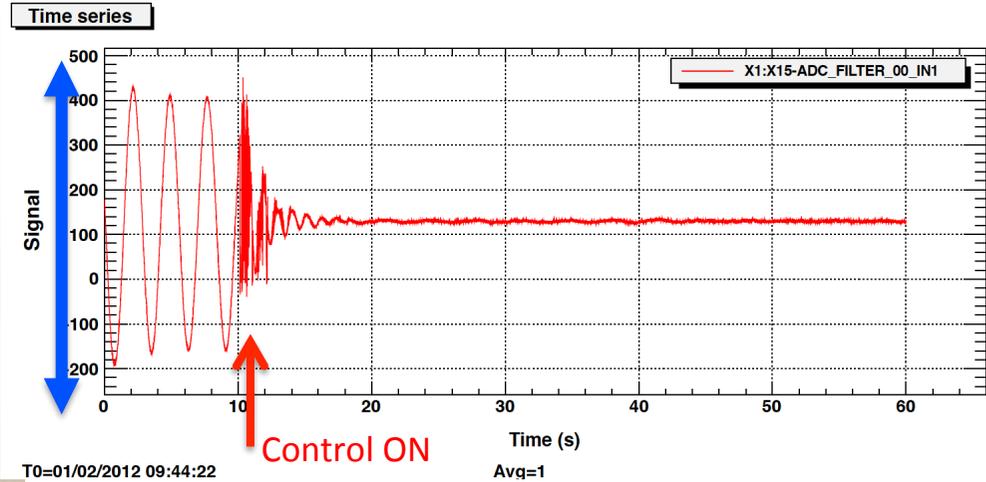
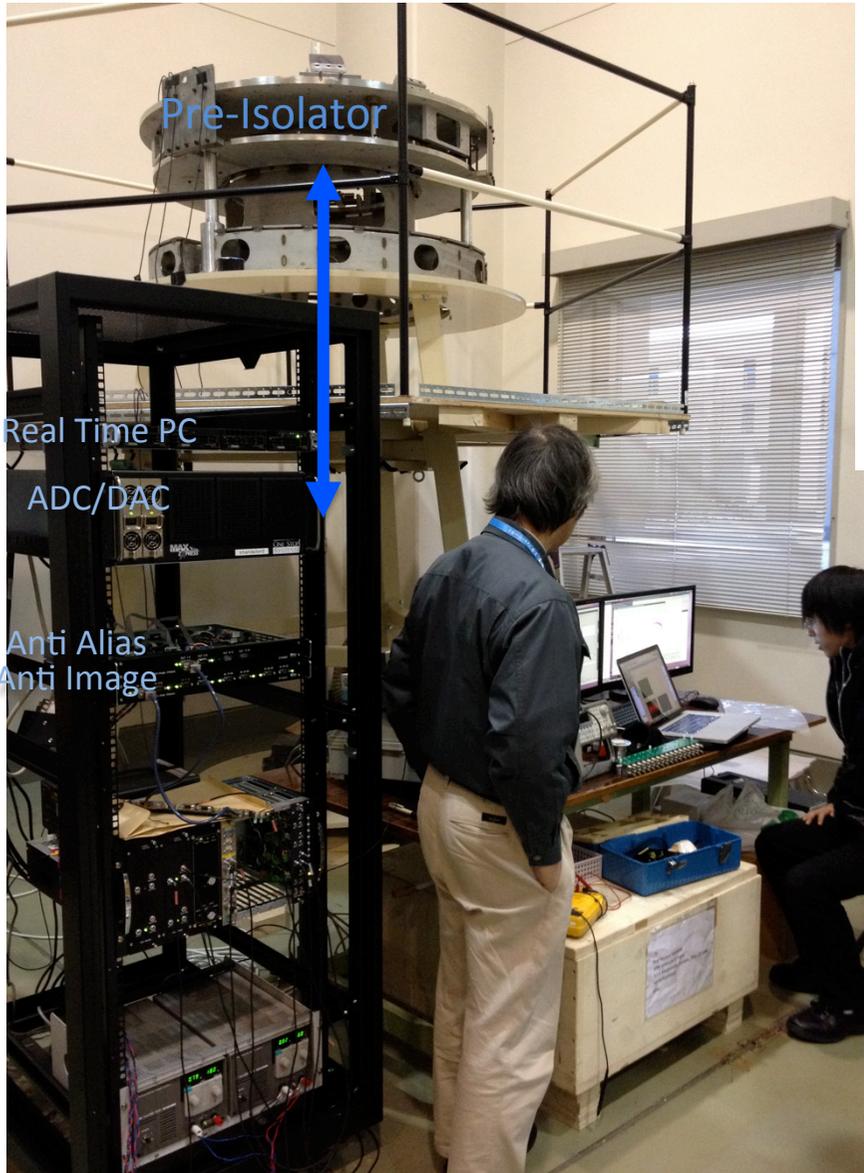


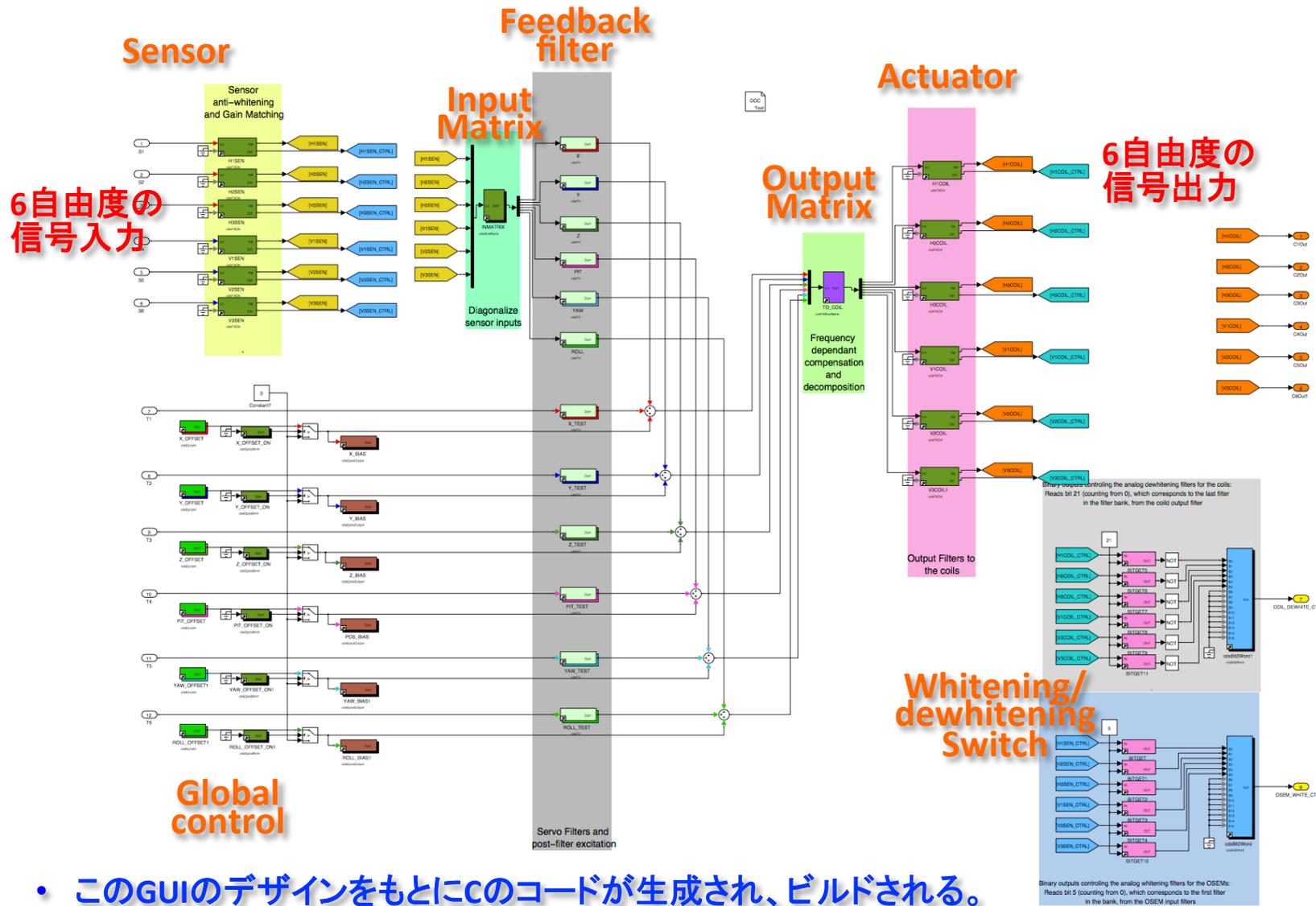
*T0=08/09/2010 01:16:38

*Avg=17/Bin=4L

*BW=0.187493

JGW-01201380



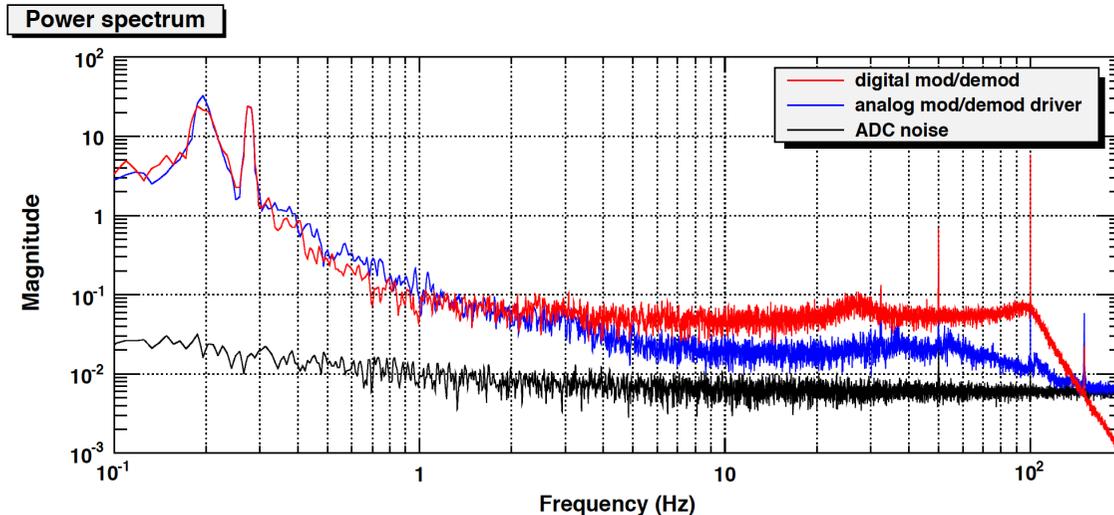
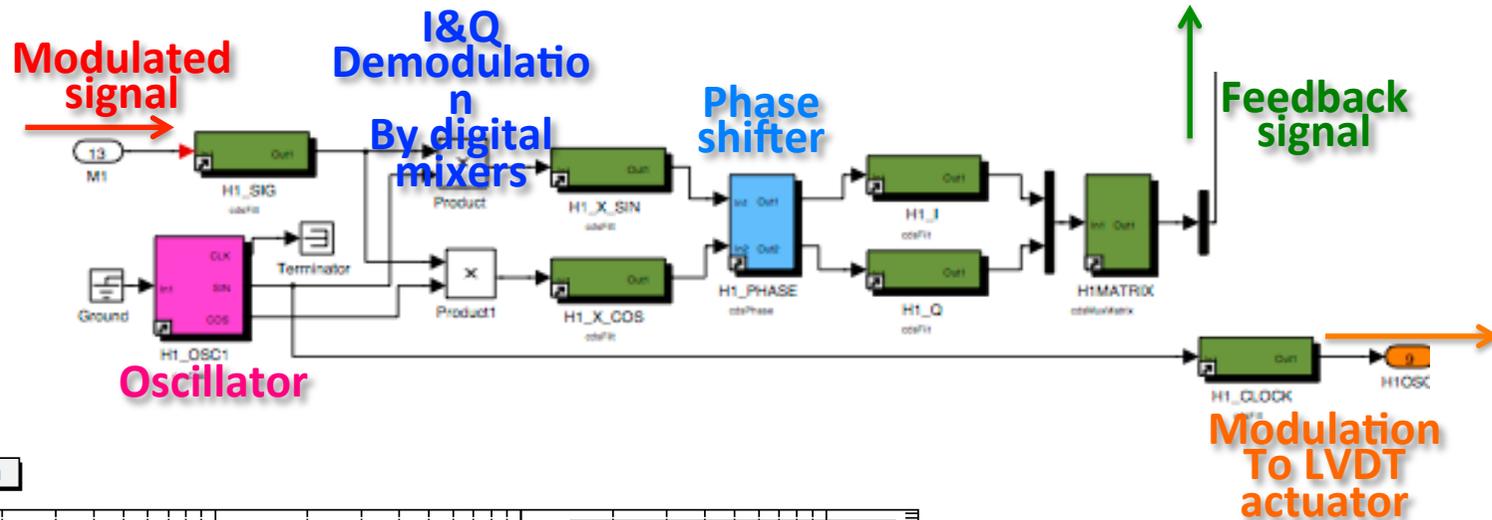


- このGUIのデザインをもとにCのコードが生成され、ビルドされる。
- RT coreはカーネルのモジュールとして動作する

例1: A digital LVDT driver

Trial: Replacing analog modulation-demodulation process to digital modulation-demodulation

RT model



Results:

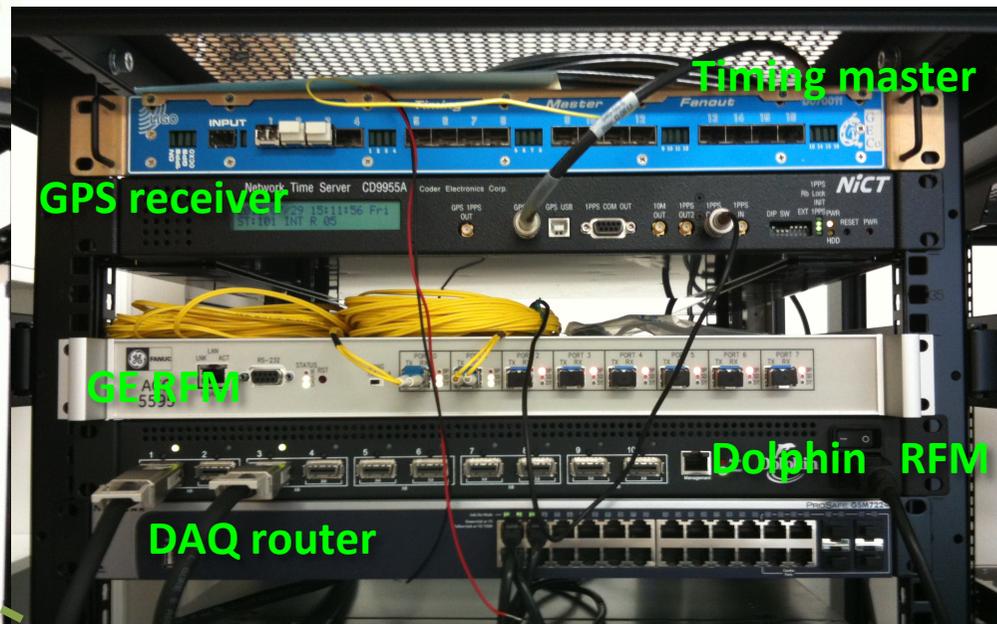
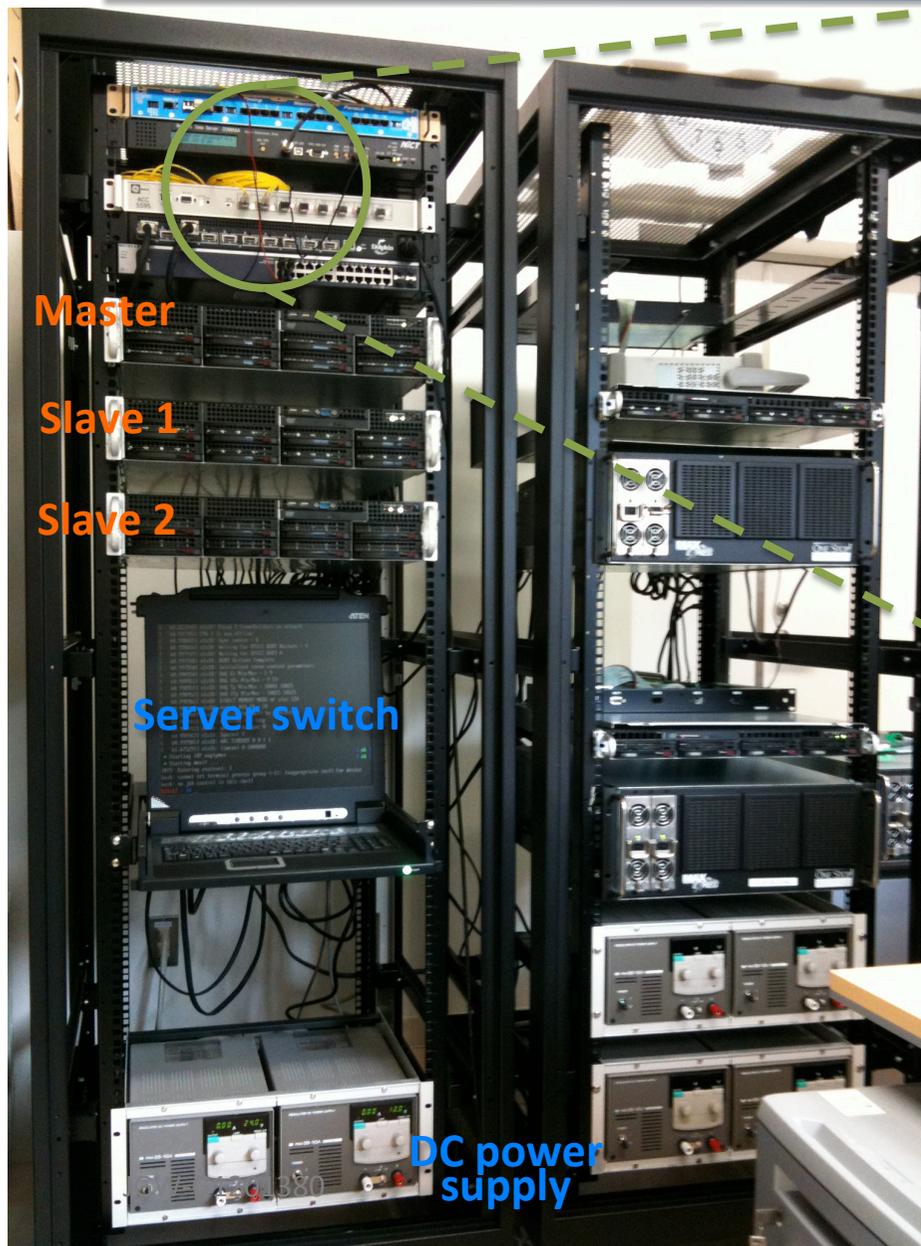
- Factor x3~4 worse than analog mod.-demod. Process
- Useful as temporary purpose

*T0=17/04/2012 09:43:25

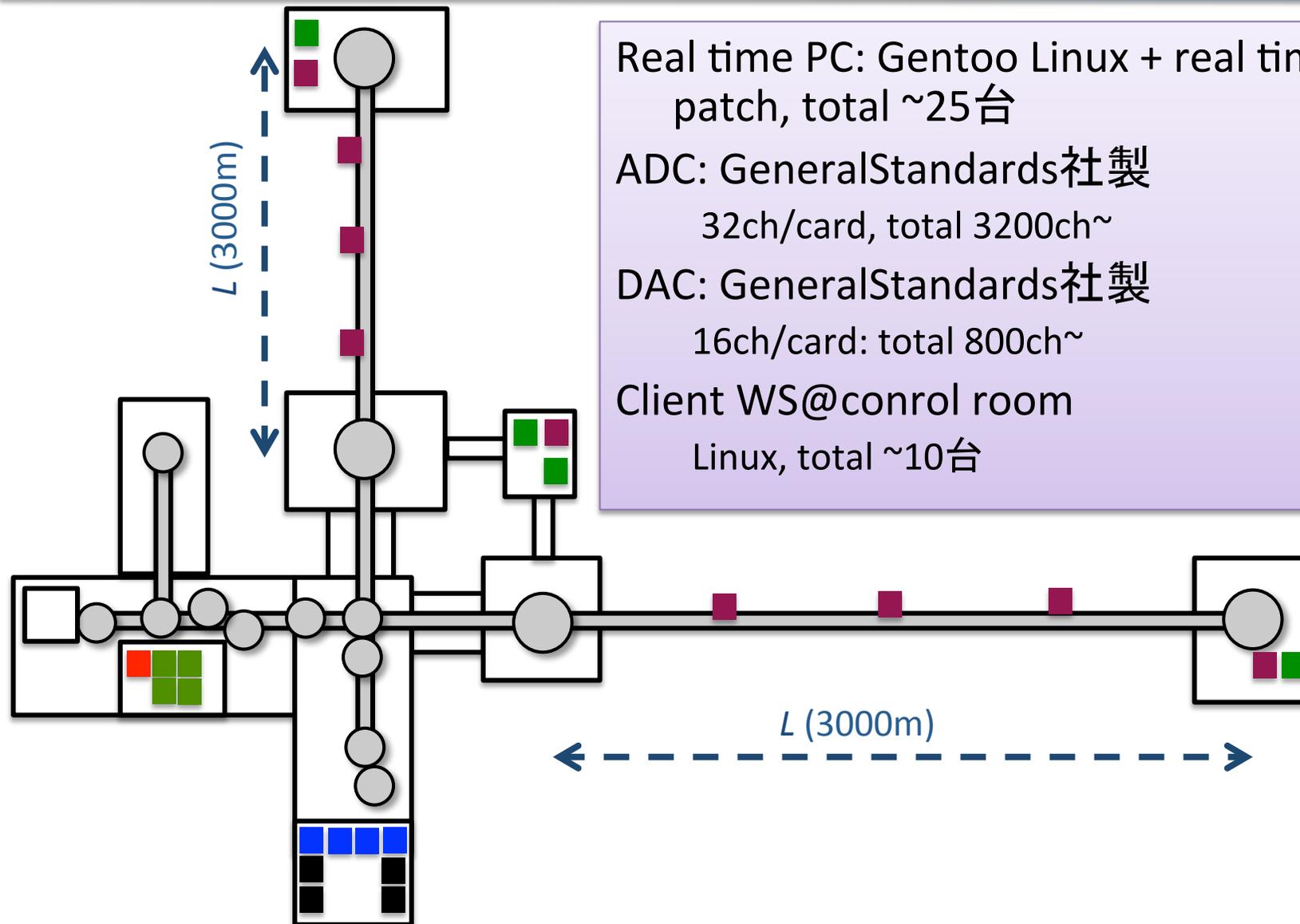
Avg=1/Bin=2L

BW=0.0117178

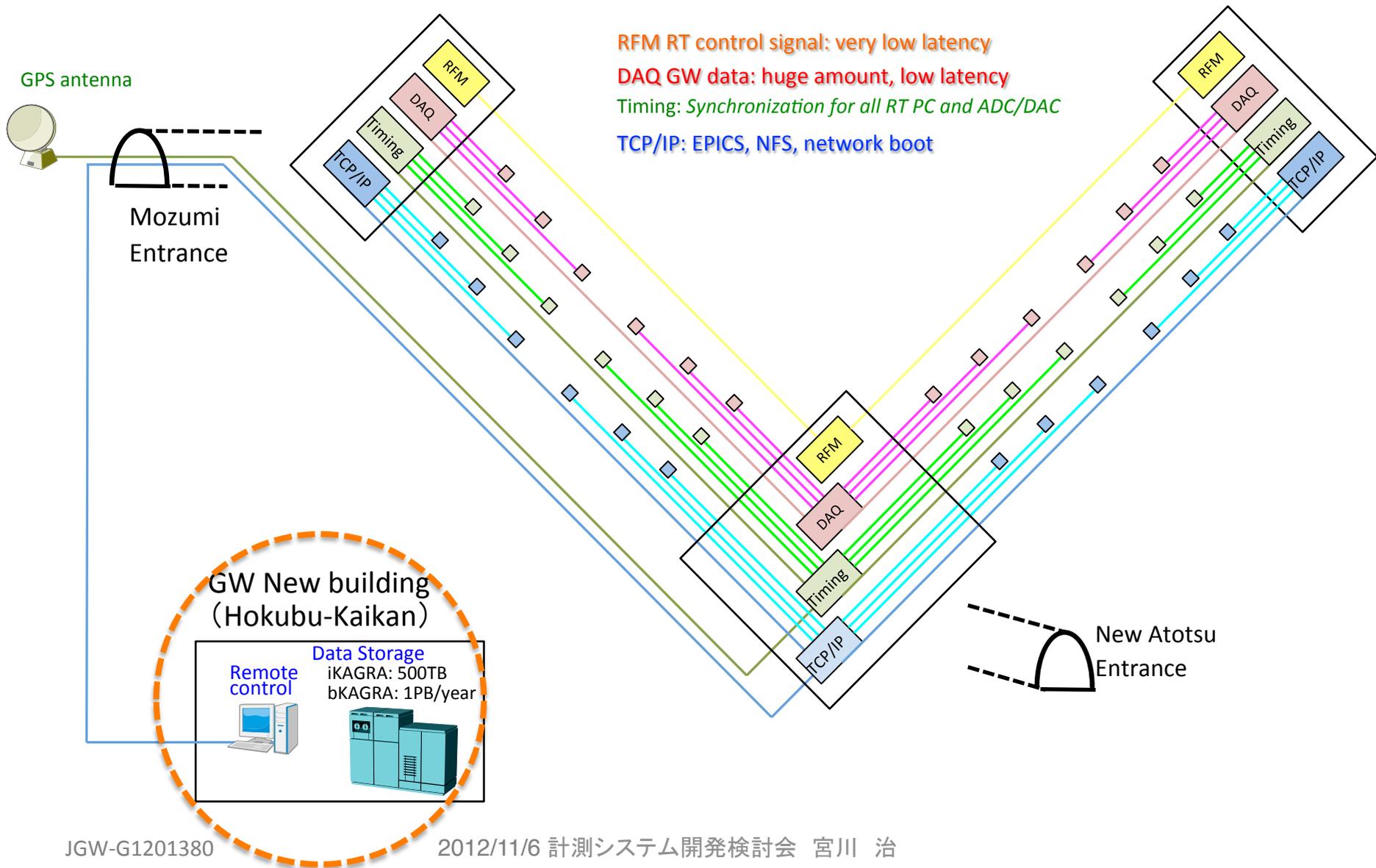
KAGRA 複数台の計算機を繋いだテスト



- 複数リアルタイム計算機の接続
- 数km用と、数百m用の2種類のReflective memoryを用いた計算機間の制御信号のやりとり
- Myrinetを用いた重力波データの10Gbitでの転送
- GPS信号から複数のADCへの同期



Real time PC: Gentoo Linux + real time patch, total ~25台
 ADC: GeneralStandards社製
 32ch/card, total 3200ch~
 DAC: GeneralStandards社製
 16ch/card: total 800ch~
 Client WS@conrol room
 Linux, total ~10台



Preparation for mass production of electronics for digital system



アナログ回路の一例

- 6 layers circuit board
- 8ch Differential input/output with buffer
- 3order 10kHz LPF, 65536Hz notch
- 0.2A/board
- 8 D-SUB 9pin connectors as signals input, total 32ch
- D-SUB 3pin connector as DC power supply input

大量の回路群

- ほとんどのサブシステムが独自の回路を必要とする
- KAGRA全体で数十種類、19インチケースで数百箱(基板~数千枚)
- 基板デザイン、部品実装、組み立て(電源、箱)、テスト

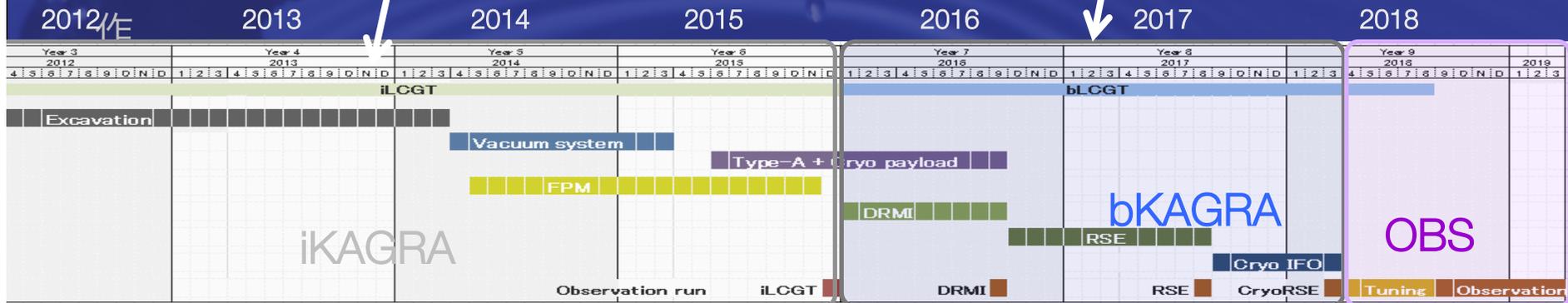
KAGRA全体スケジュール



- ・ iKAGRA (2010.10 – 2015.12)
大型干渉計の安定動作を実現
 - 基線長3kmの常温干渉計を動作.
 - 比較的シンプルな光学系・防振系

- ・ bKAGRA (2016.1 – 2018.3)
最終構成での動作
 - 干渉計構成, 防振系最終形
 - 低温干渉計としての動作.

構成で総合システムとしての動



- ・ OBS (2018.4 -)
長期間観測運転と干渉計チューニング