



# X線天文学向けSOIピクセル検出器の開発

2013.07.11 THU

計測システム研究会 @ 核融合科学研究所

武田 彩希 (KEK 総研大)

atakeda @ post.kek.jp

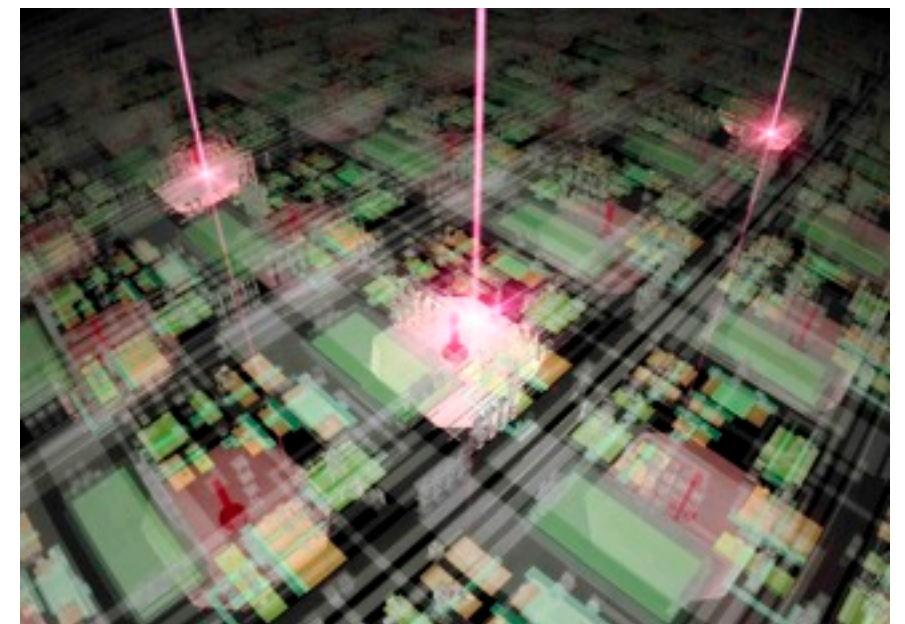
SOIPIX Group : <http://rd.kek.jp/project/soi/>

# Outline

---

- SOIピクセル検出器
- X線天文学向けSOIピクセル検出器(XRPIX)の紹介
- XRPIXの試験結果 (ちょっと古い結果ですが...)
- まとめ

どのようなものを開発しているかという話が中心



# SOIピクセル検出器

- SOI 技術によるセンサ部・読み出し部一体型検出器
- SOIピクセル検出器(SOIPIX) : KEKの測定器開発室に属し開発が進む。
  - > ラピスセミコンダクタ(株)による0.2  $\mu\text{m}$  FD - SOIピクセルプロセス
- 年2回のMulti Project Wafer (MPW) Runでチップ製作を行う

## SOIピクセル検出器の特徴

- 金属バンプボンディングがない
  - > 高密度・低寄生容量・高感度
- 一般的なCMOS回路により構成
- 一般的な産業技術を基盤とする

## SOIピクセルプロセス

ラピスセミコンダクタ(株)と共同開発しているSOIピクセル検出器をプロセスするための新しい技術。  
実用レベルでは世界唯一。

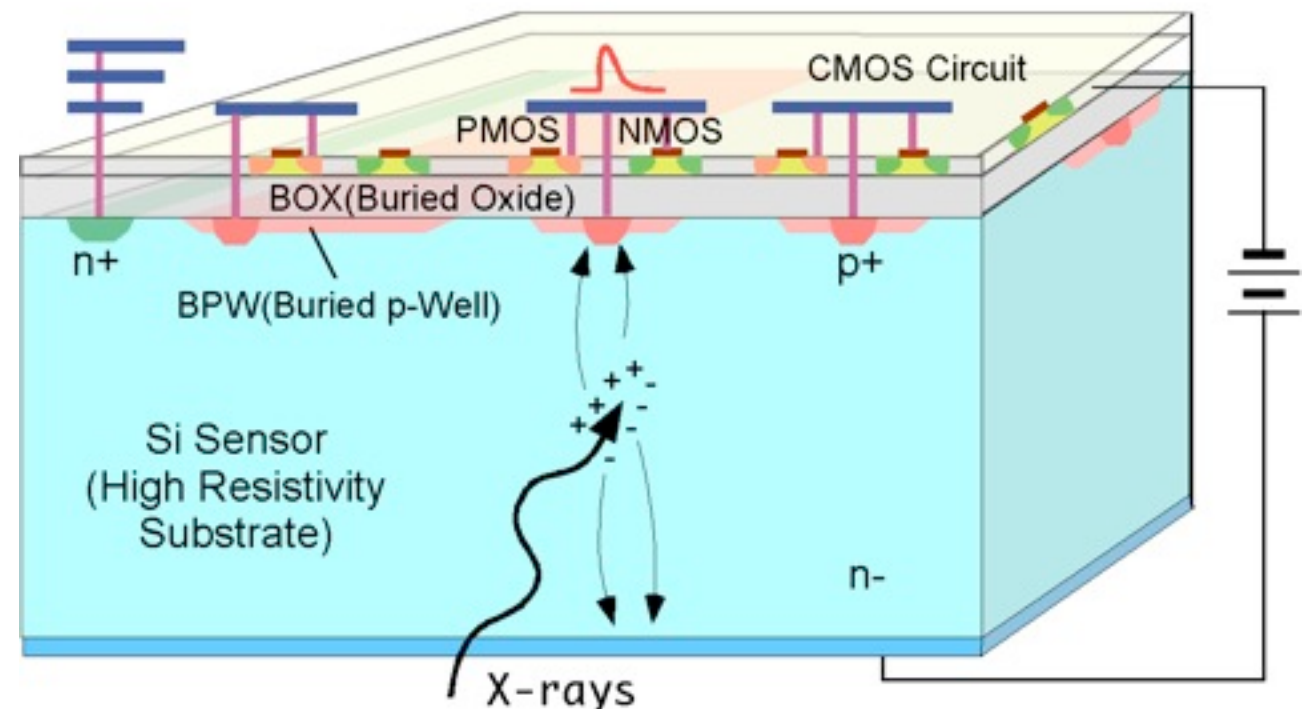
## 基本構成

Circuit Layer : ~40 nm

Buried Oxide (BOX) : 200 nm

Sensor Layer : 100 - 725  $\mu\text{m}$

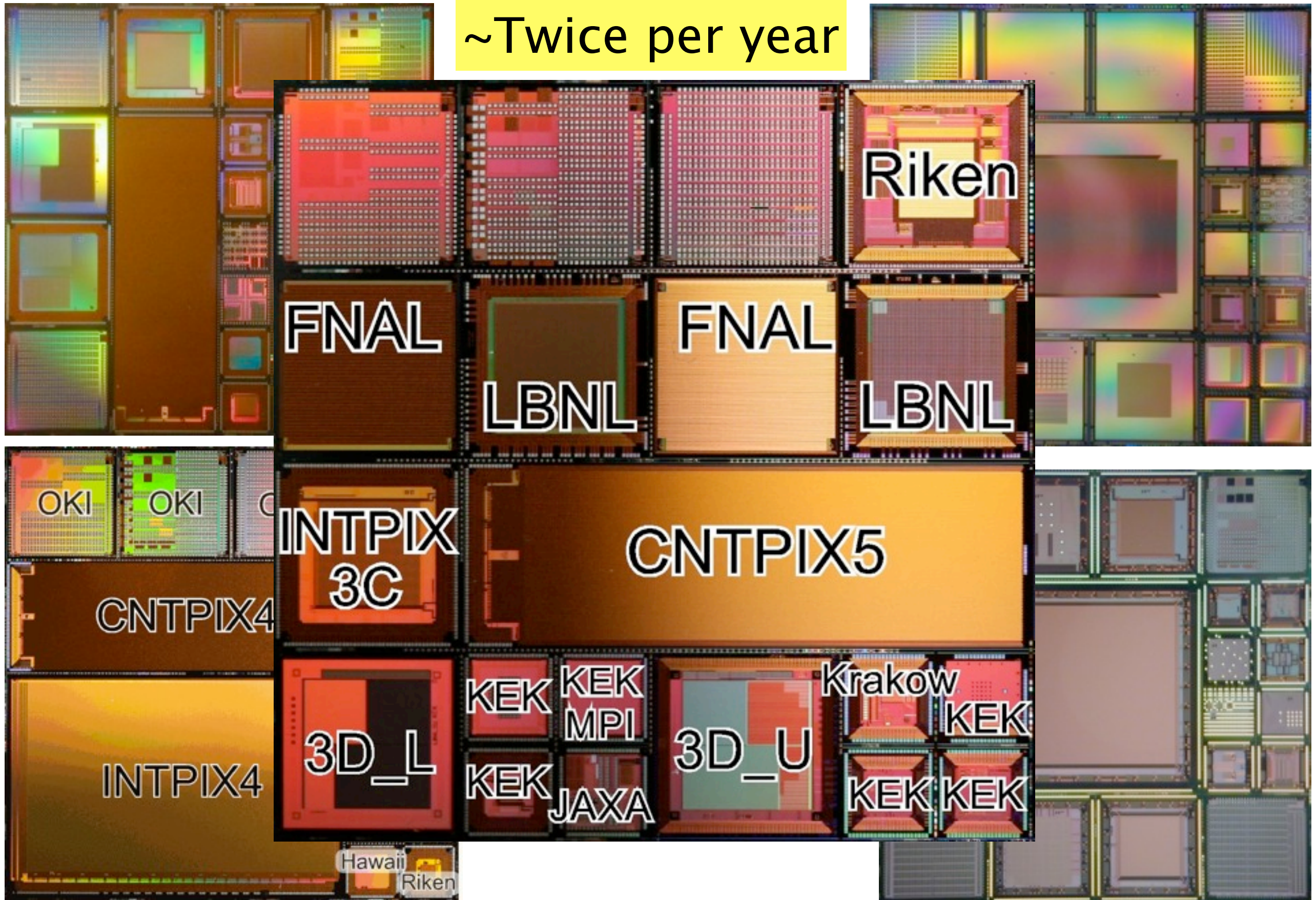
SOI Pixel Detector





# Multi Project Wafer (MPW) Run

~Twice per year

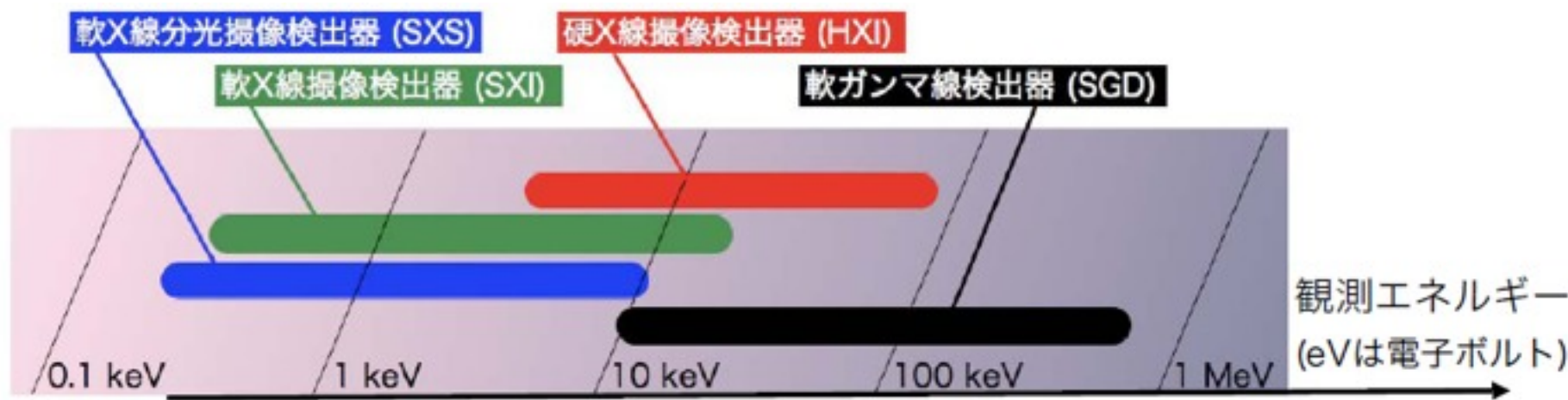




# X線天文衛星の現状

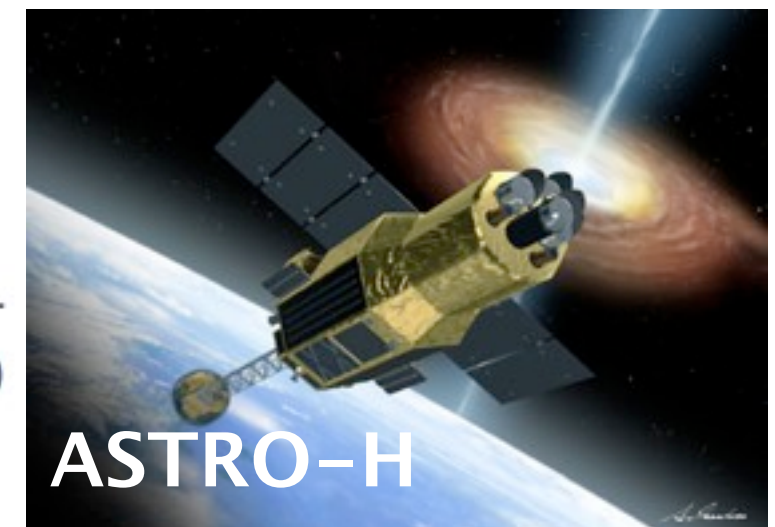
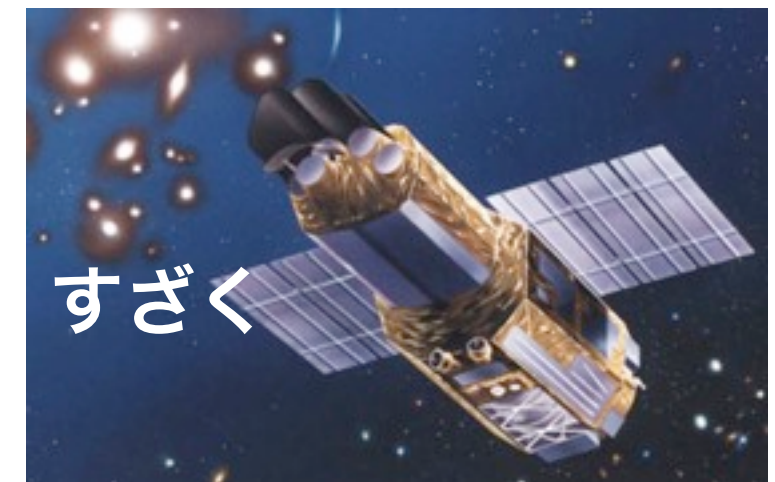
## 日本の代表的なX線天文衛星

- 現在の衛星：すざく
- 次期衛星：ASTRO-H (2015年打ち上げ予定)
- CCD, DEPFET, 両面シリコンストリップセンサ, CdTe/CdZnTeピクセル検出器
- 軟X線から硬X線の範囲を複数の検出器によりカバーしている。
- CCD, DEPFETは非X線バックグラウンド(宇宙線)の影響が大きい。
  - > 10 keV以上で顕著
- 両面シリコンストリップセンサ, CdTe/CdZnTeピクセル検出器は分光性能が低い
  - > 軟X線の観測が困難



## ASTRO-Hの観測領域

計測システム研究会 2013 @ 核融合研 - 武田 彩希 -



# X線天文衛星の現状

## 日本の代表的なX線天文衛星

- 現在の衛星：すざく
- 次期衛星：ASTRO-H (2015年打ち上げ予定)
- CCD, DEPFET, 両面シリコンストリップセンサ, CdTe/CdZnTeピクセル検出器
- 軟X線から硬X線の範囲を複数の検出器によりカバーしている.
- CCD, DEPFETは非X線バックグラウンド(宇宙線)の影響が大きい.
  - > 10 keV以上で顕著
- 両面シリコンストリップセンサ, CdTe/CdZnTeピクセル検出器は分光性能が低い
  - > 軟X線の観測が困難

- 次世代のX線分光器は, 軟X線から硬X線の範囲を同時に観測, 分離可能であるものが求められる.

-> **広エネルギー帯域・精密撮像・精密分光性能**

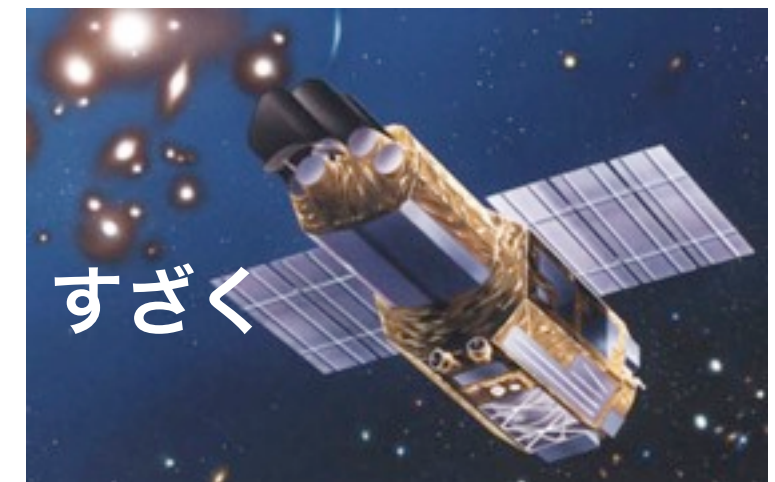
低バックグラウンド

空間分解能

エネルギー分解能

-> **SOIピクセル検出器**

計測システム研究会 2013 @ 核融合研 - 武田 彩希 -



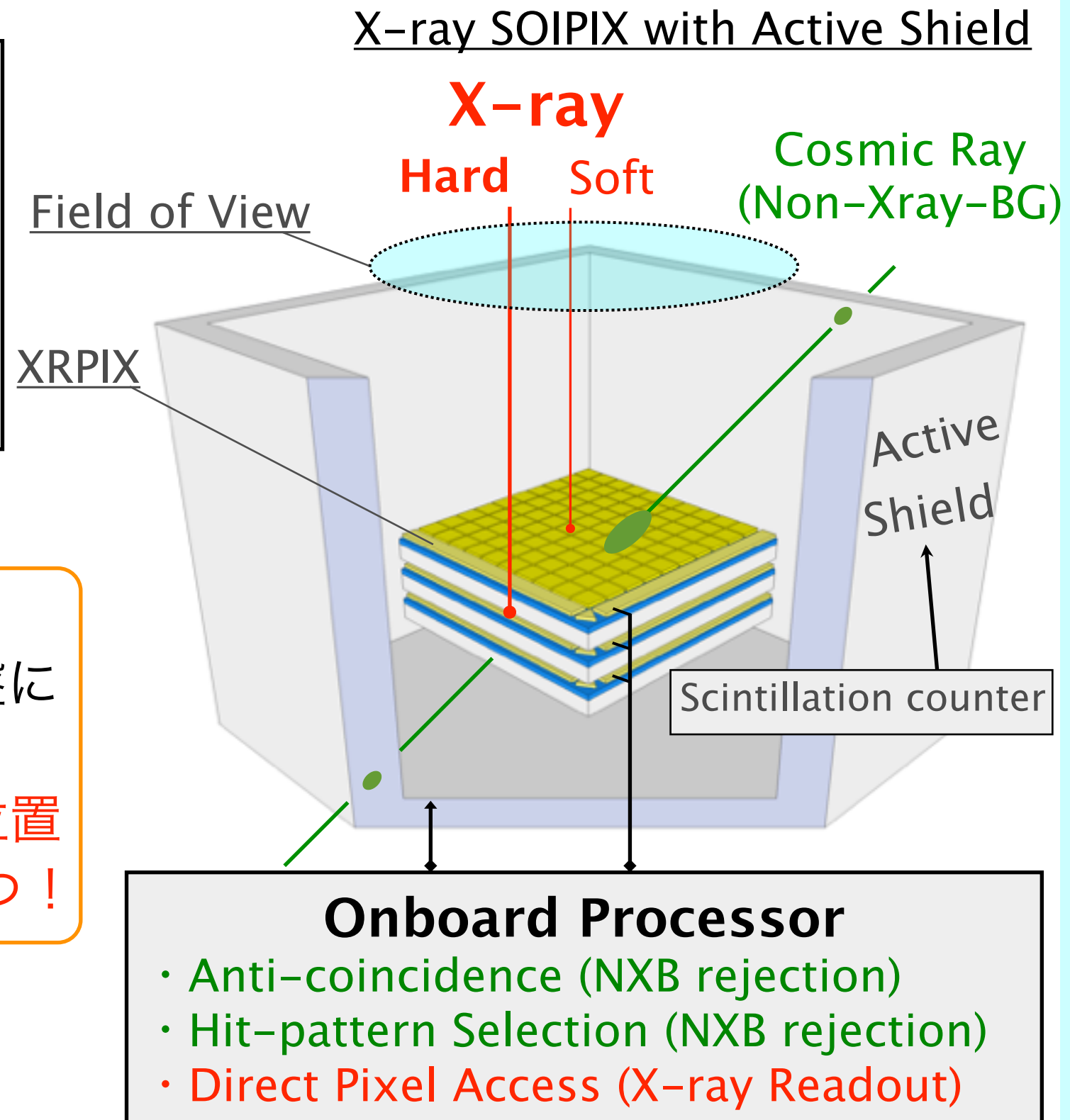
# 次世代のX線天文衛星搭載へ向けたSOIピクセル検出器

## 目標性能

- (1) FWHM  $\leq 140$  eV at 6 keV  
(Readout Noise  $\leq 10$  electrons)
- (2)  $< 100$   $\mu\text{m}$  pitch pixel
- (3)  $\sim 10$   $\mu\text{s}$  per event readout  
(Trigger, Direct Pixel Access)
- (4) Wide energy range : 0.5– 40 keV  
(Thick Depletion Stacks)

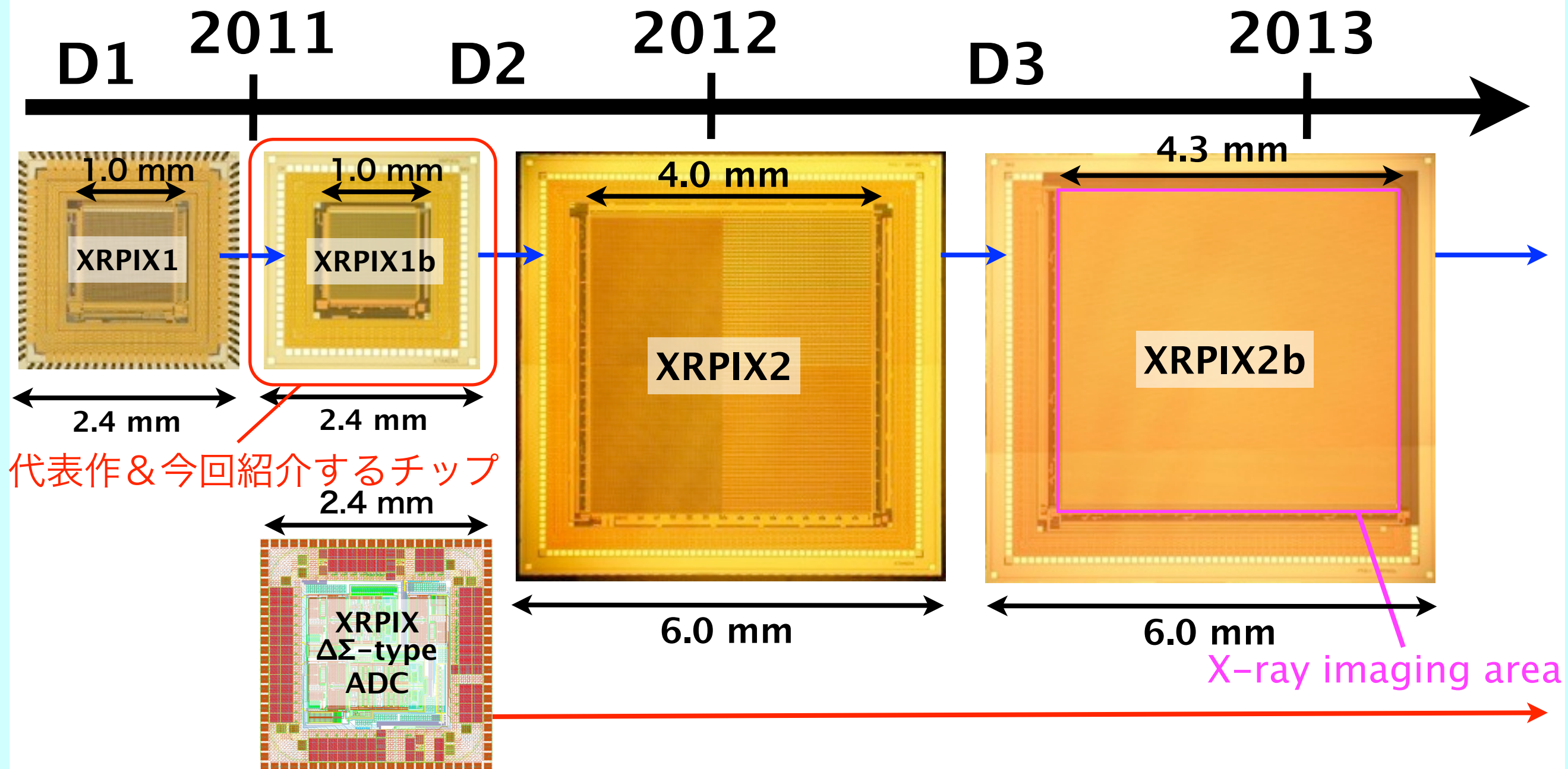
目標性能を達成するために、  
SOIピクセル検出器の技術を基盤に  
新たな検出器を開発 (XRPIX).

**XRPIXはヒットのタイミングと位置  
情報を出力するトリガ機能を持つ！**





# XRPIXシリーズ

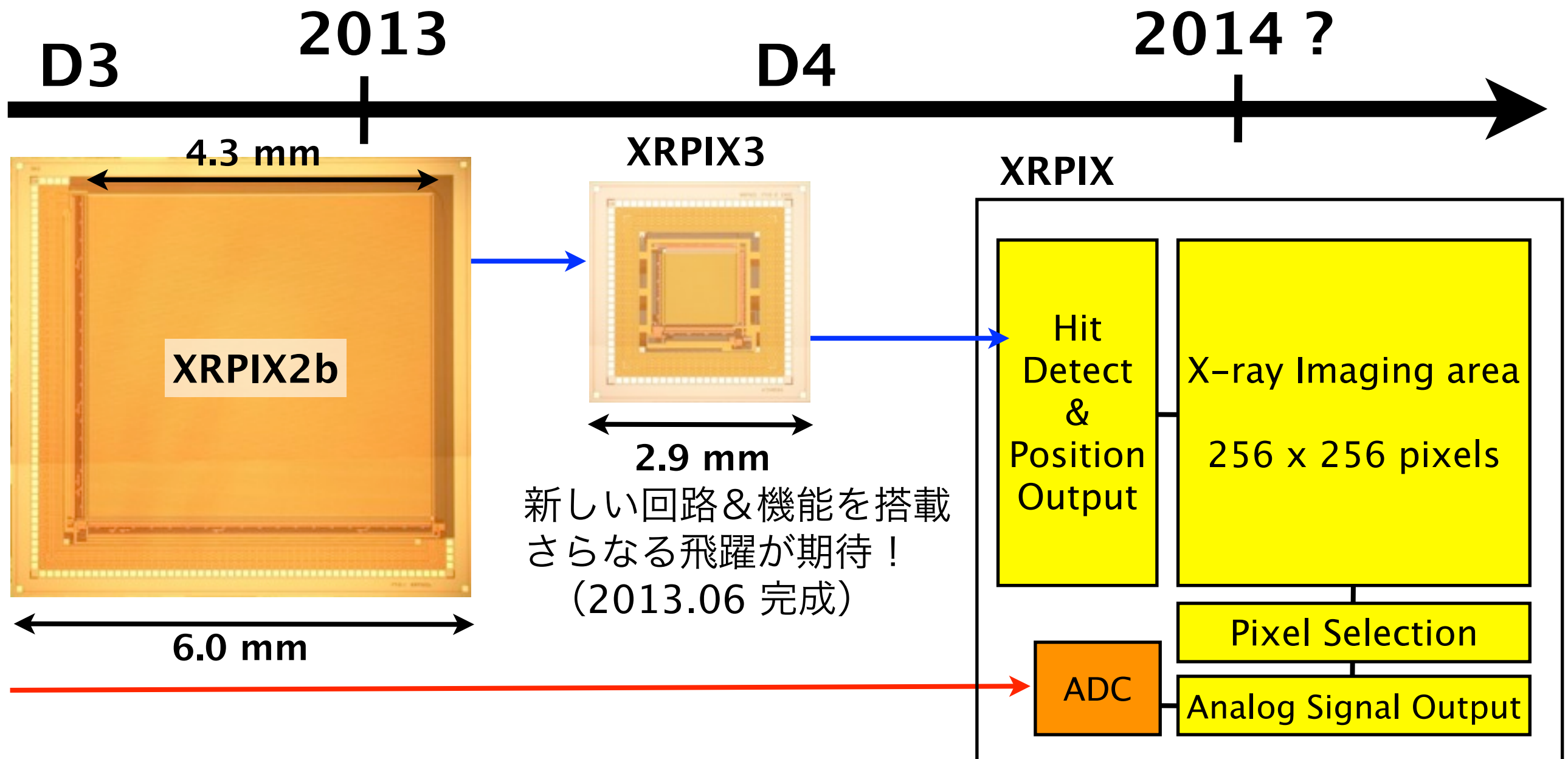


## XRPIXシリーズの特徴

- トリガ情報出力機能：X線到来の時間と位置
  - > X線が入射したピクセルの信号のみを読み出す
  - > 低バックグラウンド & 高速X線分光



# XRPIXシリーズ



## XRPIXシリーズの特徴

- トリガ情報出力機能：X線到来の時間と位置
  - > X線が入射したピクセルの信号のみを読み出す
  - > 低バックグラウンド&高速**X線分光**

# XRPIX1/1b Design : 仕様

チップサイズ : 2.4 mm角 (有感領域: 1.0 mm角)

ピクセルサイズ : 30.6  $\mu\text{m}$ 角

ピクセル数 : 32 x 32 (= 1,024)

ピクセル回路: Correlated Double Sampling (CDS), トリガ情報出力回路

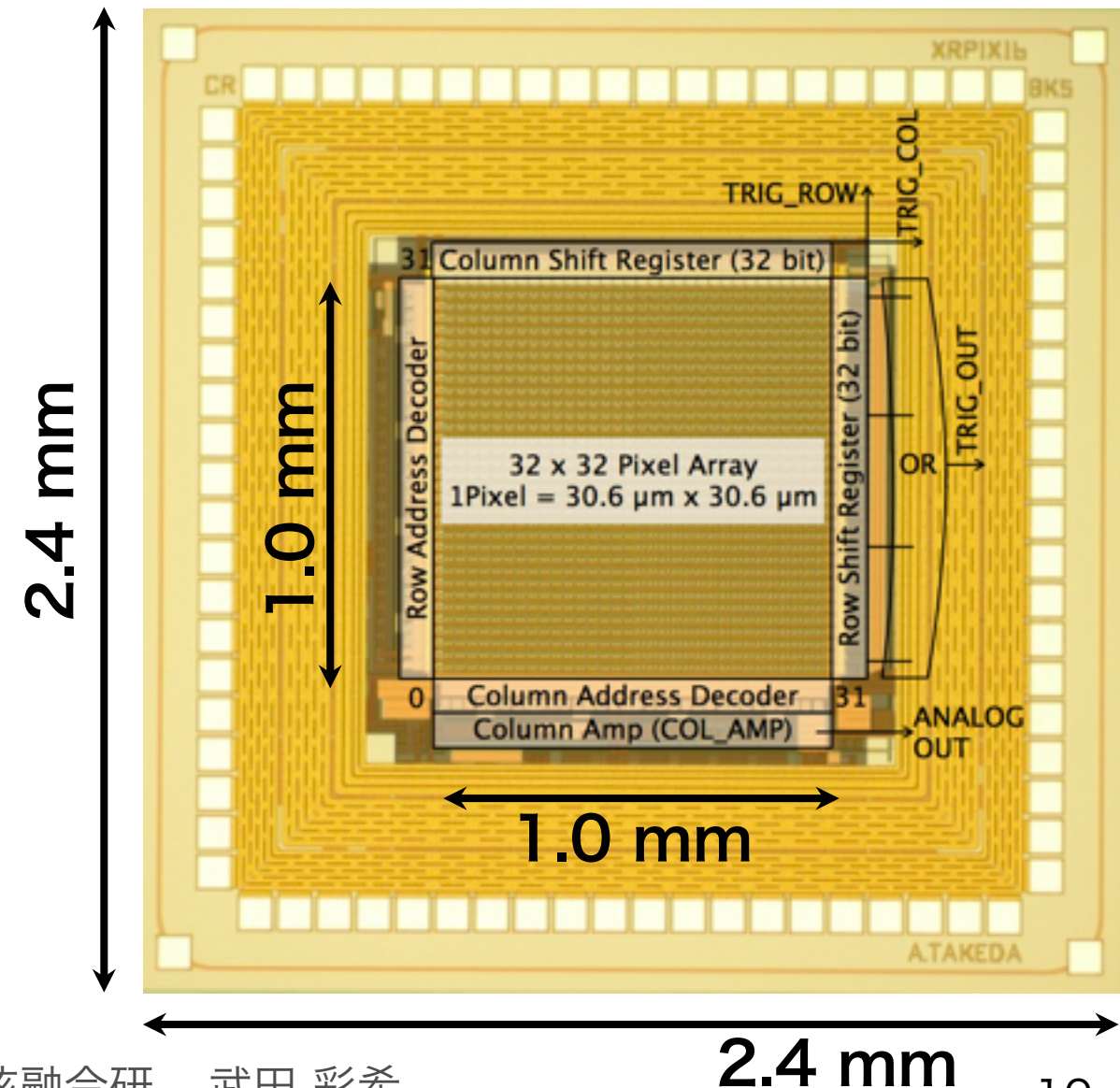
センサ層 : 260  $\mu\text{m}$

センサ層ウェハの種類 :

Czochralski (CZ)  $\rightarrow$  700  $\Omega\text{cm}$

Floating Zone (FZ)  $\rightarrow$  7  $\text{k}\Omega\text{cm}$

照射タイプ : Front / Back illumination





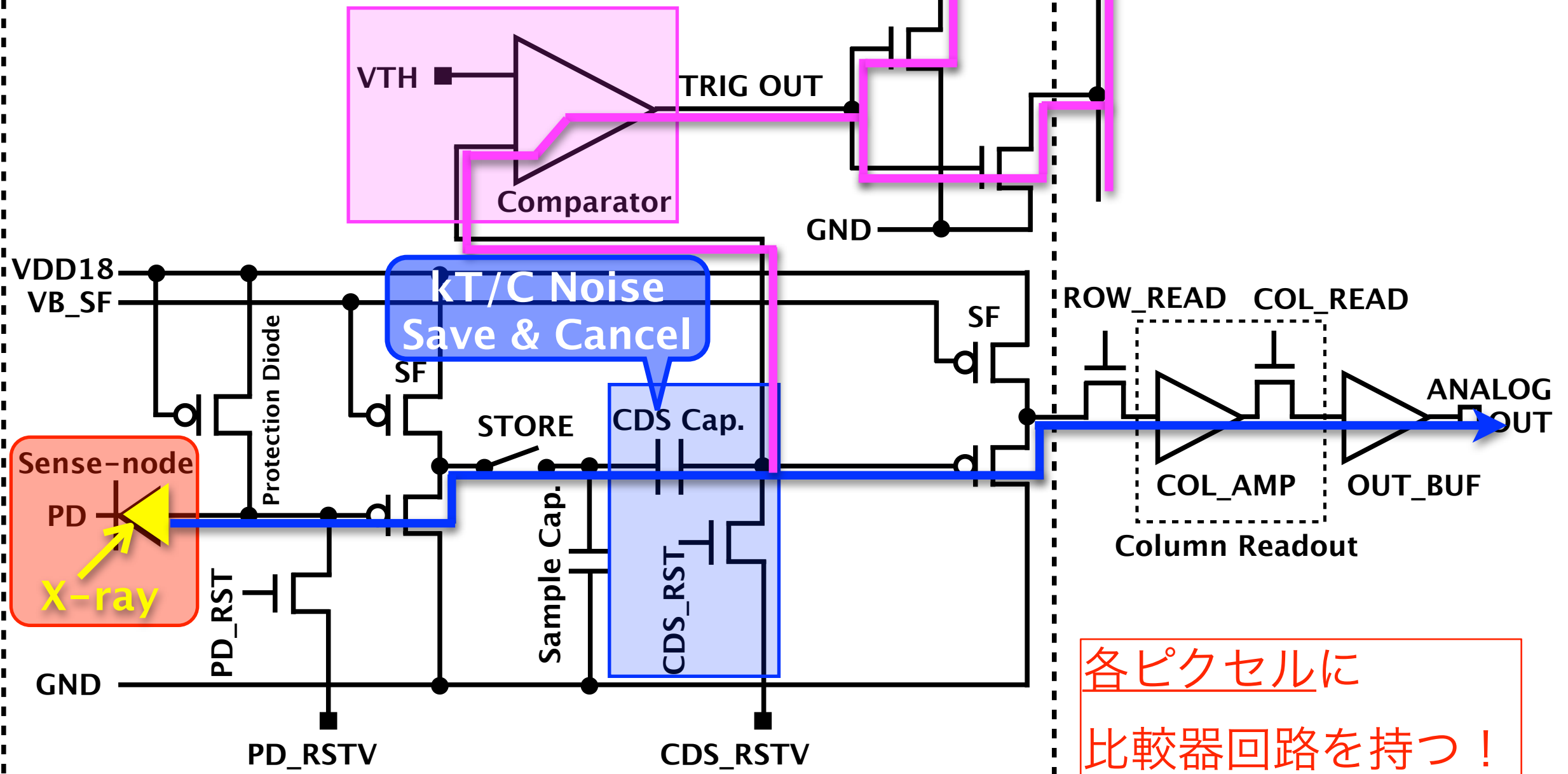
# XRPIX1/1b Design : ピクセル回路

## Pixel Circuit

CDS + Trigger Circuit

Blue : Sensor Signal (with CDS)

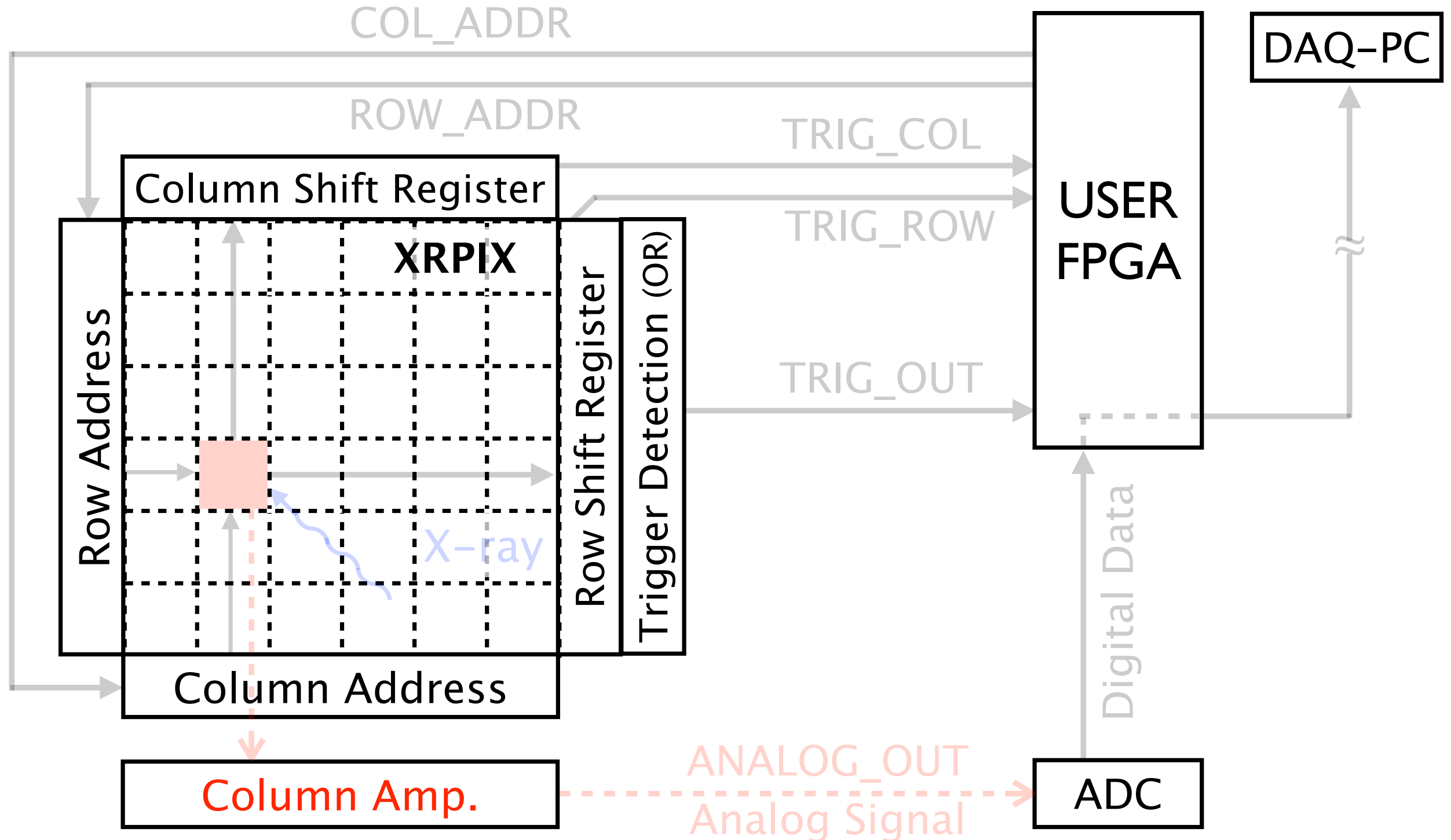
Magenta : Trigger Signal



各ピクセルに  
比較器回路を持つ！

# Event-Driven Readout Mode

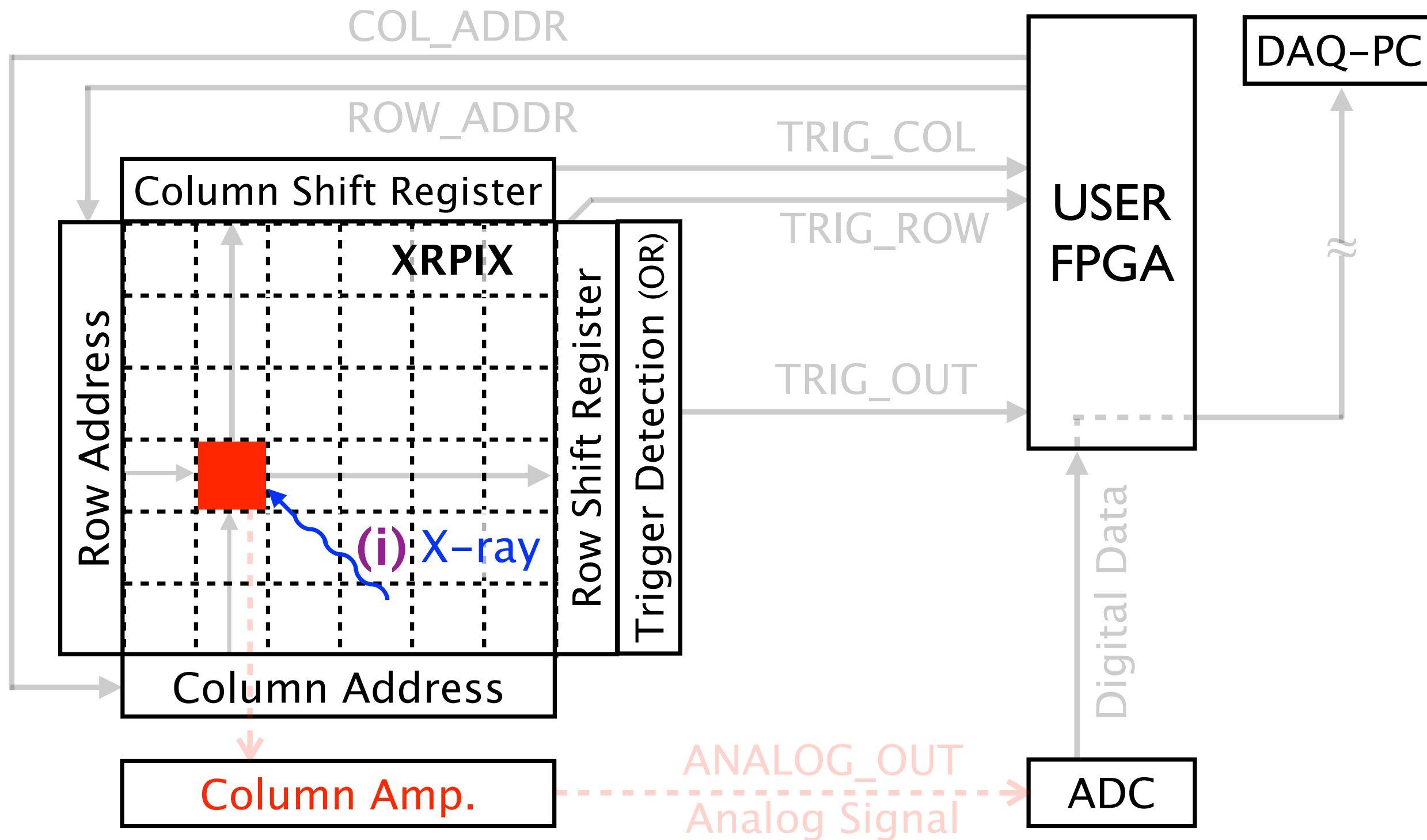
- トリガ情報を出力&フィードバックしヒットした**ピクセルのアナログ信号のみ**読み出す -> Event-Driven読み出し (世界でも唯一！)





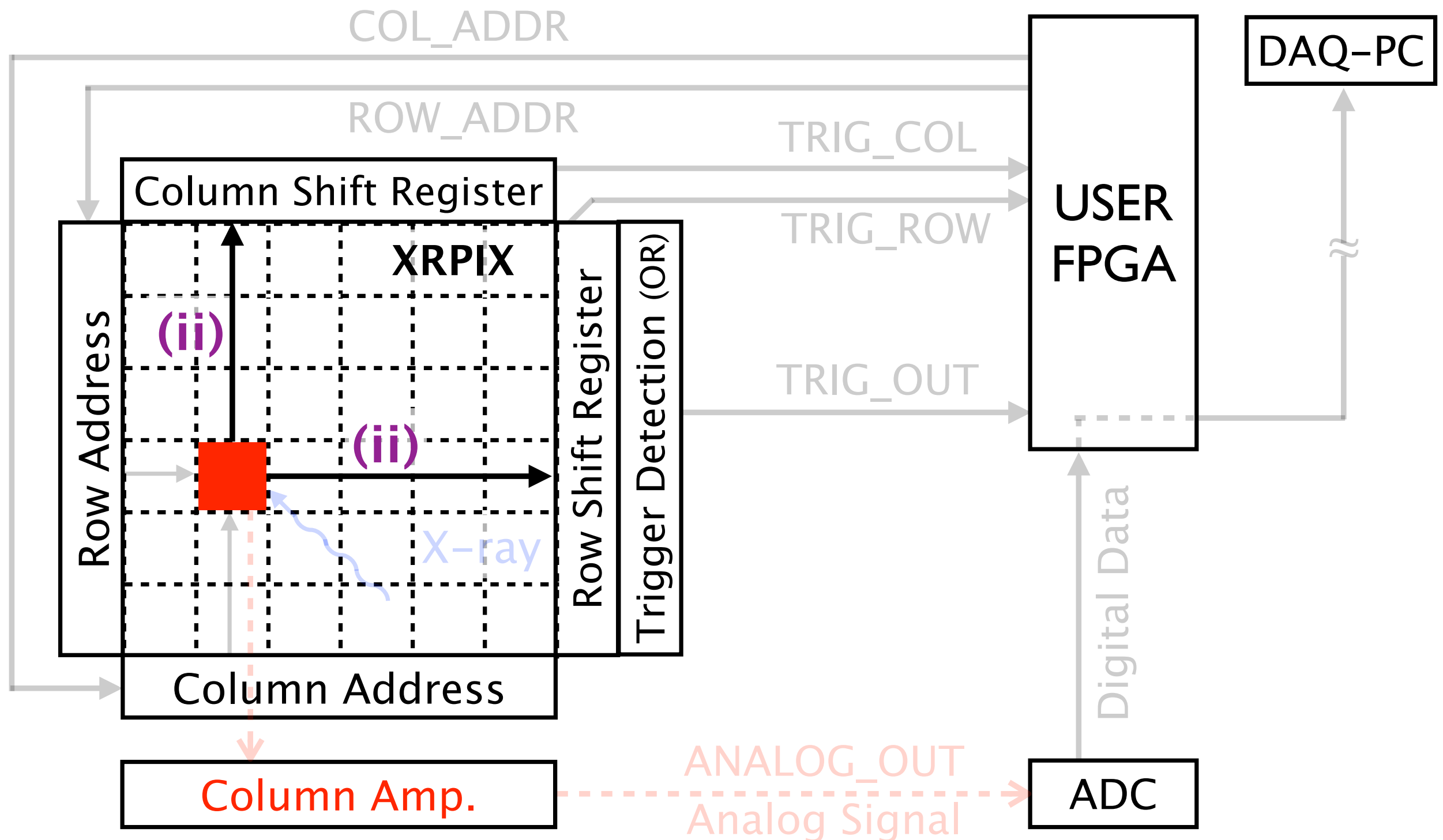
# Event-Driven Readout Mode

(i) ピクセルにX線が入射



# Event-Driven Readout Mode

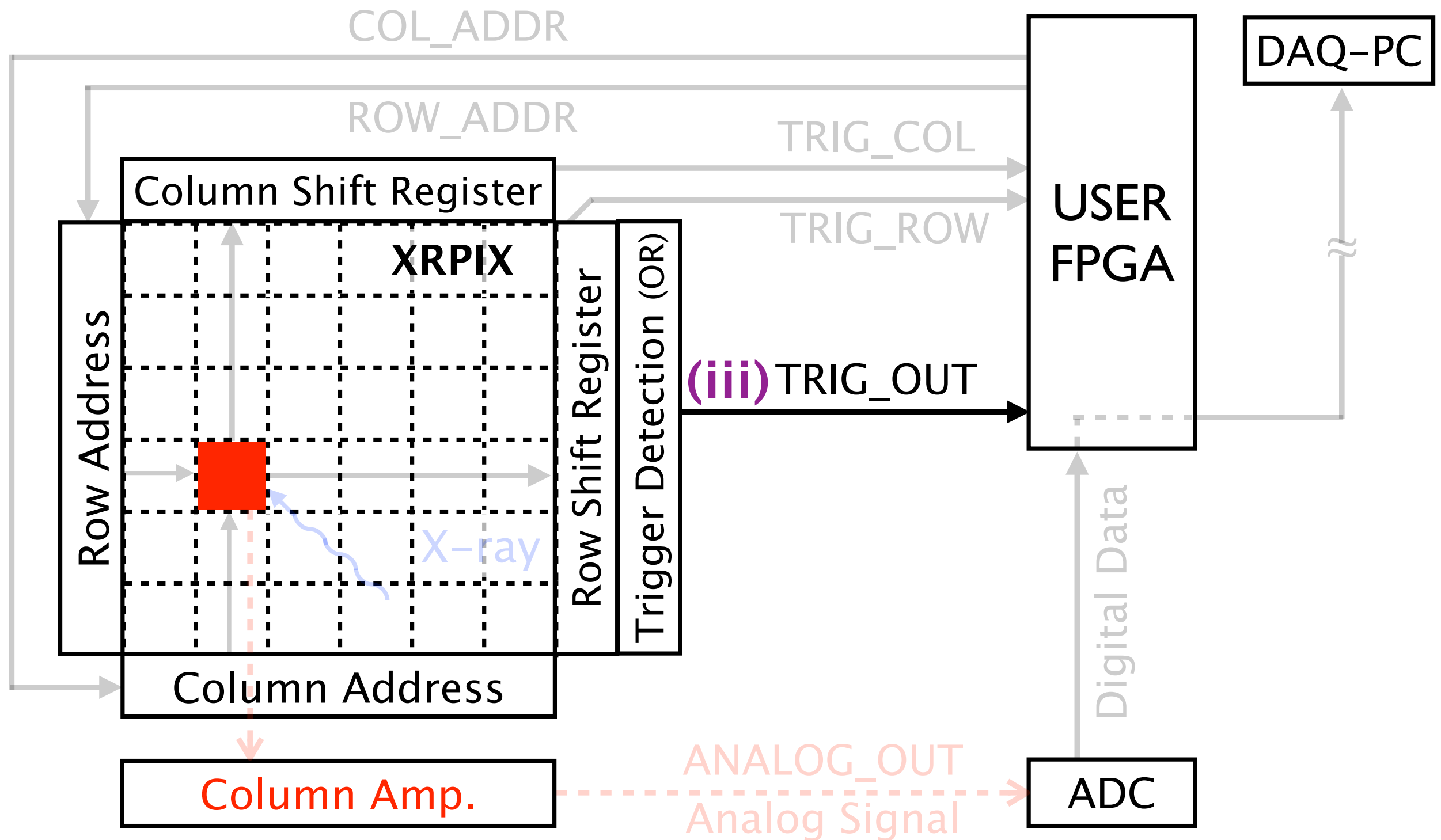
- (ii) もしX線による信号が比較器の閾値を超えたら、  
Row・Column方向の射影が出力される。





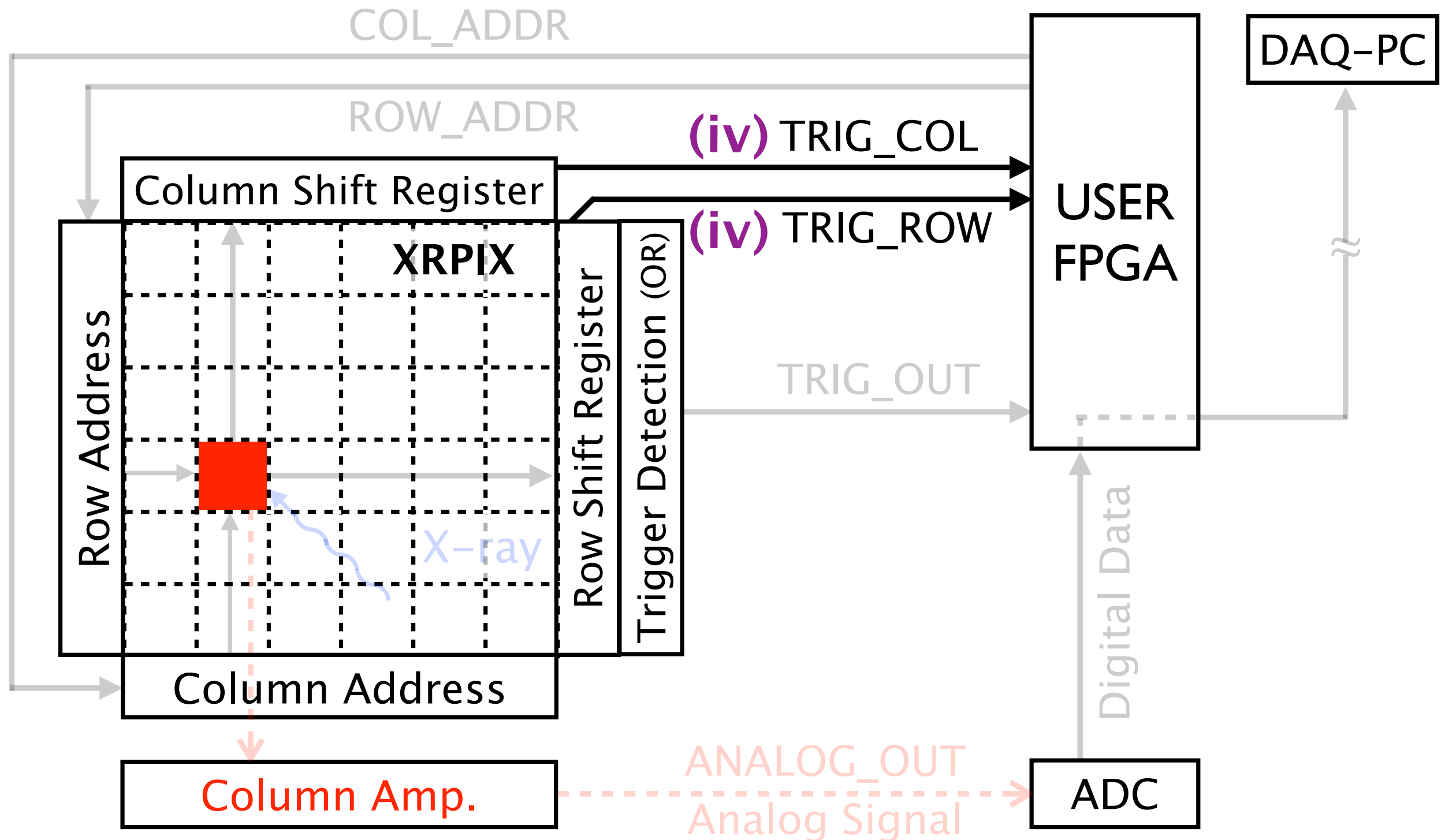
# Event-Driven Readout Mode

(iii) Row方向の全OR信号 (TRIG\_OUT)がトリガ信号となり出力。



# Event-Driven Readout Mode

(iv) トリガ信号を受けると、USER-FPGAはシフトレジスタの読み出しを開始し、どのアドレスがヒットしたかを把握する。



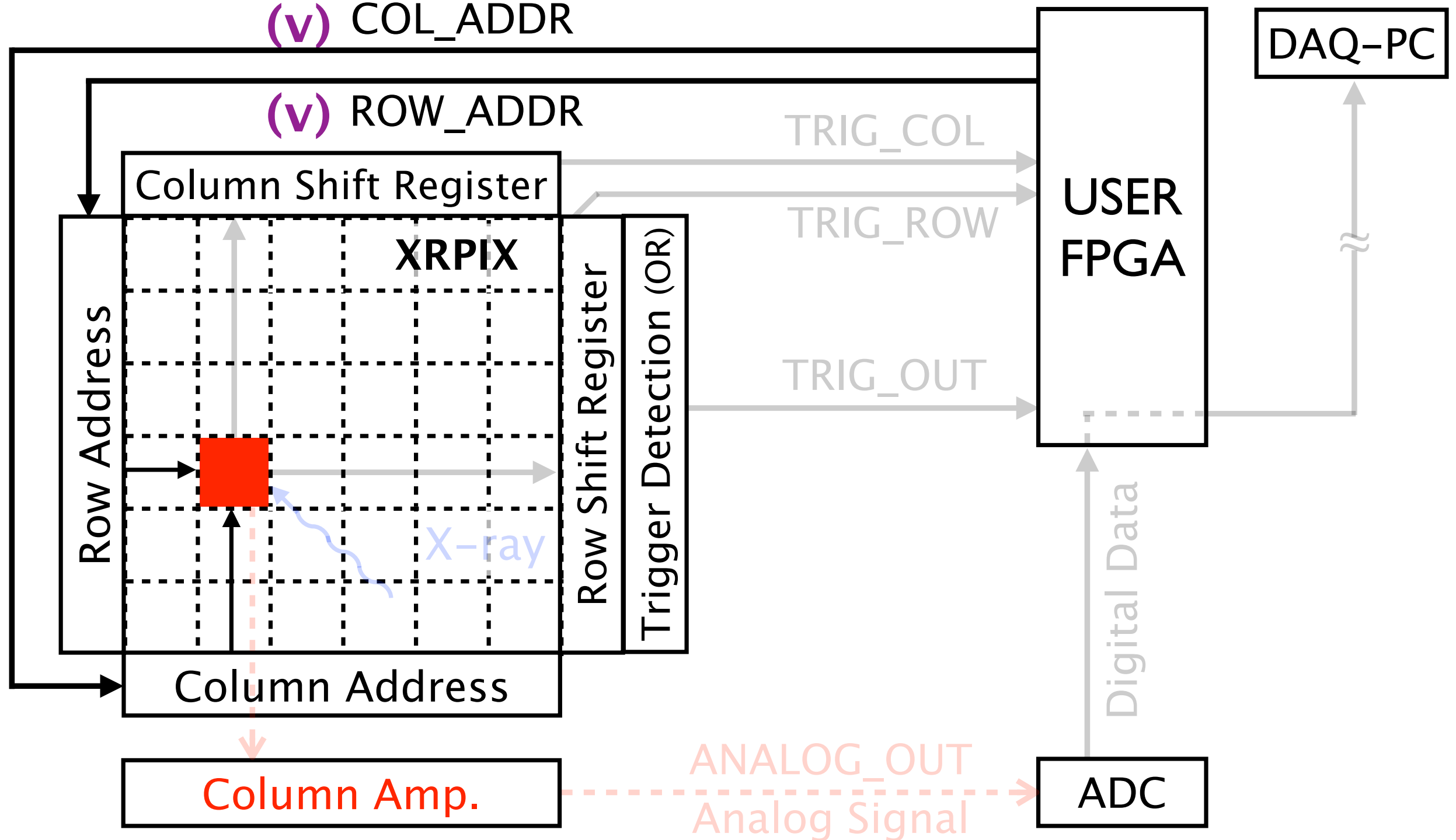


# Event-Driven Readout Mode

(v) X線と判定したらUSER-FPGAはヒットしたピクセルにアクセスし、信号を出力させる。

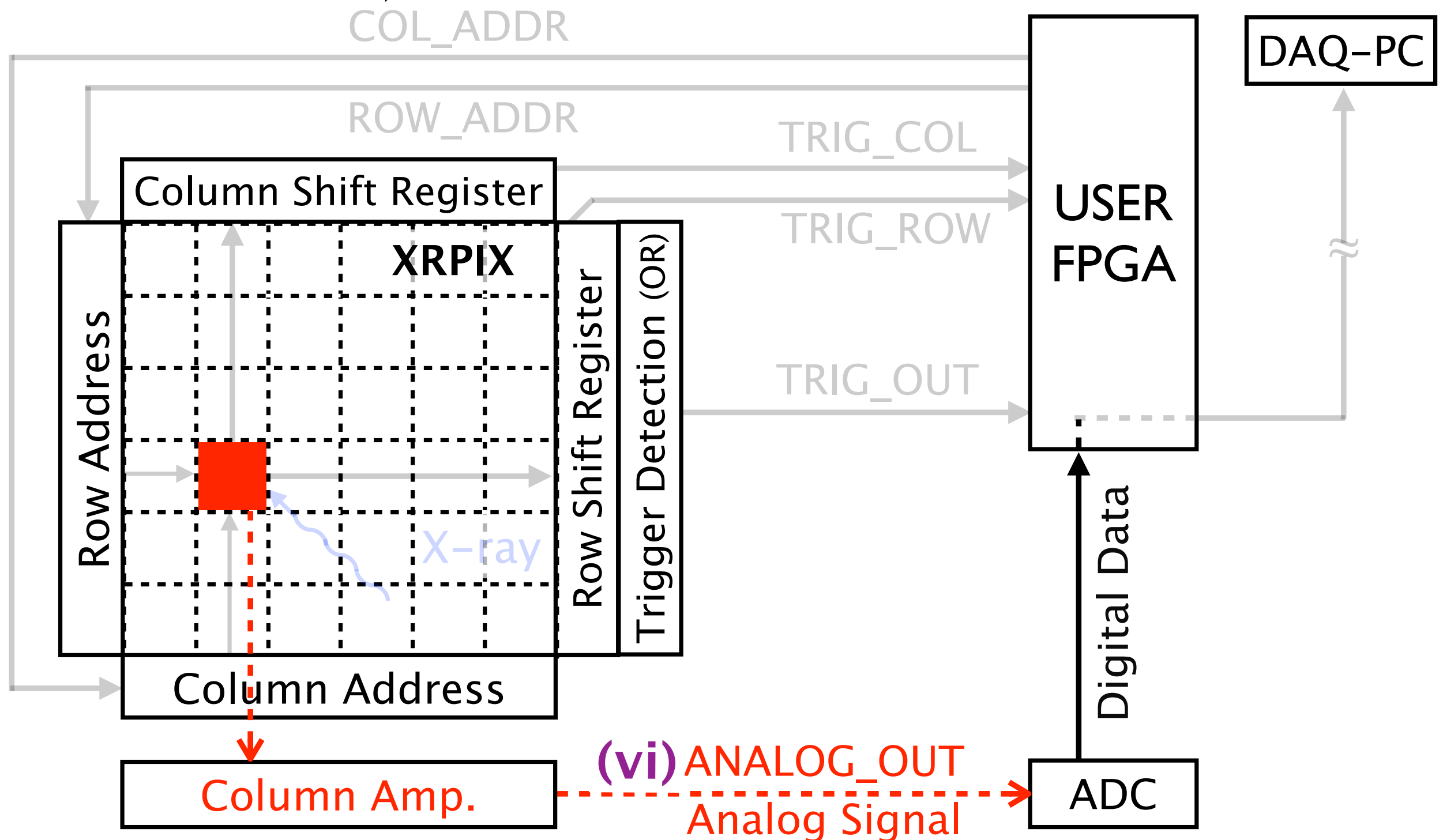
(v) COL\_ADDR

(v) ROW\_ADDR



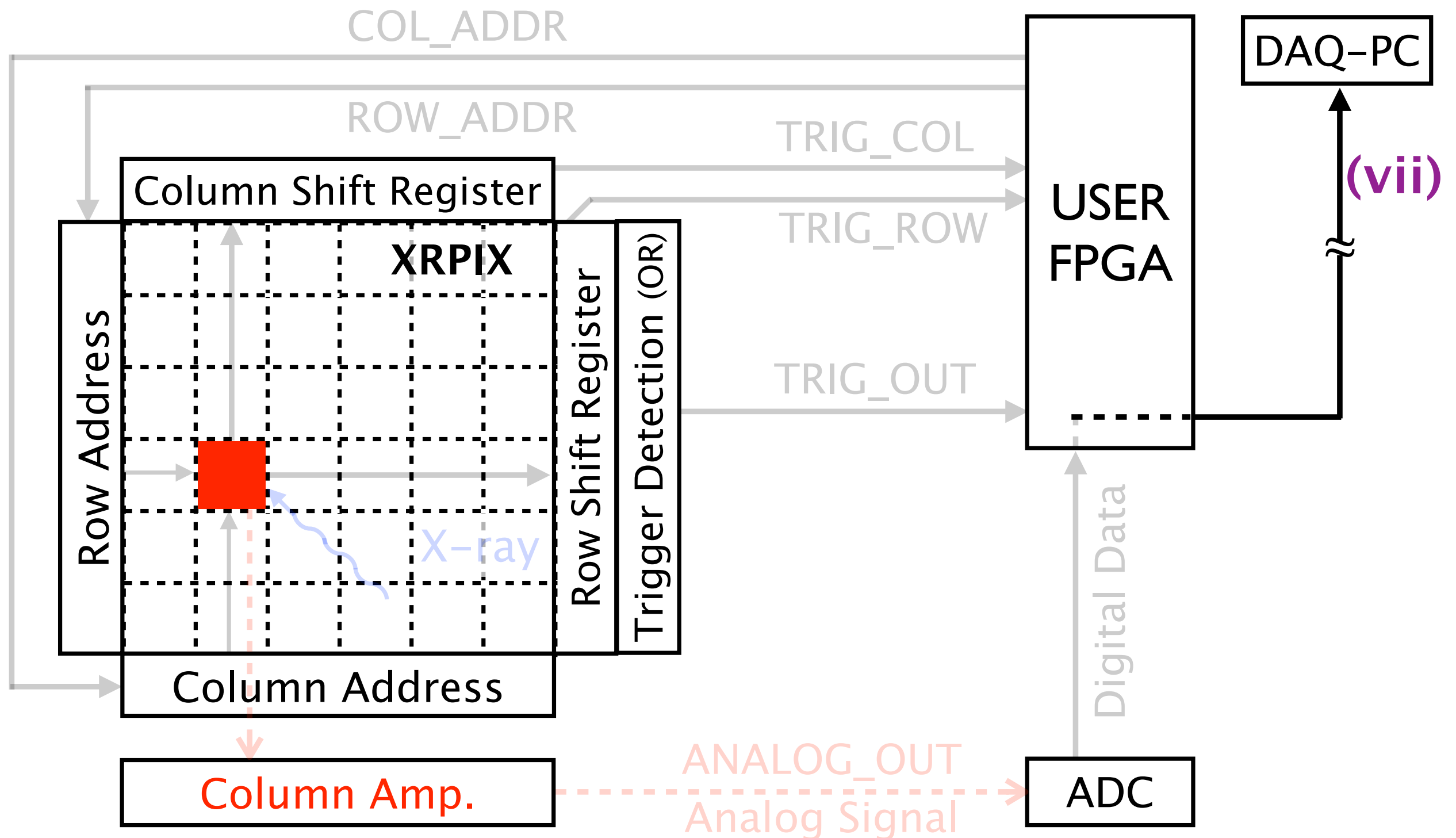
# Event-Driven Readout Mode

(vi) USER-FPGAは外部 ADC を通すことでアナログ信号(信号とペDESTAL値)を読み出す。



# Event-Driven Readout Mode

(vii) 最後に，取得したデジタルデータをDAQ-PCに転送する。



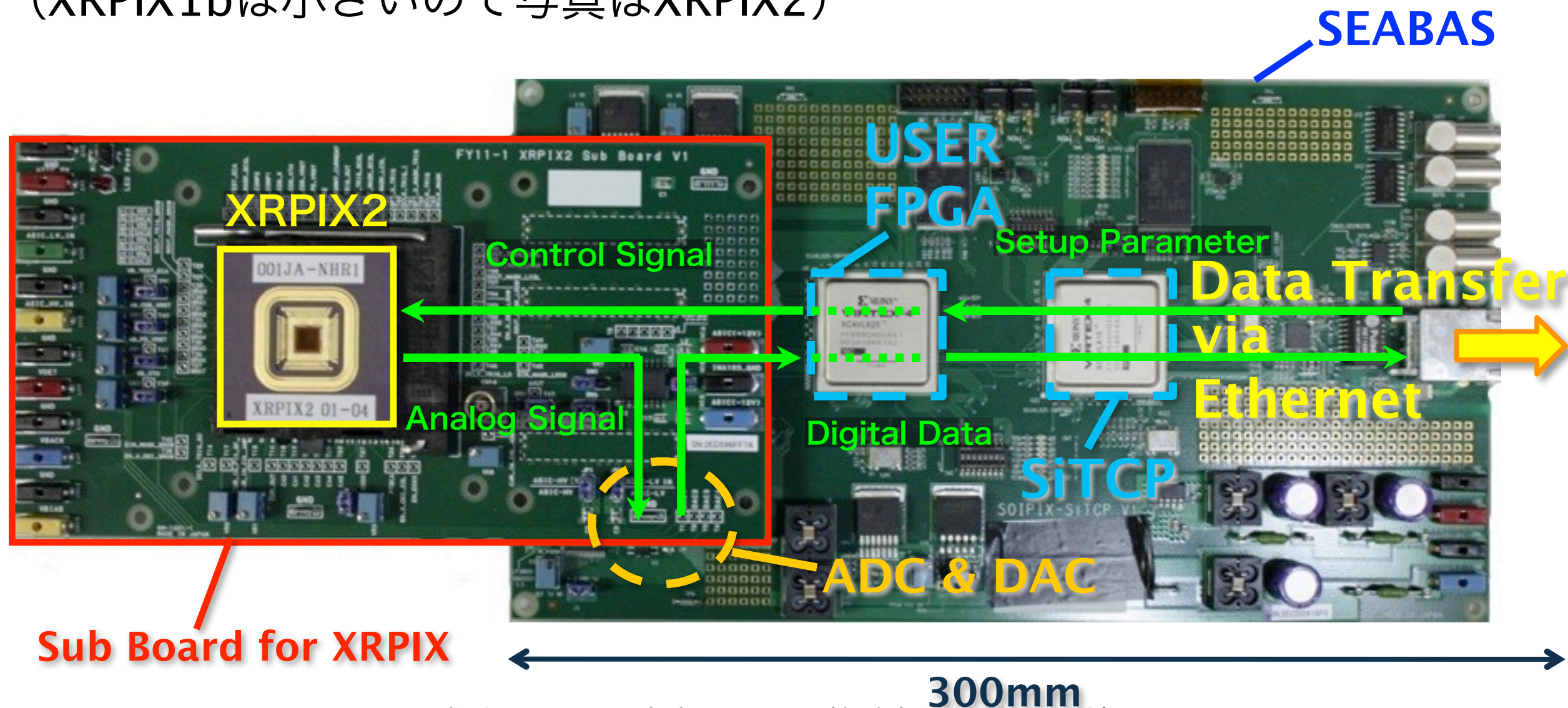


# DAQ システム

- SoI Evaluation Board with Sitcp (SEABAS)
- (SOIピクセル検出器用) 汎用データ読み出しボード
- FPGAにより検出器を制御.
- EthernetによりPCへデータを転送.

Power Supply :  $\pm 5$  V  
Clock : 25 MHz  
Network : 100 Mbps  
ADC, DAC,  
NIM IN x2, NIM OUTx 2

(XRPIX1bは小さいので写真はXRPIX2)



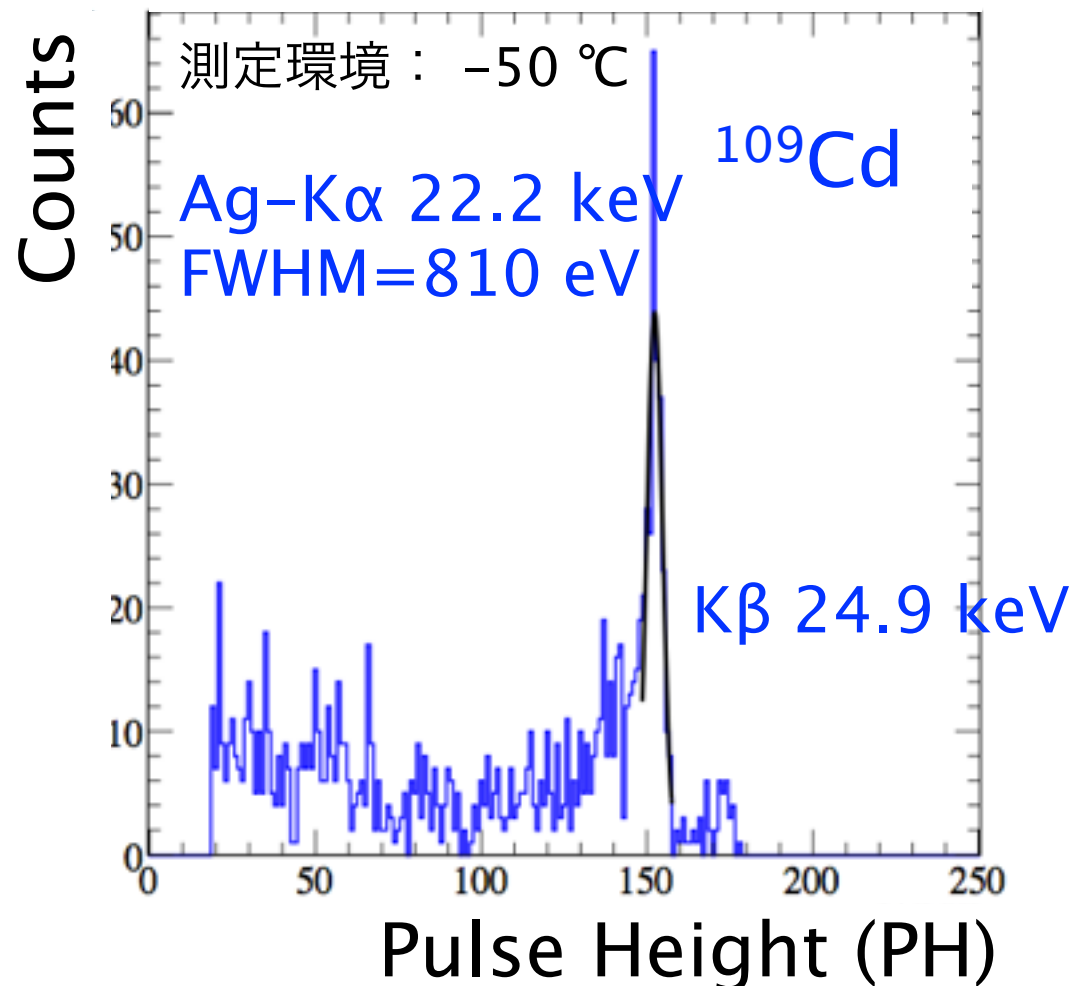
# XRPIX1 -> XRPIX1b: 性能改善点

## レイアウトデザインの改良

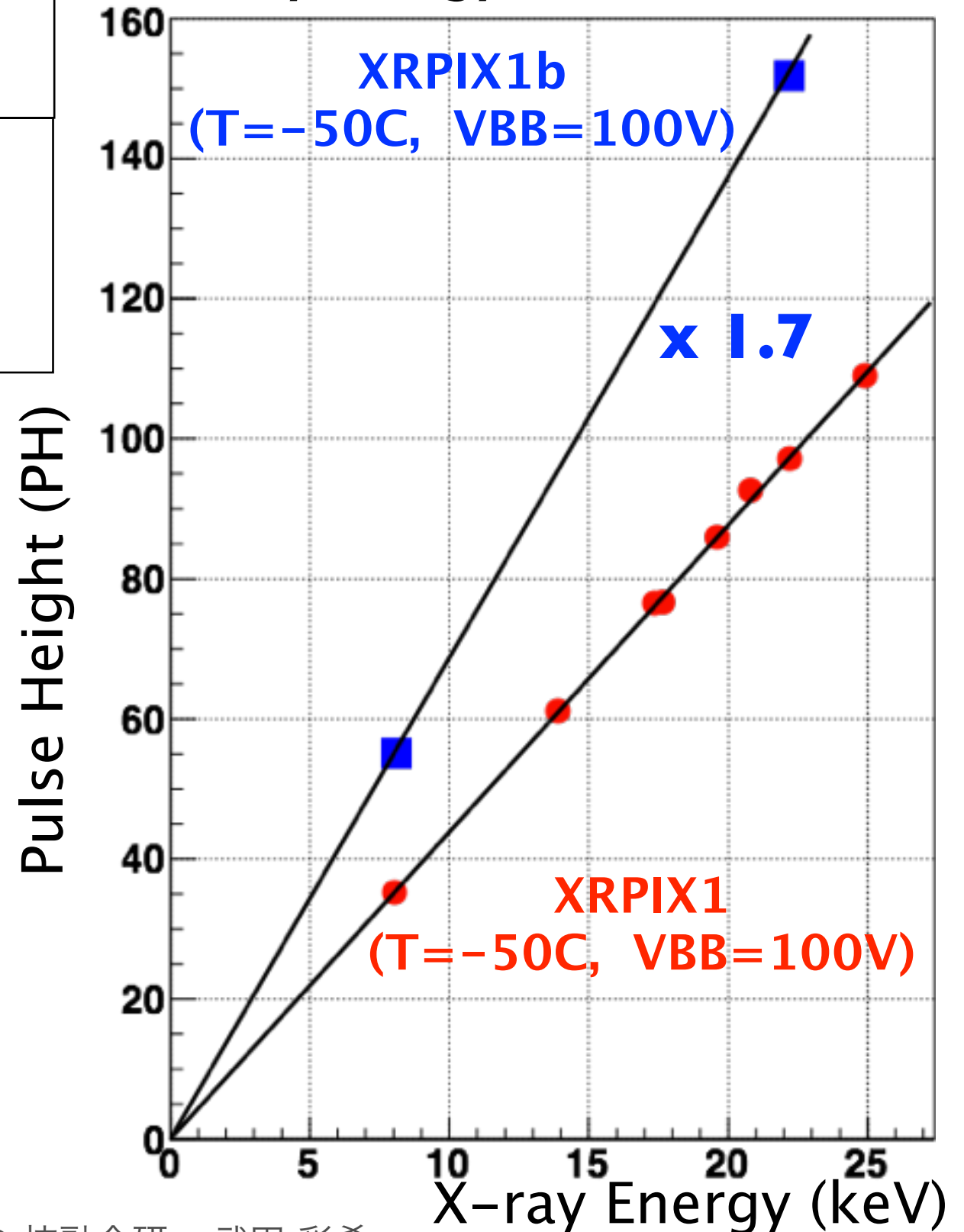
- > sense-nodeのサイズを小さくする.
- > センサ部寄生容量が低減.

- # Sense-node Cap. = **41** -> **24** fF #
- Sensitivity = **3.6** -> **6.1**  $\mu\text{V}/\text{e}^-$
- Noise = **120** -> **74**  $\text{e}^-$  (rms)
- $\Delta E$  = **1.5 keV** -> **0.8 keV** (FWHM)

## Spectrum in Frame Mode



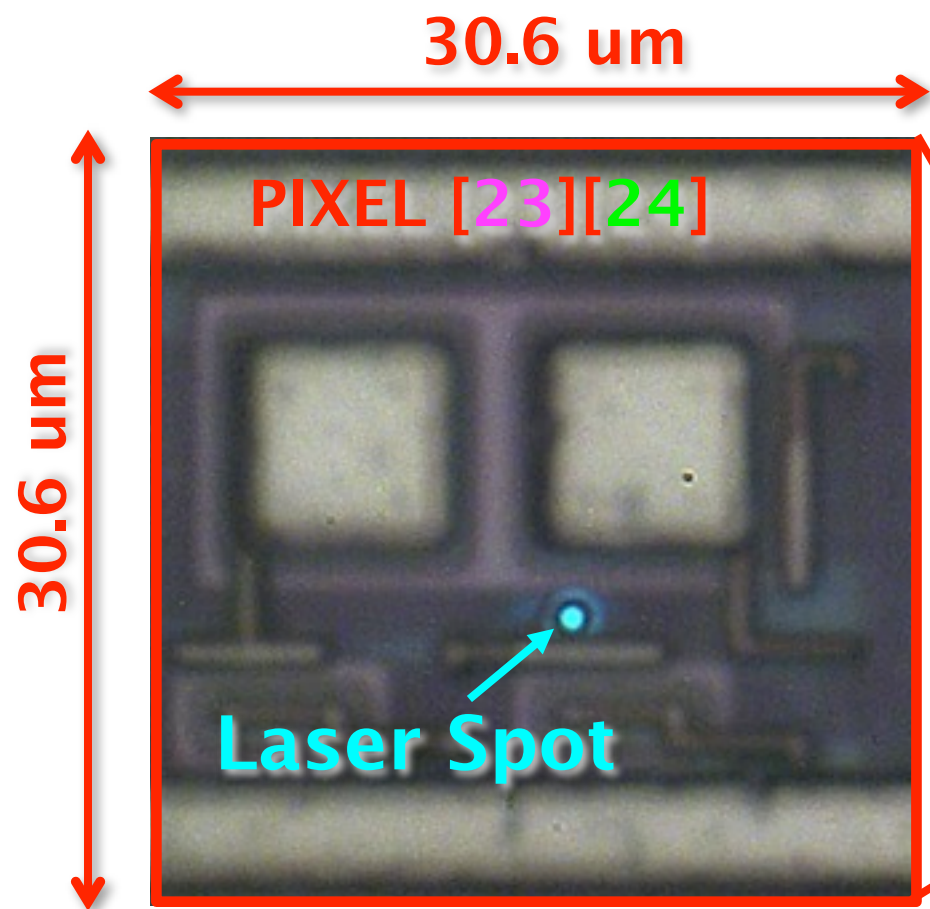
## X-ray Energy Calibration





# トリガ情報出力試験

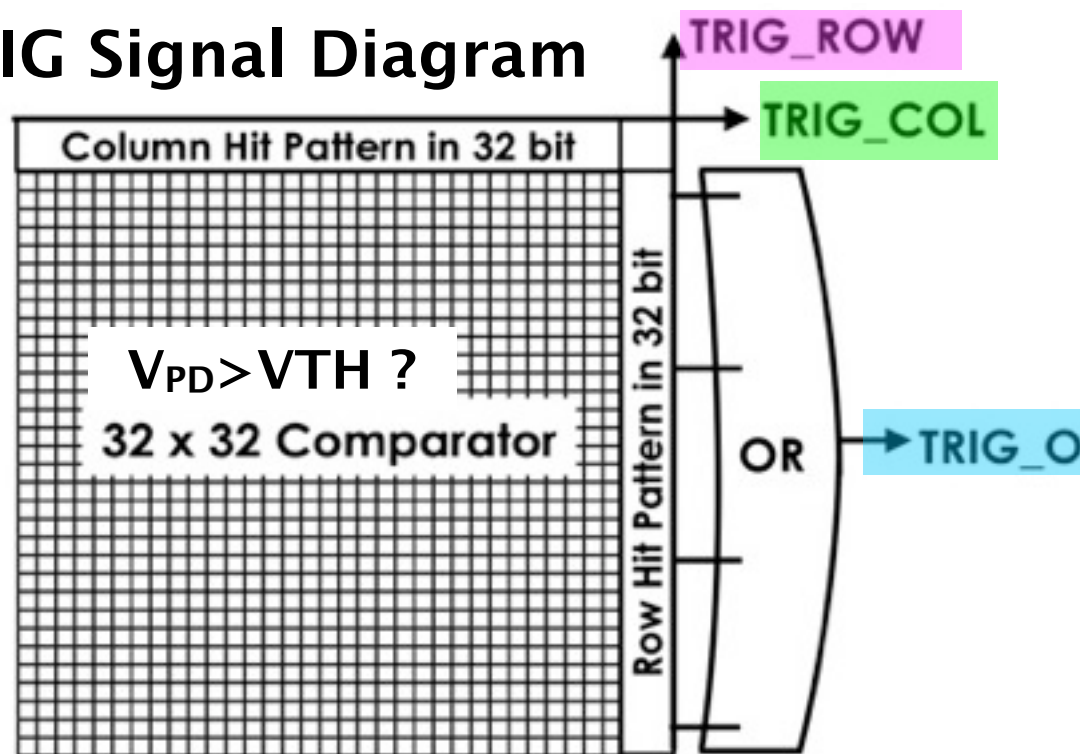
Column Address (CA) -> 23  
Row Address (RA) -> 24



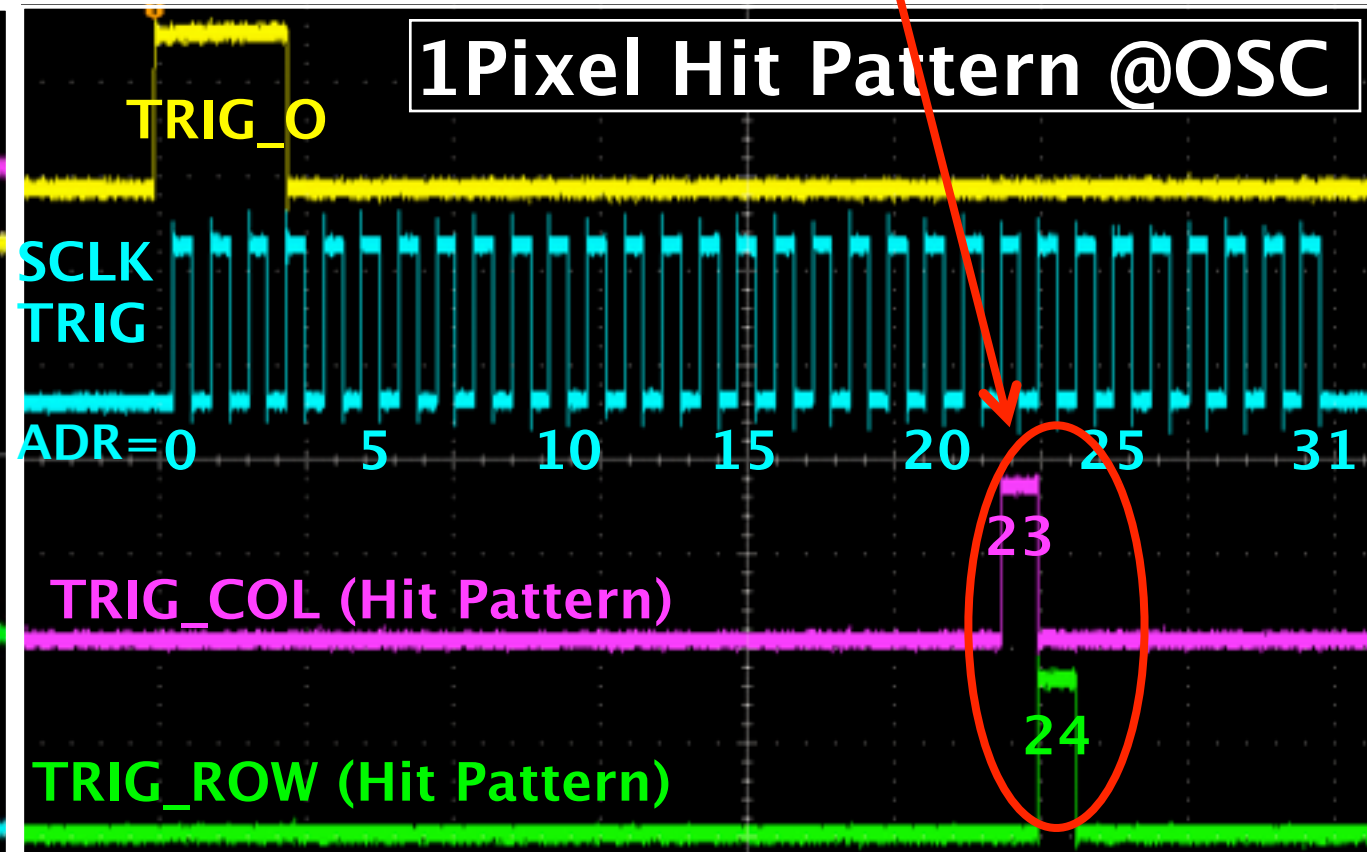
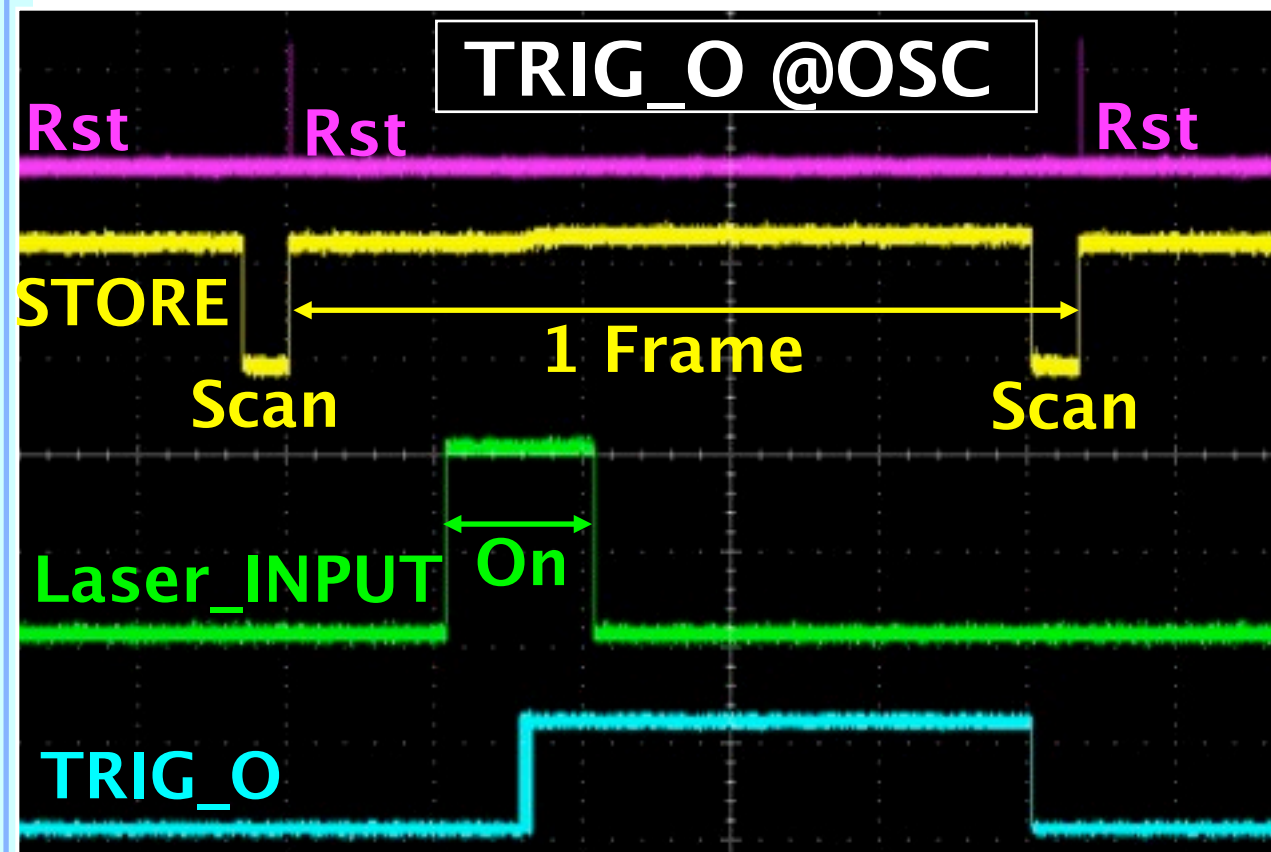
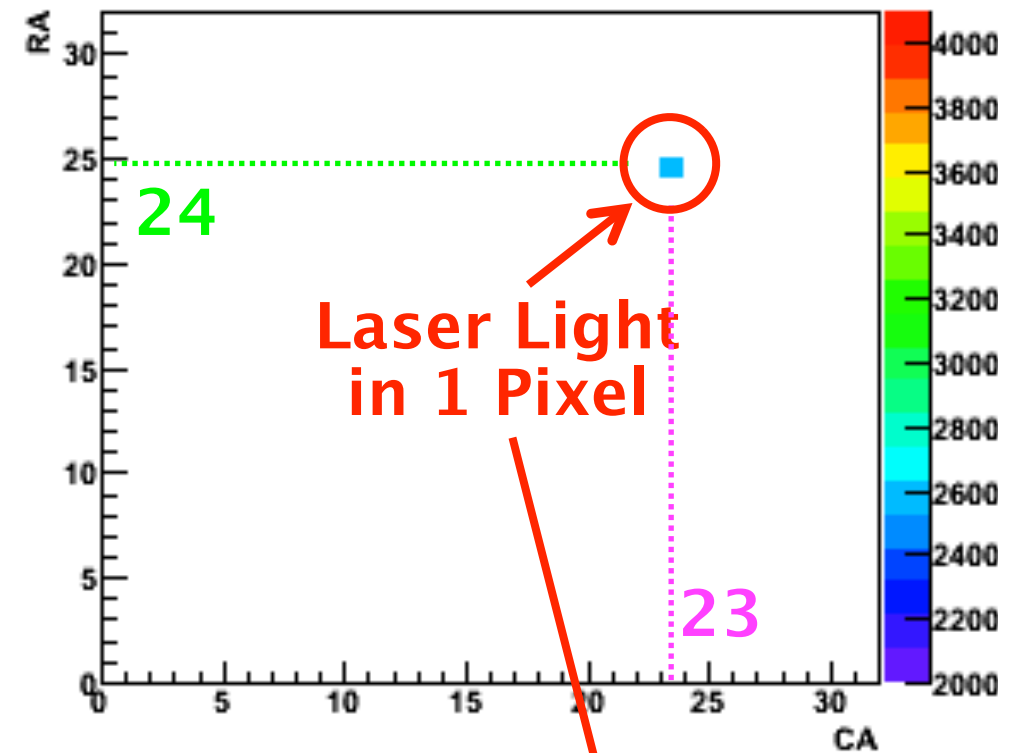


# トリガ情報出力試験

## TRIG Signal Diagram

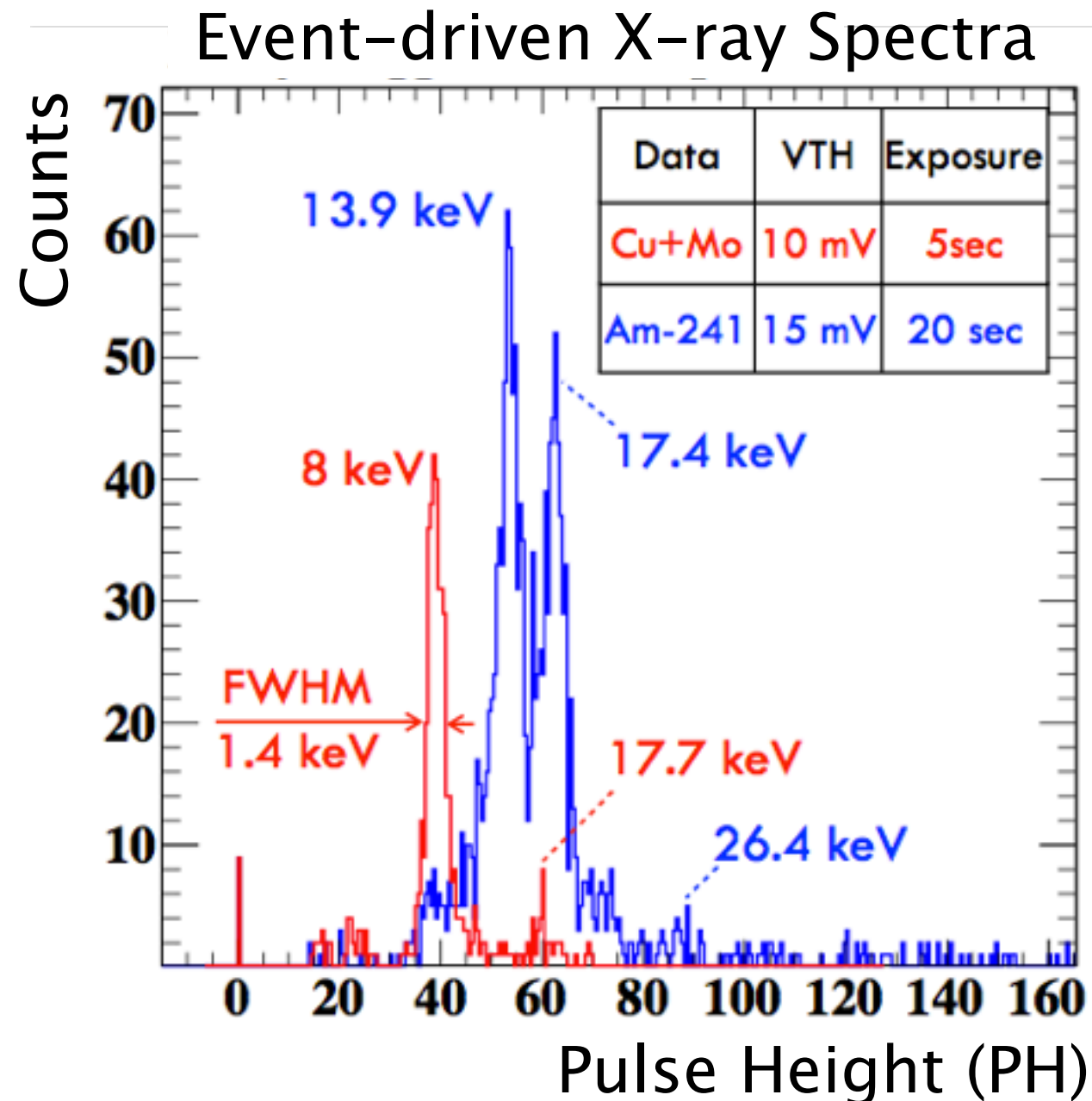


## 2D Image of Aout (1Frame)



# XRPIX1b : Event-Driven Readout Mode

- Event-Driven readout modeにより取得したX線スペクトル。
  - > このような検出器から出力される情報を基に信号を読み出すピクセル検出器は世界初！

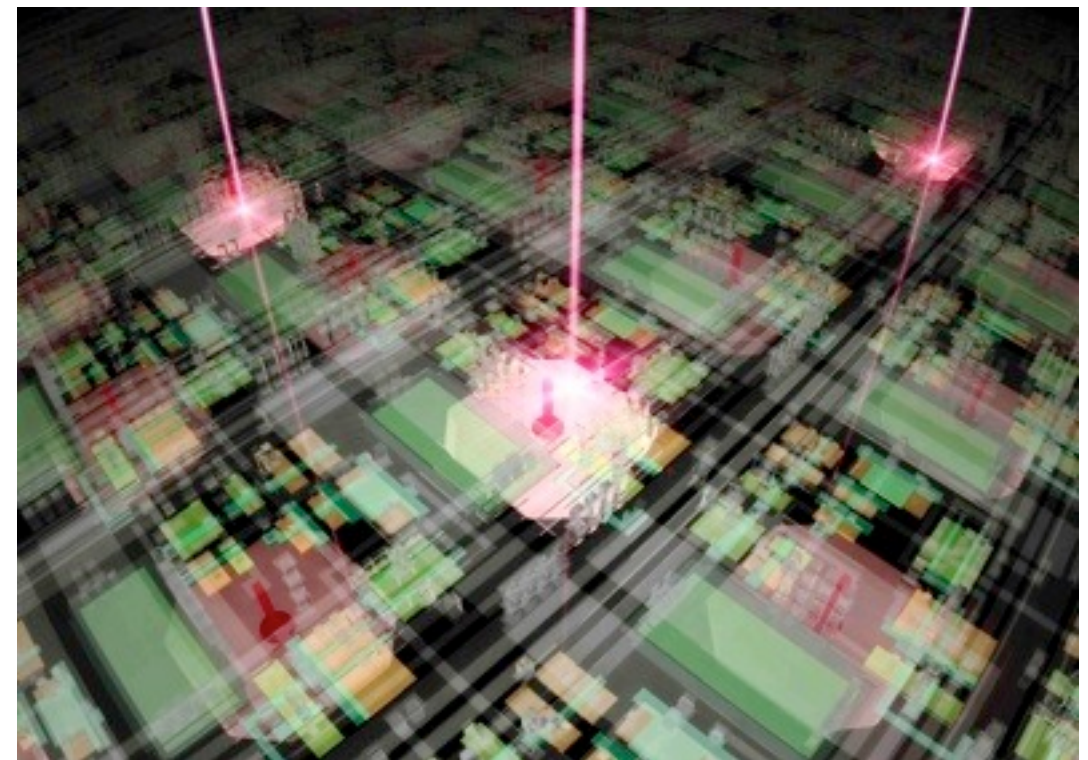


# まとめ

---

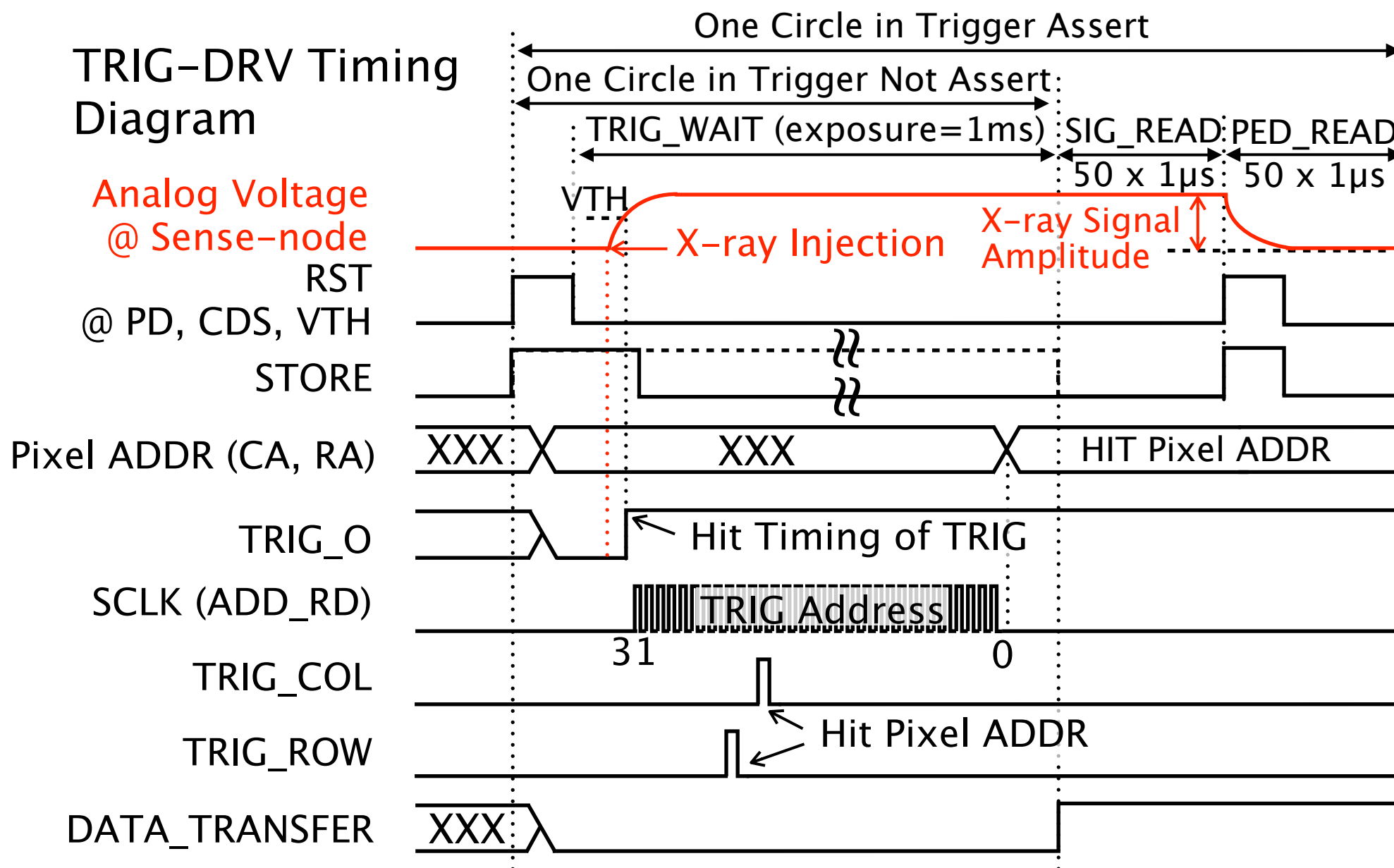
- 次世代のX線天文衛星搭載に向けトリガ出力機能を持つ検出器をSOIピクセル検出器の技術を基盤とし研究開発している.
- SOIピクセル検出器は、センサ部・読み出し回路部一体型の半導体ピクセル検出器であり、理想的な構造から世界でも注目されている検出器の一つである.
- X線天文衛星搭載用SOIピクセル検出器(XRPIX)の基本機能は実証できている.
  - > X線到来タイミング・位置を出力するトリガ情報出力回路  
(このような機能を持ち動作している検出器は世界でも唯一)

# Backup





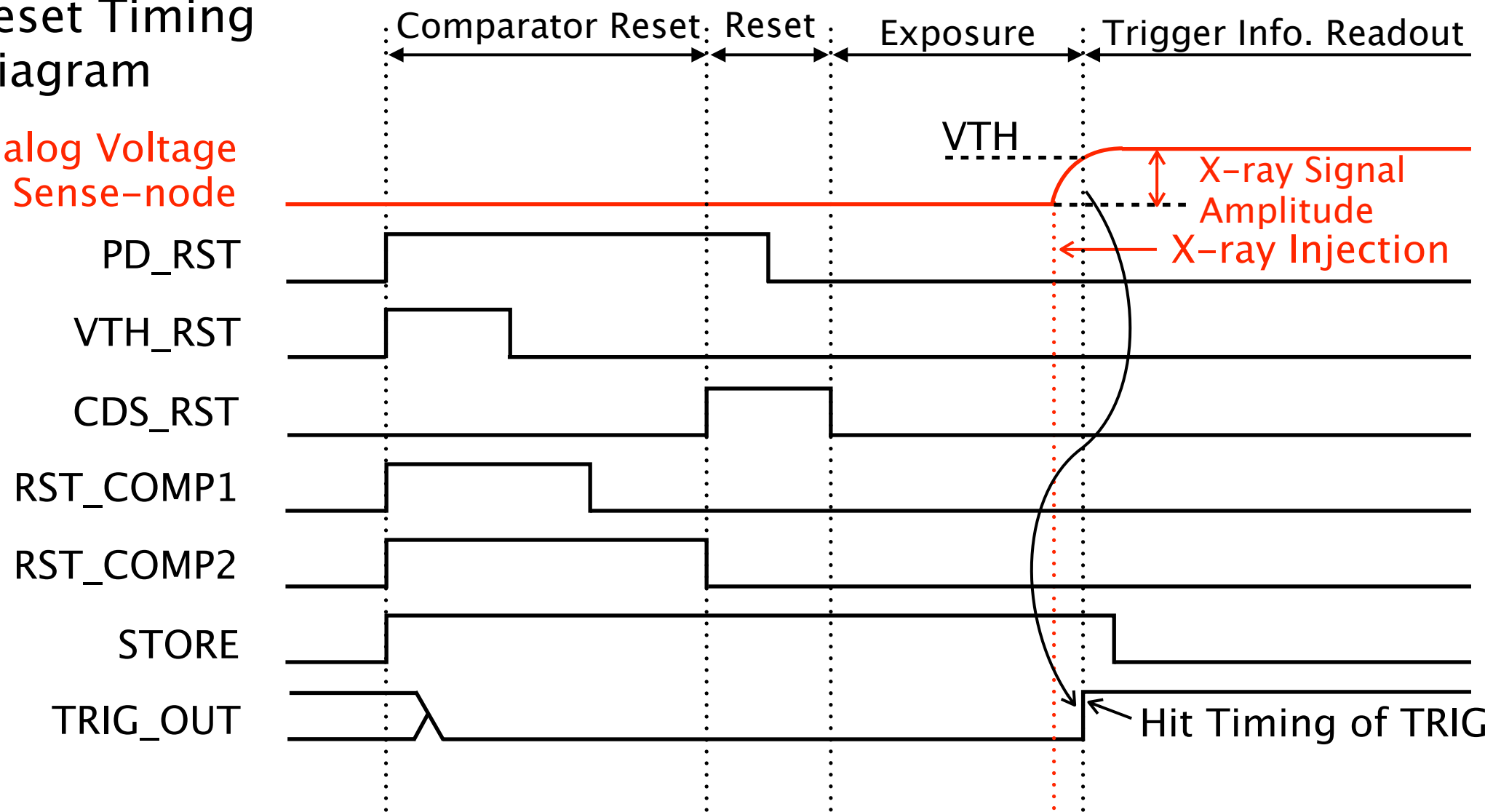
# XRPIX Control Diagram



# XRPIX Control Diagram

## Reset Timing Diagram

Analog Voltage @ Sense-node

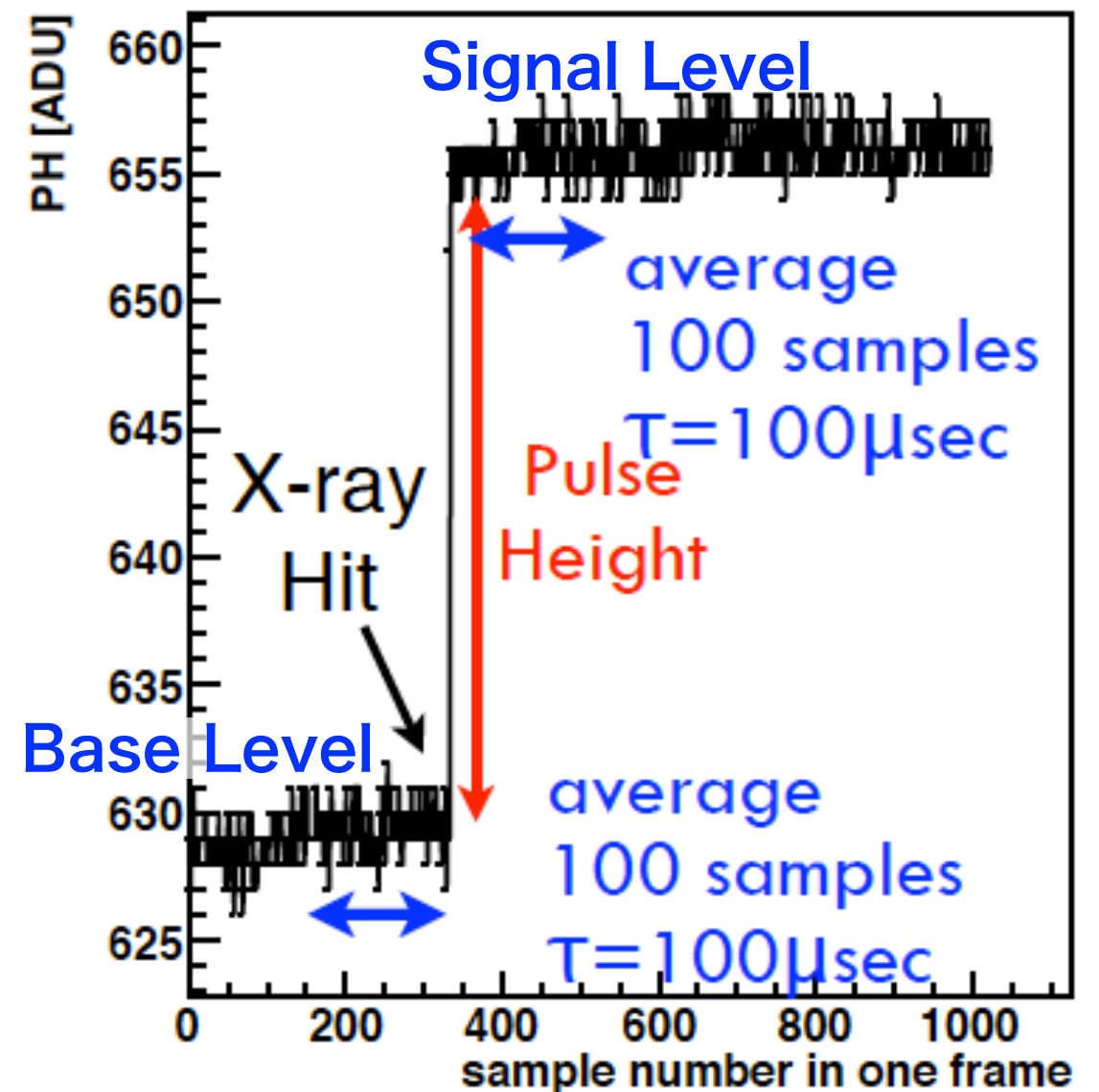


# XRPIX1b: Single Pixel Readout Mode

- 分光性能の限界を求めるための試験.  
(cf. Prigozhin et al., 2009)
- 1 ピクセルを固定しアナログ出力の波形を読み出し観測
- オフライン解析でX線のヒットポイントを探す.

X線のエネルギー

-> Signal Level - Base Level



# XRPIX1b: Single Pixel Readout Mode

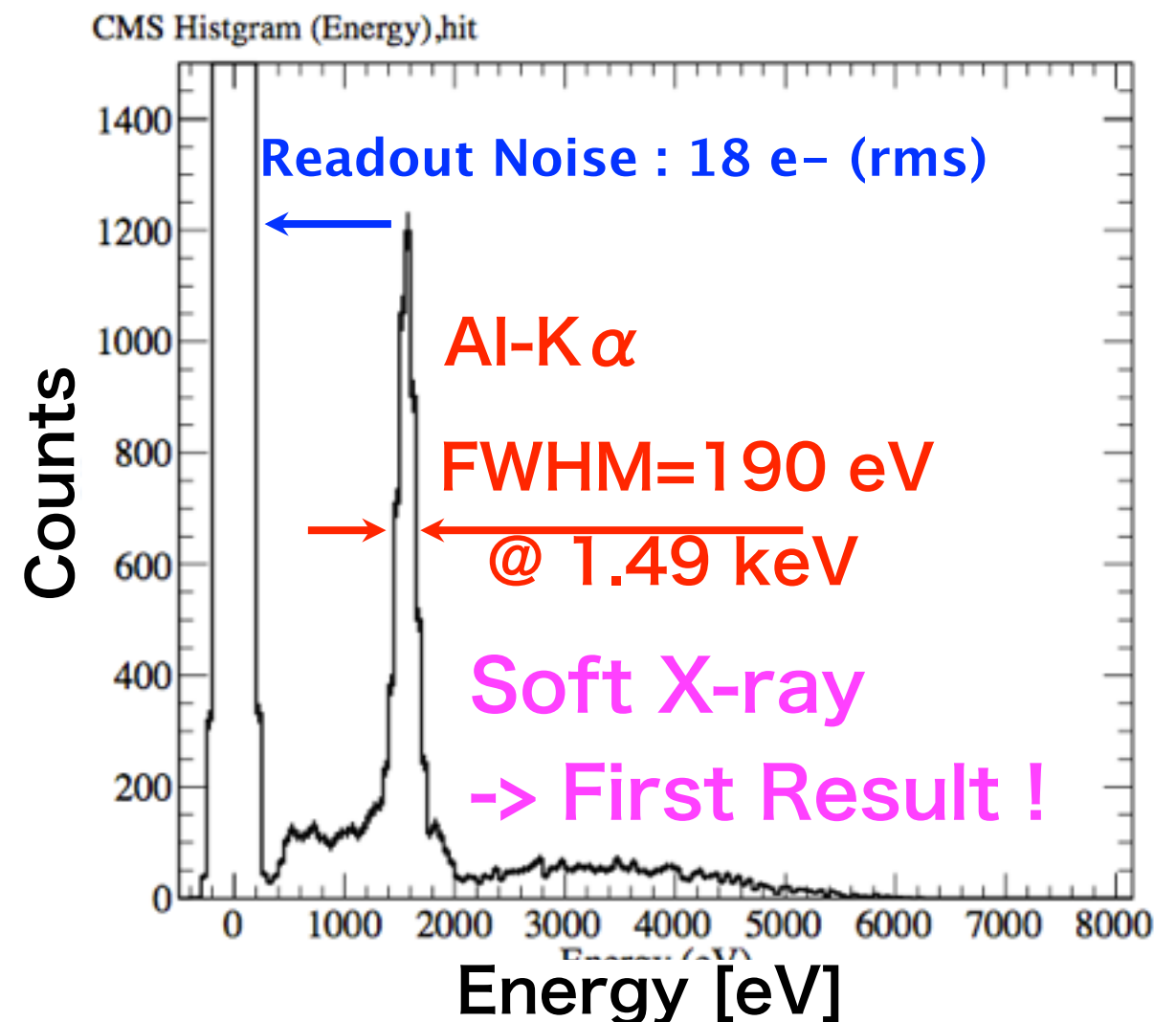
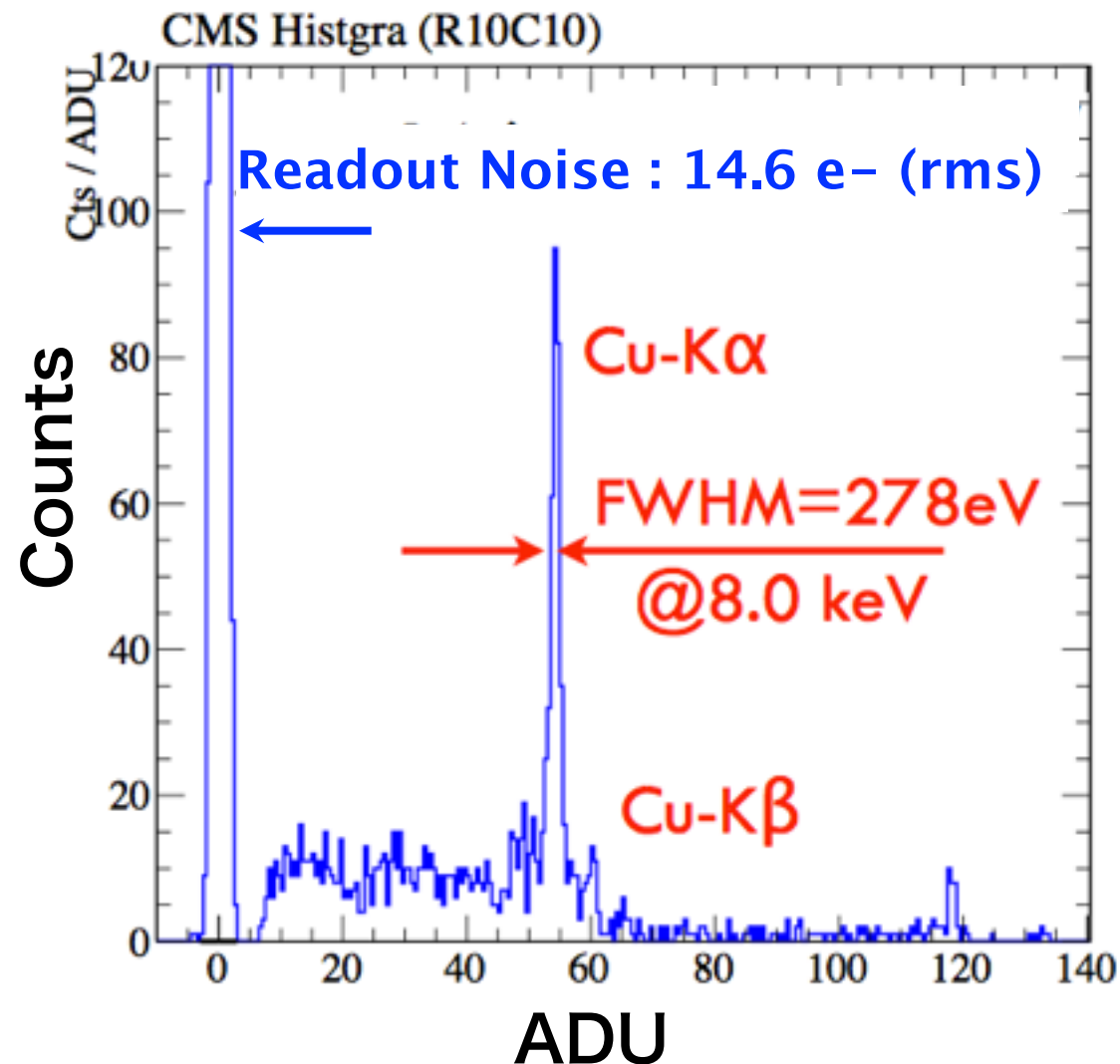
- single pixel readout modeによるX線スペクトル。

$\Delta E = 278 \text{ eV} @ 8.0 \text{ keV}$  (FWHM)

Readout Noise = 14.6 e<sup>-</sup> (rms)

$\Delta E = 190 \text{ eV} @ 1.49 \text{ keV}$  (FWHM)

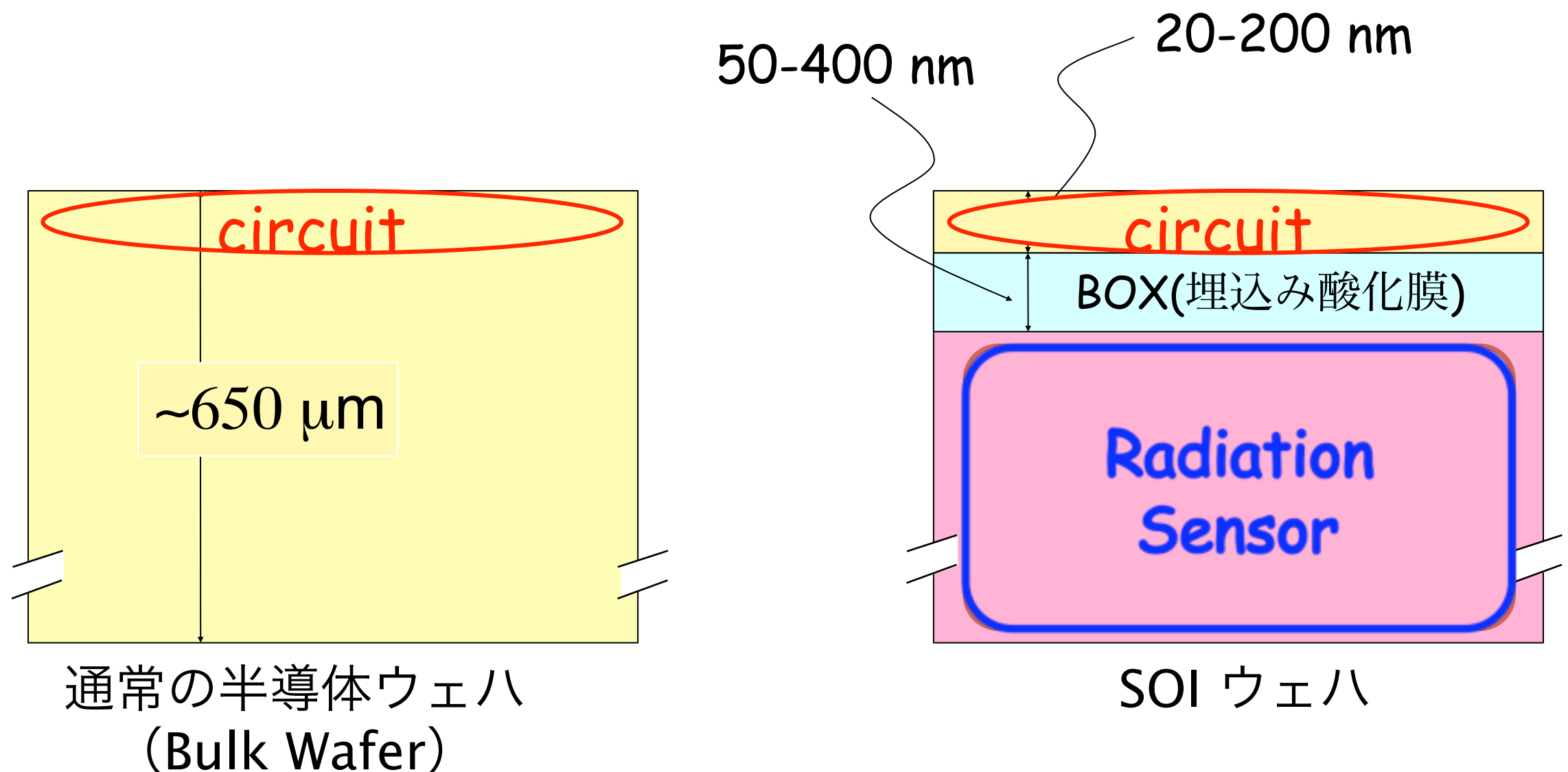
Readout Noise = 18 e<sup>-</sup> (rms)





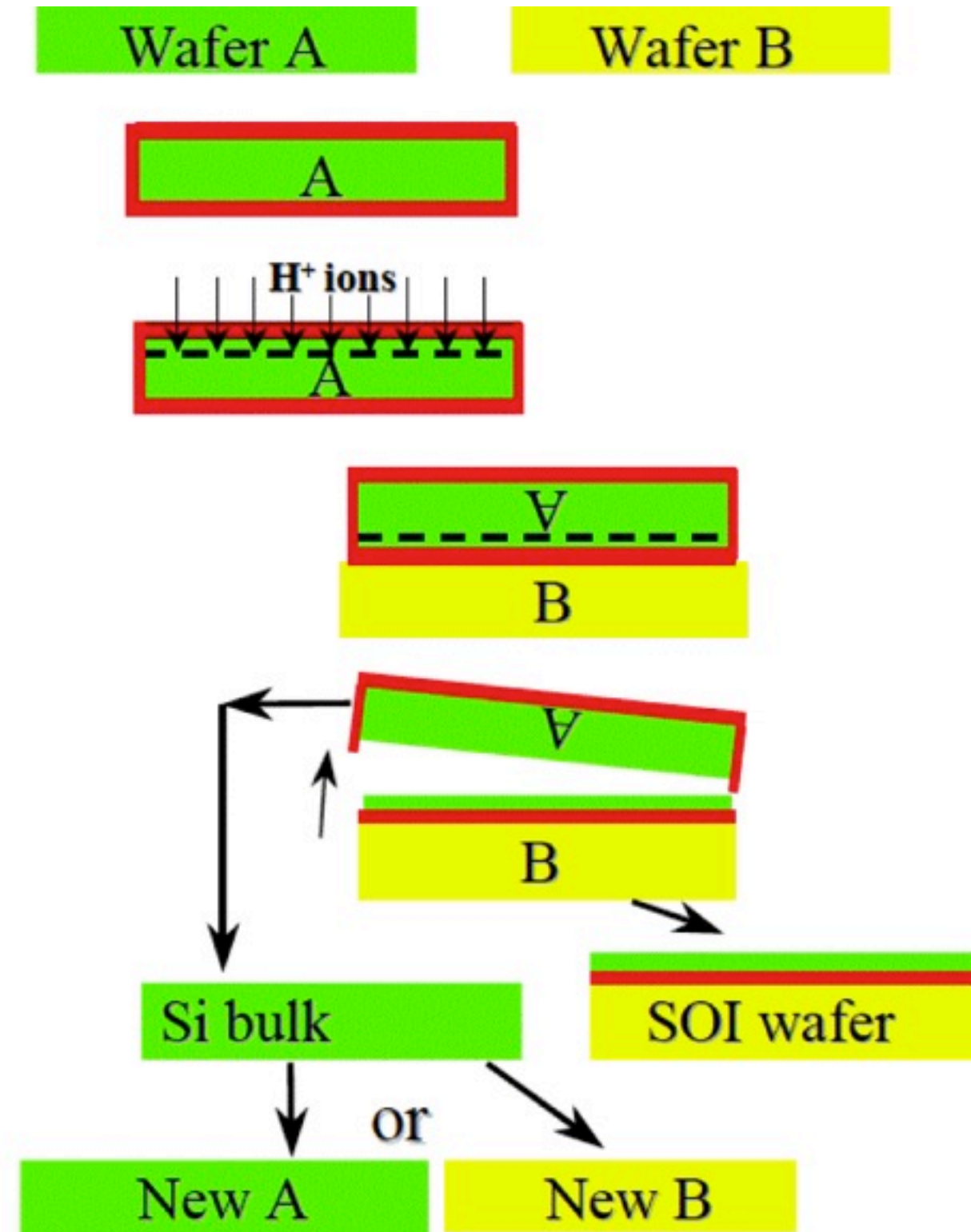
# Bulk & SOI Wafer

- Silicon-on-Insulator (SOI) ウェハとは、埋込み酸化膜を介して2枚のSiウェハを貼付けた構造をもつもの
- 一般的な半導体産業では、LSI (CMOS)のプロセスに使われる。  
-> 高速な回路動作が可能であることが特徴。



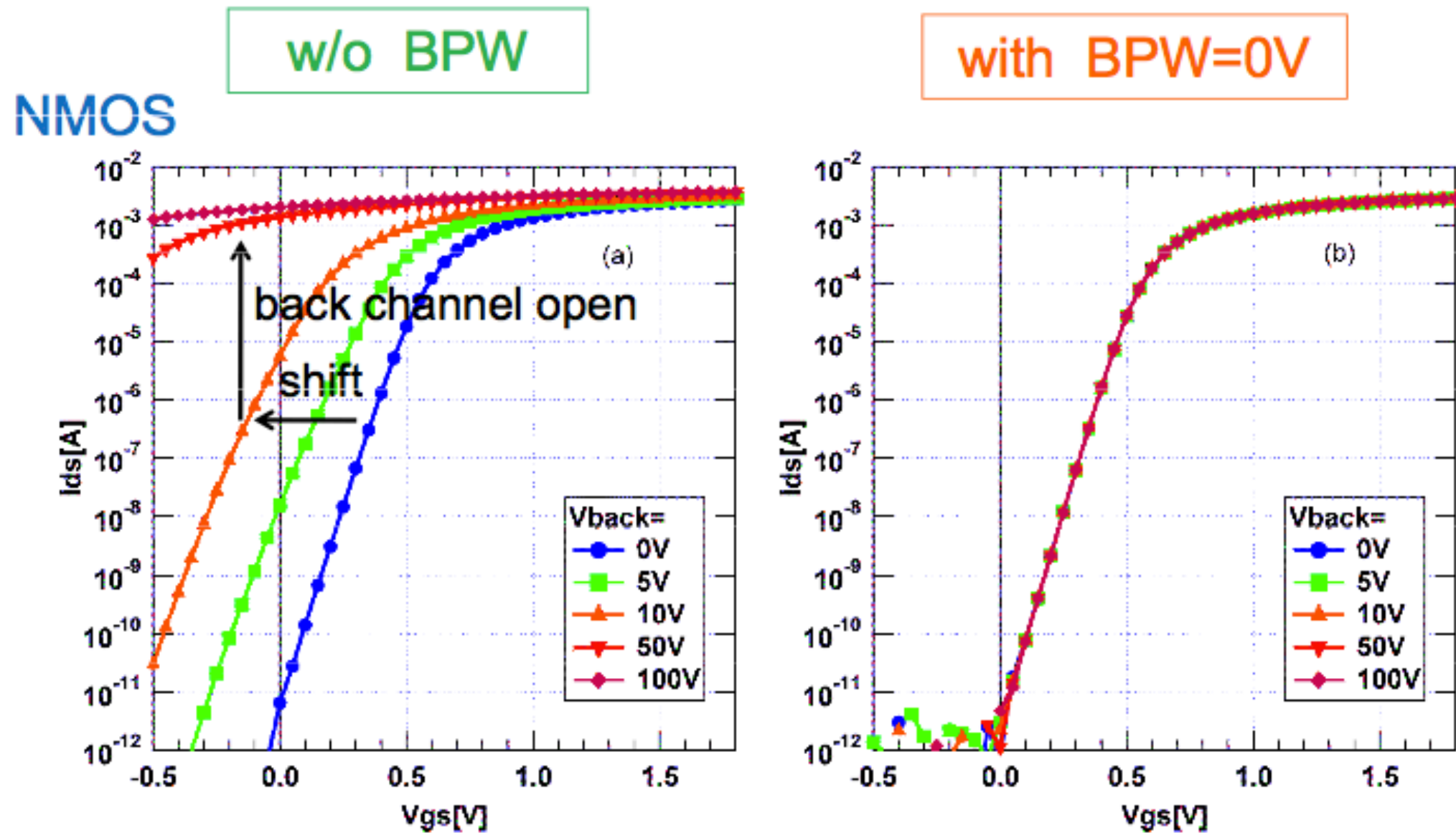
# UNIBOND™ Process (1995, France LETI) -> SOITEC

- 1 Initial silicon wafers A & B
- 2 Oxidation of wafer A to create insulating layer
- 3 Smart Cut ion implantation induces formation of an in-depth weakened layer
- 4 Cleaning & bonding wafer A to the handle substrate, wafer B
- 5 Smart Cut - cleavage at the mean ion penetration depth splits off wafer A
- 6 Wafer B undergoes annealing, CMP and touch polish => SOI wafer complete
- 8 Split-off wafer A is recycled, becoming the new wafer A or B



# Buried p-Well (BPW)

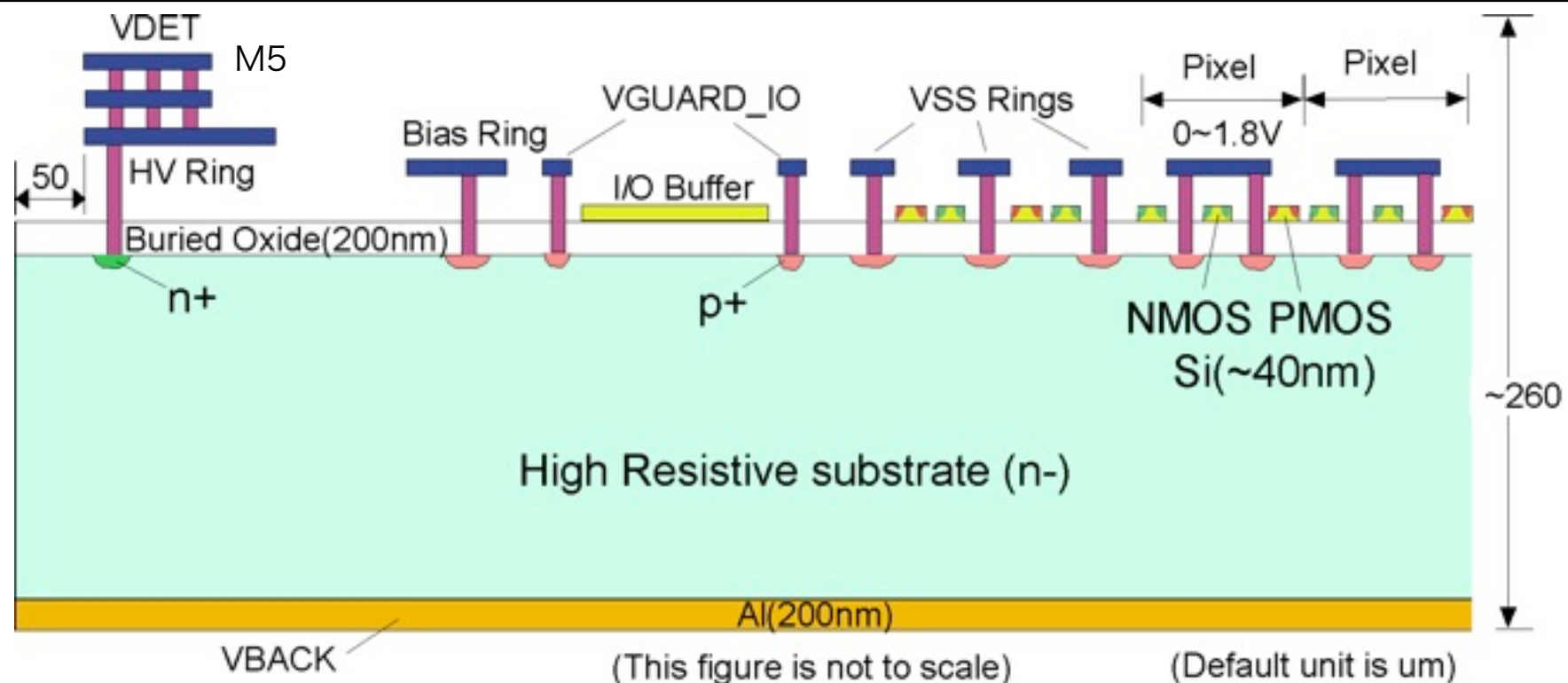
## $I_d$ - $V_g$ and BPW



BPW層により， Back gate効果を抑制することができる。

# LAPIS 0.2 μm FD-SOI Pixel Process

|           |   |
|-----------|---|
| Process   | 0.2μm Low-Leakage Fully-Depleted SOI CMOS (LAPIS)<br>1 Poly, 5 Metal layers, MIM Capacitor (1.5 fF/um <sup>2</sup> ), DMOS<br>Core (I/O) Voltage = 1.8 (3.3) V                    |
| SOI wafer | Diameter: 200 mmφ, 725 um thick<br>Top Si : Cz, ~18 Ω-cm, p-type, ~40 nm thick<br>Buried Oxide: 200 nm thick<br>Handle wafer: Cz(n) ~700 Ω-cm,<br>FZ(n) ~7 kΩ-cm, FZ(p) ~40 kΩ-cm |
| Backside  | Mechanical Grind, Chemical Etching, Back side Implant,<br>Laser Annealing and Al plating  |





# X線の検出効率

## SOI Pixel X-ray Detection Efficiency (Calculation)

