

Xilinx High Level Synthesis(HLS) を用いた合成結果の検討

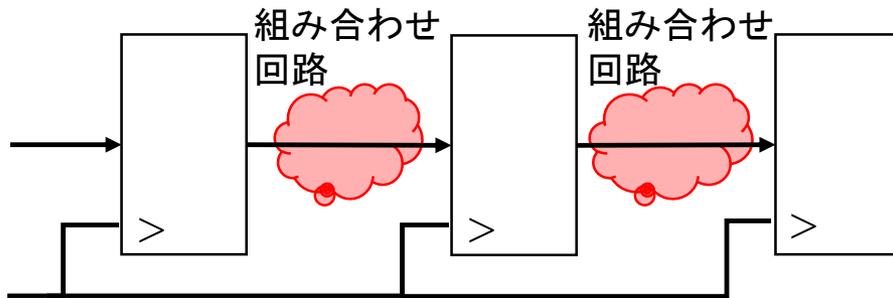
KEK 素核研
濱田 英太郎

目次

- イントロダクション
- SystemC
- Vivado HLSを用いたsystemCの高位合成調査
- まとめ

背景

- 一般的にFPGAの回路は、HDL (Hardware Description Language: ハードウェア記述言語) を利用したRTL設計から作成
→ 記述が困難、シミュレーションや検証に時間がかかる



- クロック単位で処理を記述
 - クロック周波数や、信号のタイミングを意識する必要がある
- FPGAの集積度は年々増加
→ 設計規模の増大に設計能力が追いつかない

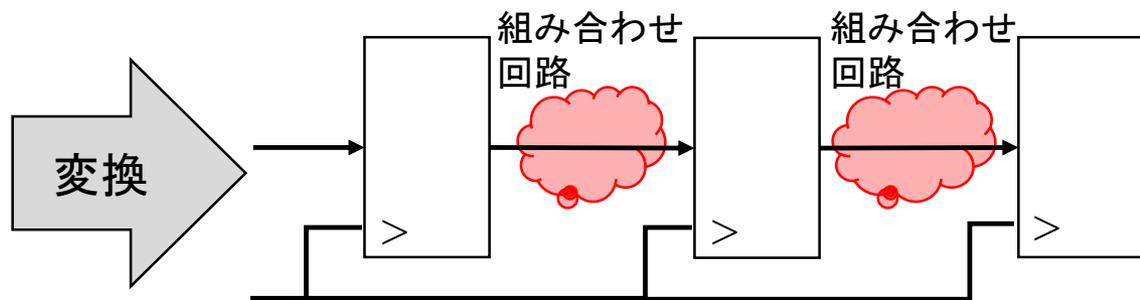
高位合成 (High Level Synthesis : HLS)

高位合成とは...

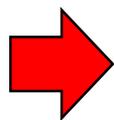
高級プログラミング言語 (CやJava等) を用いて、
FPGAの回路設計を行う技術

高級プログラミング言語

```
data1 = 10;  
data2 = 20;  
  
if signal_out == (data1 * data2))  
    return(0);  
else  
    return(1);
```



- 処理動作のアルゴリズムを直接的に記述
- 高い抽象度で設計することができる



- 設計生産性が飛躍的に向上
- 複雑な回路を生成できる場合もある

高位合成の注目の高まり

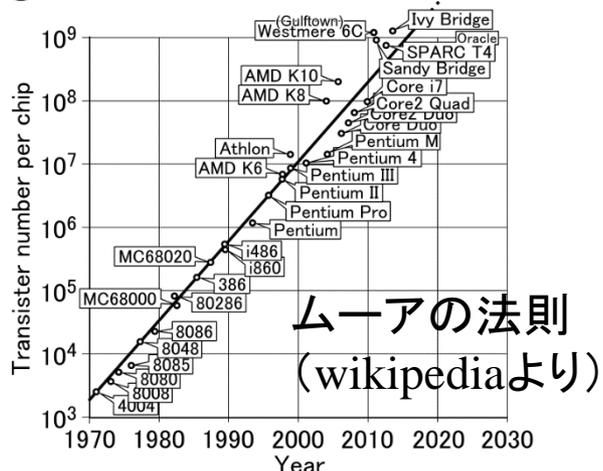
(FPGA マガジン No.14より)

FPGAベンダが高位合成ツール支援に積極的

→ FPGAの利用者層を広げ、応用分野を開拓!!

「業界動向」

①PCやサーバ用CPUの性能向上・電力削減の煮詰まりにFPGAで対策



ムーアの法則「半導体の集積率は18か月で2倍になる」
はそろそろ限界に...



集積度を高める以外の方法でプロセッサの性能向上、
電力削減を実現させていかなければならない



FPGAを応用

②IoTや組み込みデバイス等のCPU能力と使用可能電力が限られている環境下にFPGAを応用したい

誰でも高位合成を利用できる時代に

Vivado HLS

- Xilinx社が提供する誰でも無期限に無償で利用が可能な高位合成用ツール
- バージョン2016.1からwebPackでもVivado HLSが利用可能

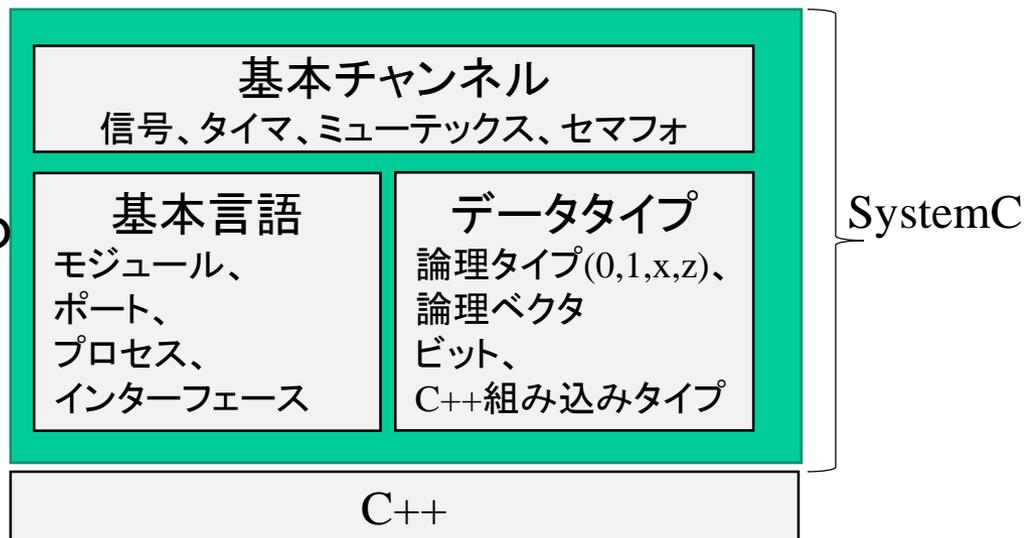
Vivado HLS

- C、C++、SystemCの関数をVerilog HDLまたはVHDLに変換
- 変換したVerilog HDLまたはVHDLファイルをIPを生成

Vivado HLSを用いてSystemCから
Verilog HDLに変換した回路に注目

SystemCとは

- 抽象度の高いハードウェアやシステムを記述する言語
- C++に基づいて構築されているプログラムはC++コンパイラでコンパイル可能



「主な特徴」

1. 標準言語である
2. 異なる抽象度による表現が可能

SystemC 特徴1

「標準言語である」

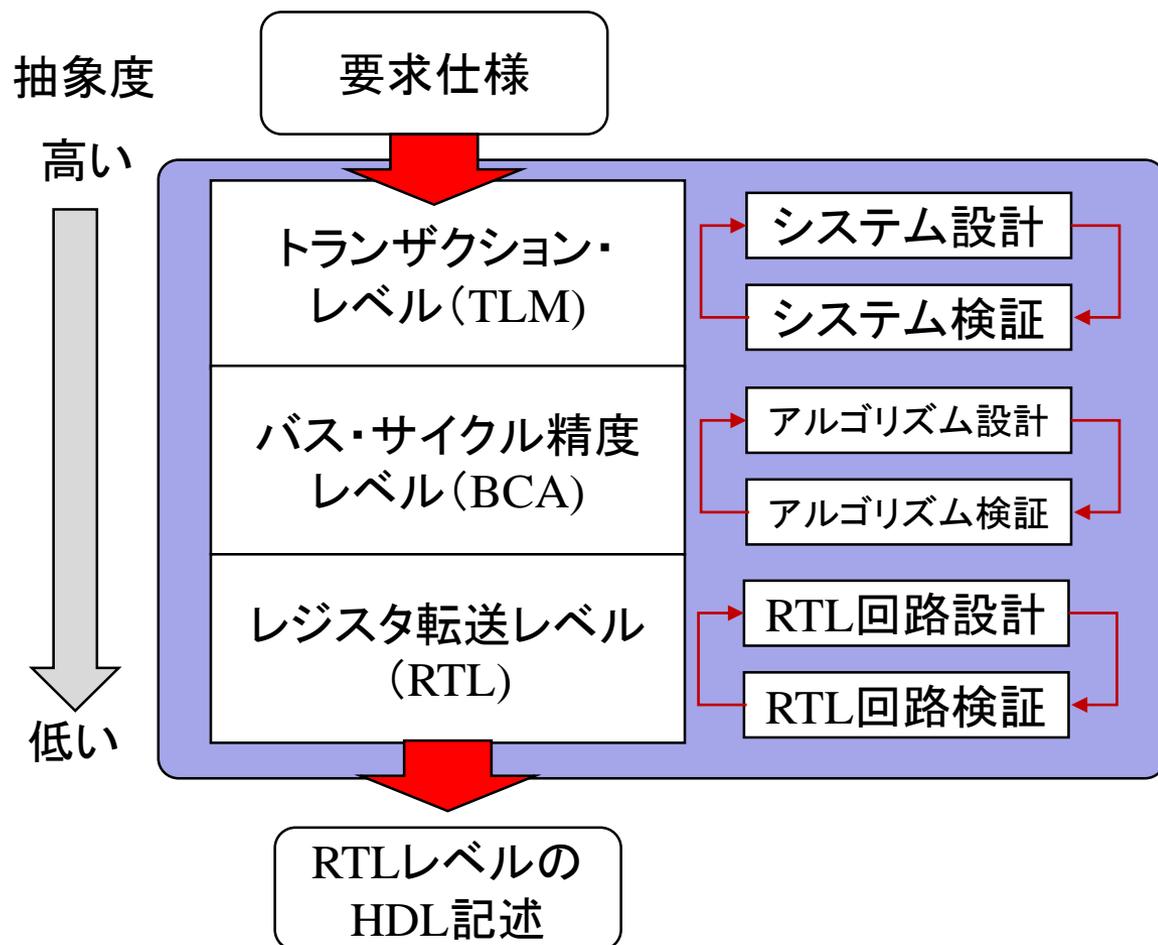
標準化団体であるOSCI(Open SystemC Initiative)により開発されている標準言語

- 開発ツールの仕様変更の影響を受けない
- 多くのツールベンダからSystemCを用いた設計ツール間で作った回路の共有が期待できる

SystemC 特徴2

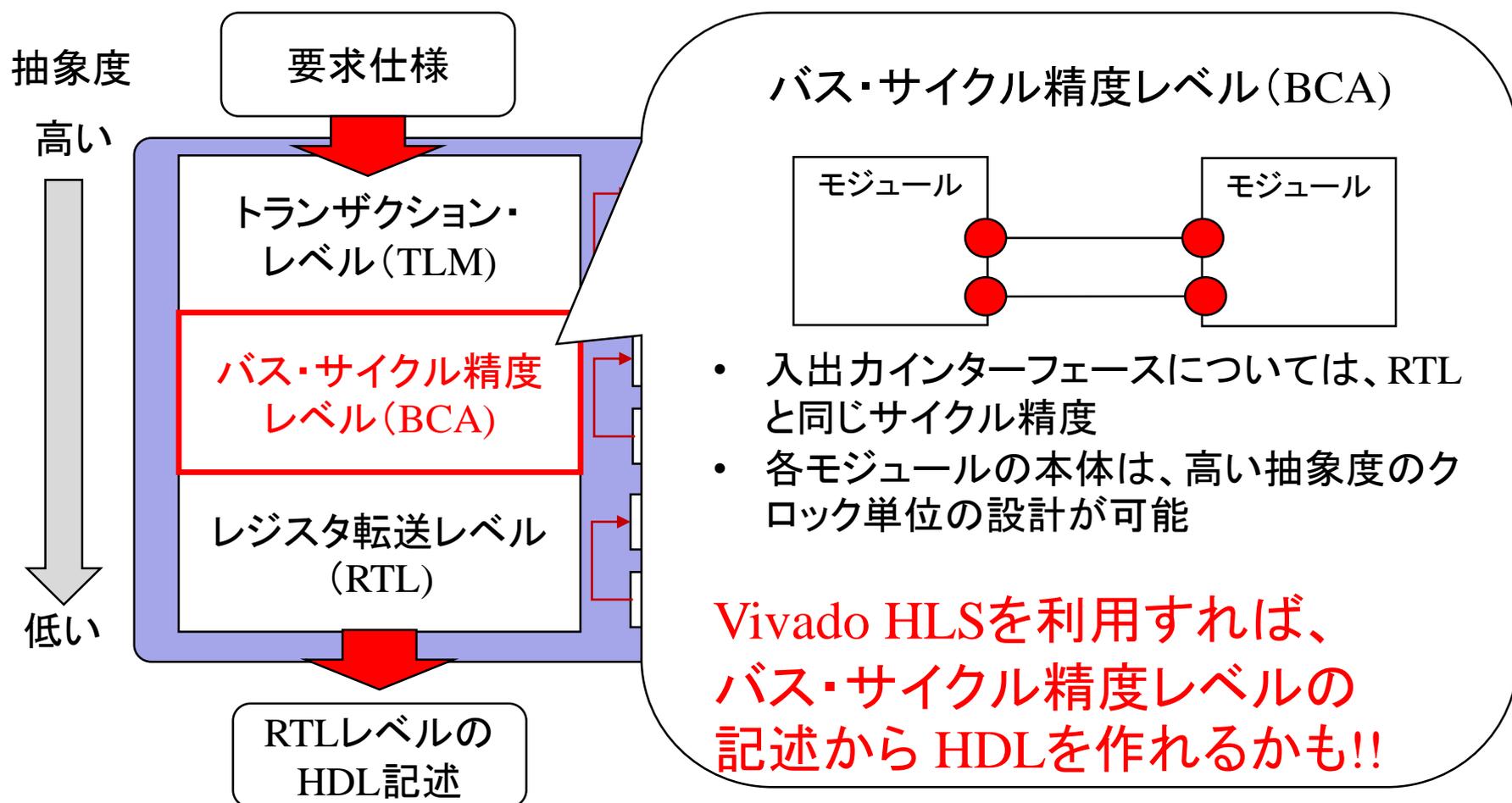
「異なる抽象度による表現が可能」

設計工程に応じて異なる抽象度による表現を行うことができる

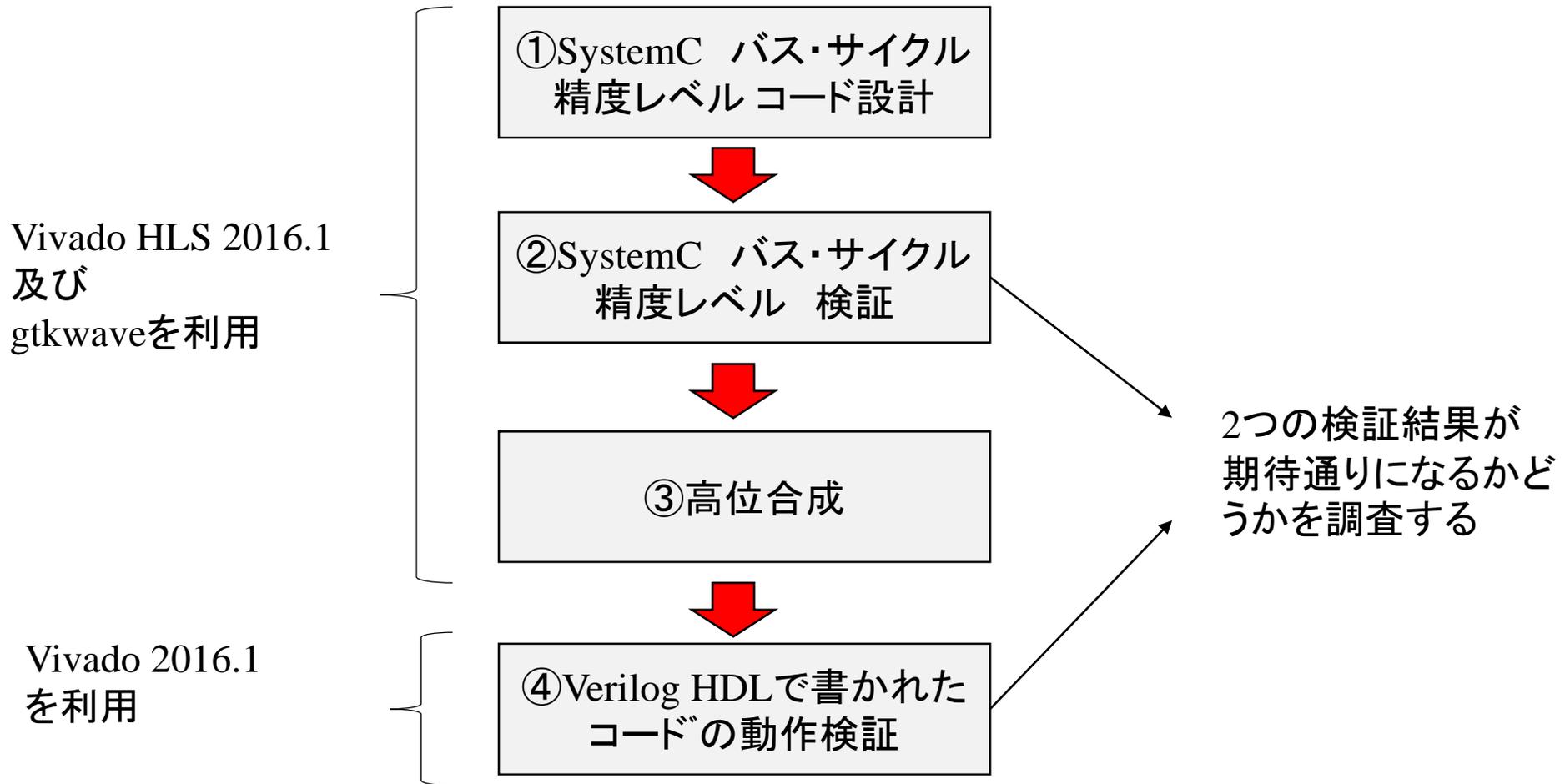


「異なる抽象度による表現が可能」

設計工程に応じて異なる抽象度による表現を行うことができる

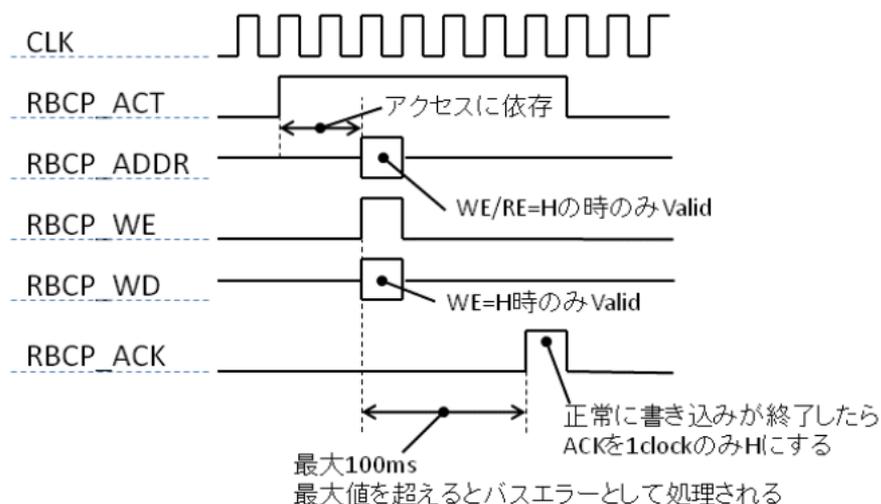
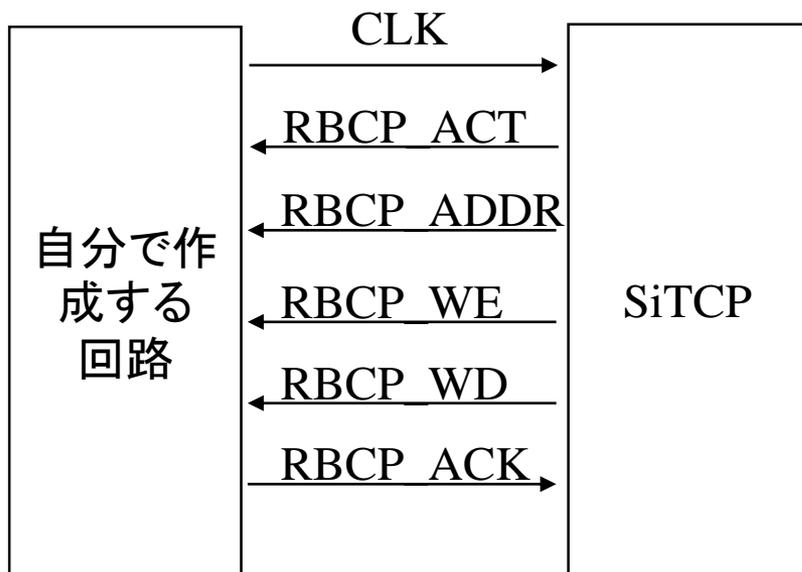


SystemCバス・サイクル精度(BCA)レベル 調査方法



コード内容

「SiTCPのスローコントロールでのデータ書き込み」を想定

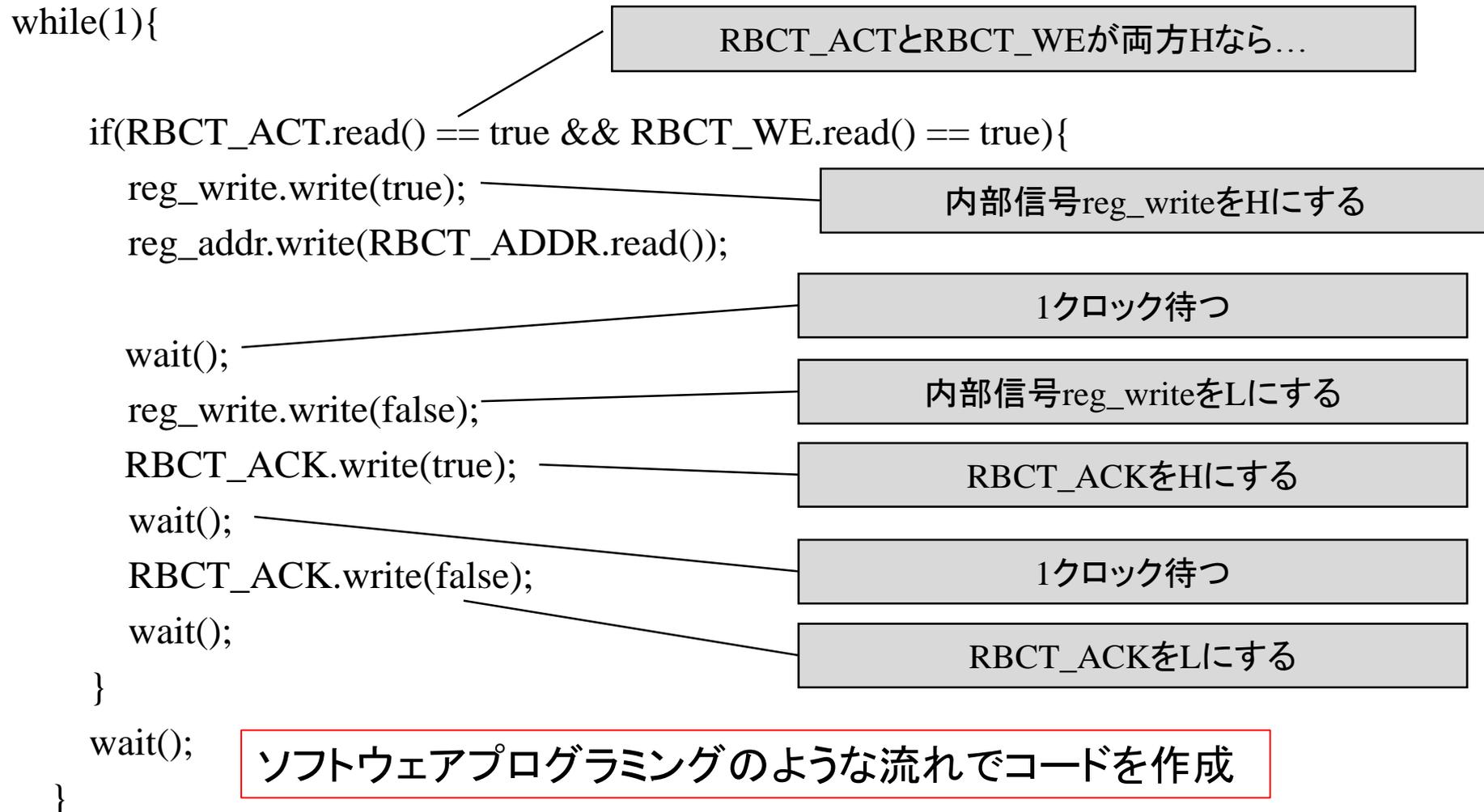


自分で作成する回路

- RBCP_ACTとRBCP_WEがどちらもHの場合、内部信号reg_writeをHにする
- RBCP_ACTとRBCP_WEがどちらもHになったときの1クロック後、RBCP_ACKをHにする

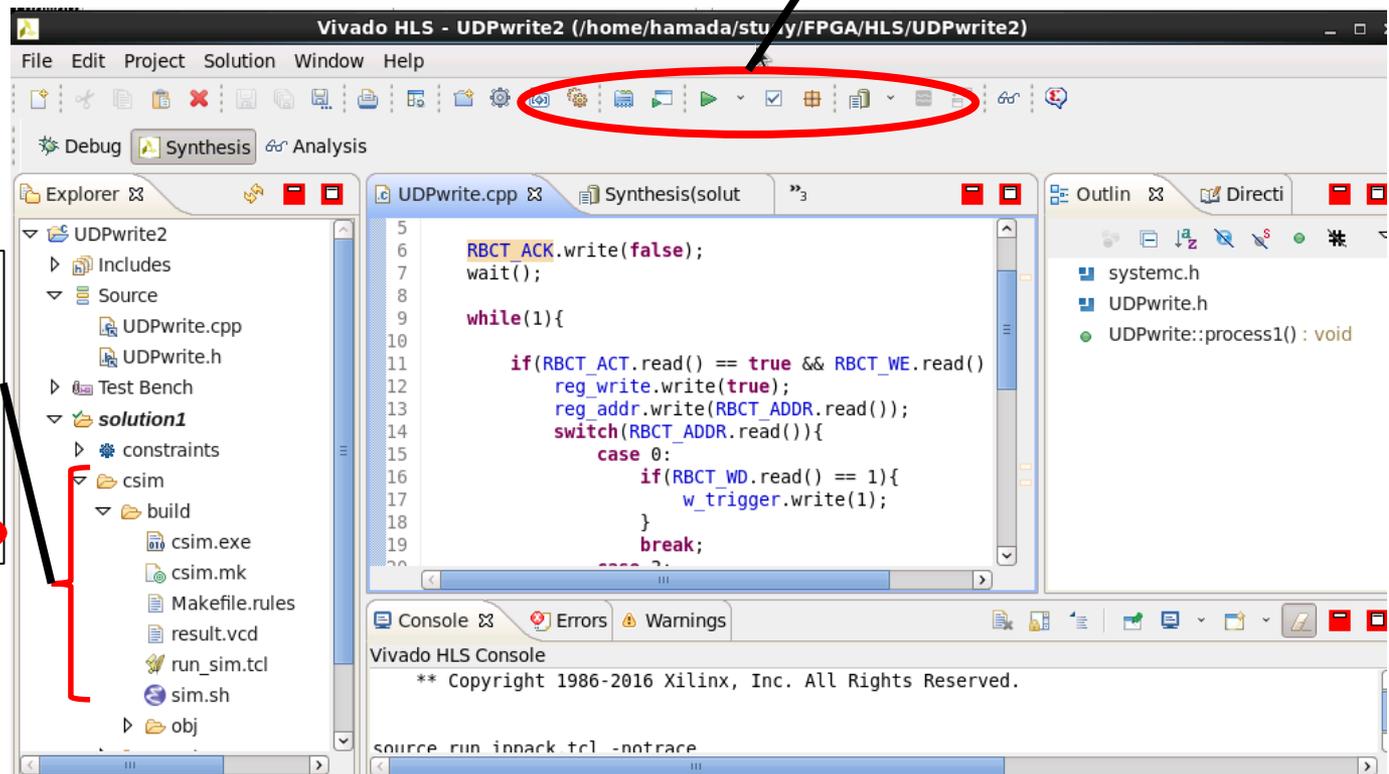
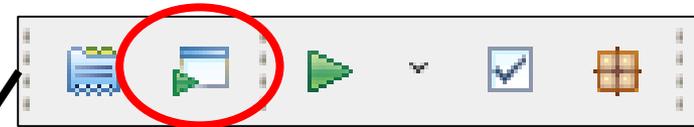
①SystemC バス・サイクル精度レベルコード設計

Vivado HLSでコードを作成（下記はコードの一部）



②SystemC バス・サイクル精度レベル 検証

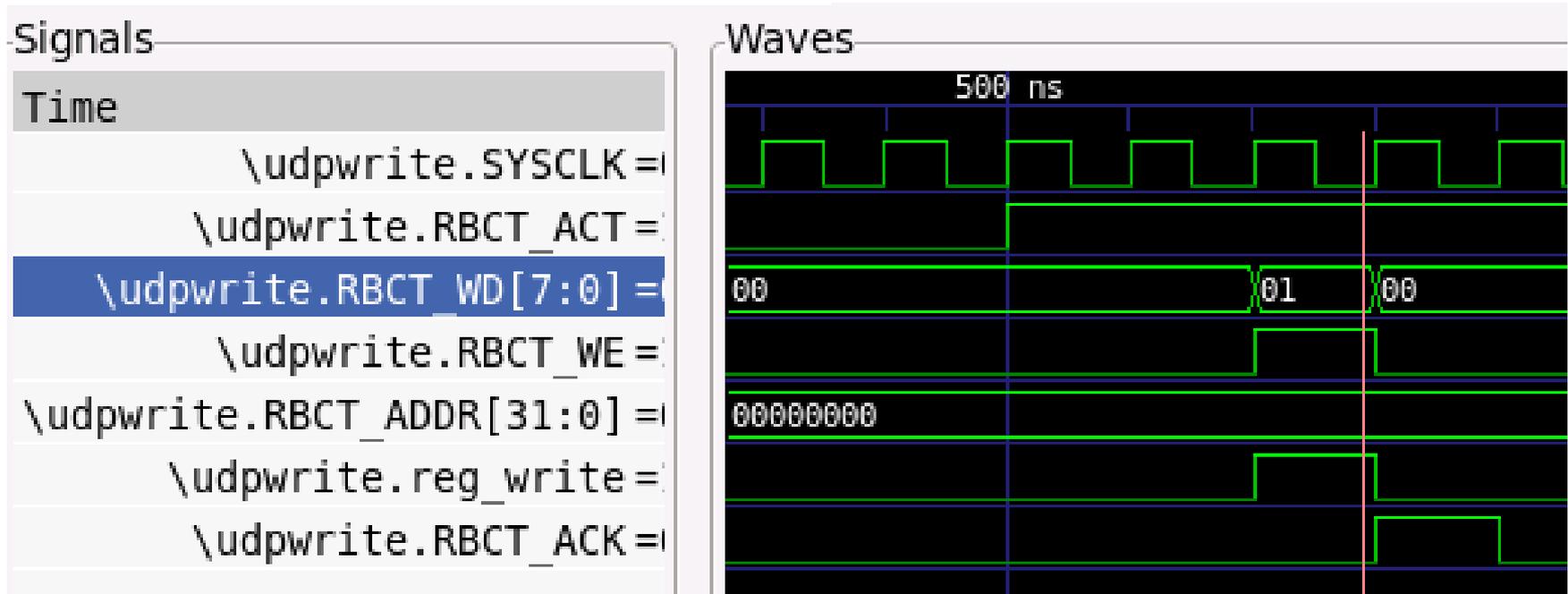
Vivado HLSで検証(シミュレーションを行う)



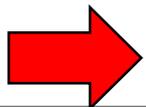
シミュレーション
結果ファイル

②SystemC バス・サイクル精度レベル 検証

gtkwaveを利用してresult.vcdを確認



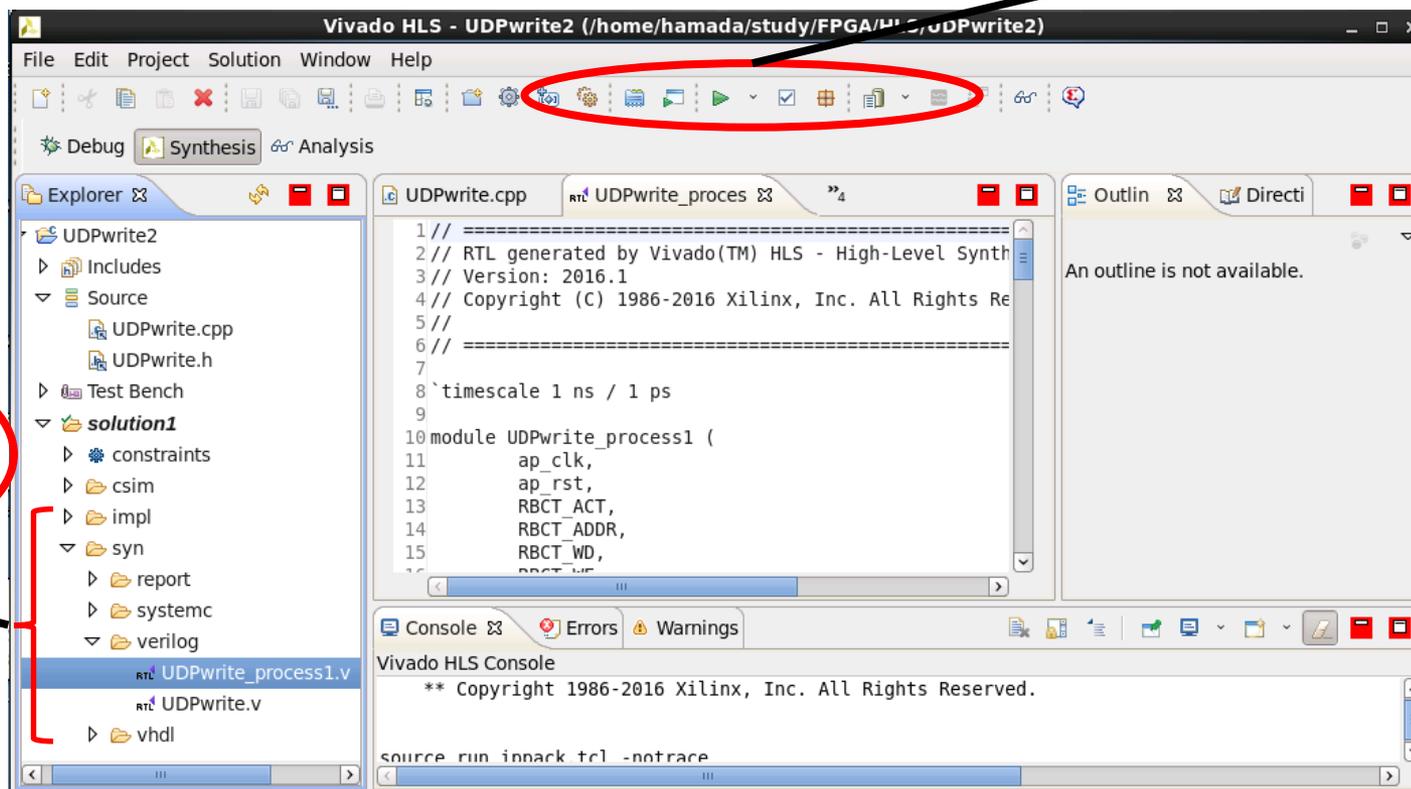
- RBCP_ACTとRBCP_WEがどちらもHの場合、内部信号reg_writeがHになっている
- RBCP_ACTとRBCP_WEがどちらもHになったときの1クロック後、RBCP_ACKがHになっている



期待通りの動作になっている

③高位合成

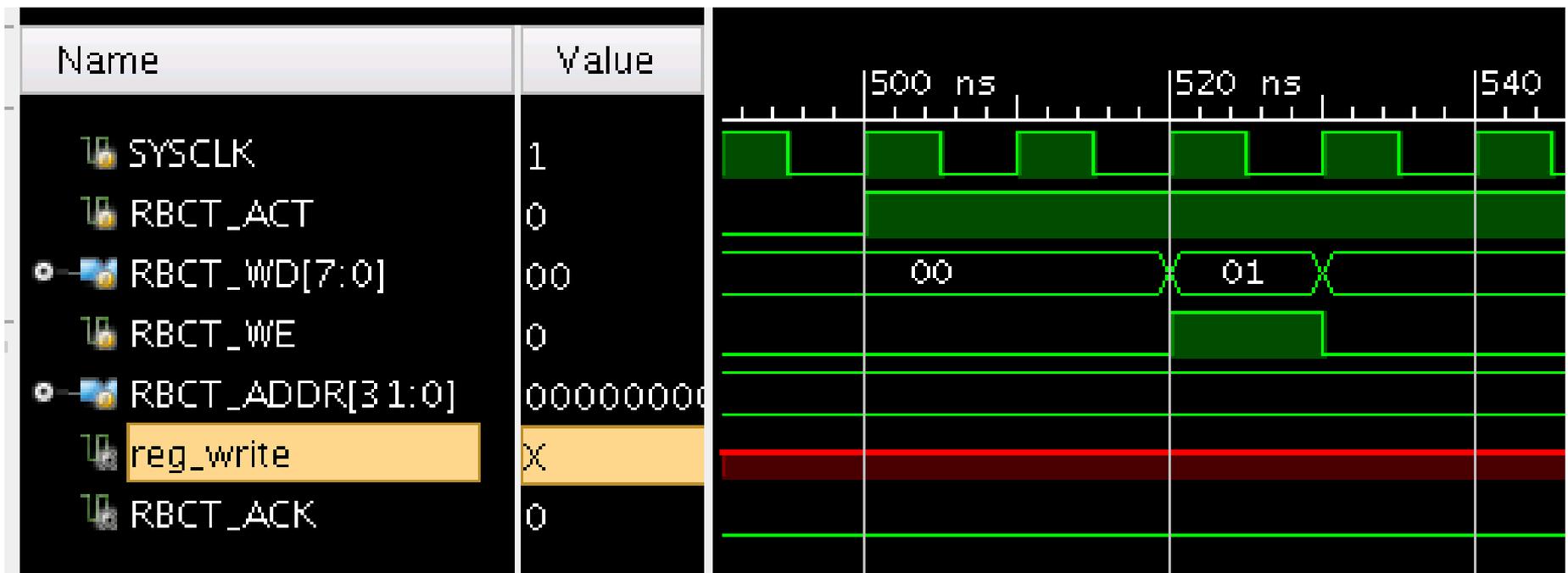
Vivado HLSで高位合成



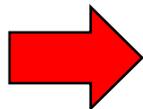
高位合成
結果ファイル

④ Verilog HDLで書かれたコードの動作検証

VivadoでVerilog HDLファイルを検証(シミュレーション)



- RBCP_ACTとRBCP_WEがどちらもHの場合、内部信号reg_writeがHにならない
- RBCP_ACTとRBCP_WEがどちらもHになったときの1クロック後、RBCP_ACKがHにならない

 期待通りの動作にならない

他のコード

- 他のコードでも同様のテストを行なう
- 出力信号がでなかったり、数クロック遅れて信号が出力されたり、と期待する動作をしてくれない

→「結論」

Vivado HLSではSystemCのバス・サイクル精度レベル(BCA)コードをそのまま高位合成しても、期待通りの動作にならない

まとめ

- 高位合成とは高級プログラミング言語(CやJava等)を用いて、FPGAの回路設計を行う技術
- SystemCとは抽象度の高いハードウェアやシステムを記述する言語
- Vivado HLSはSystemCを高位合成することができる無償のツール
- Vivado HLSを用いて、SystemCのバス・サイクル精度レベル(BCA)を高位合成する調査を行なったが、期待通りの動作にならなかった