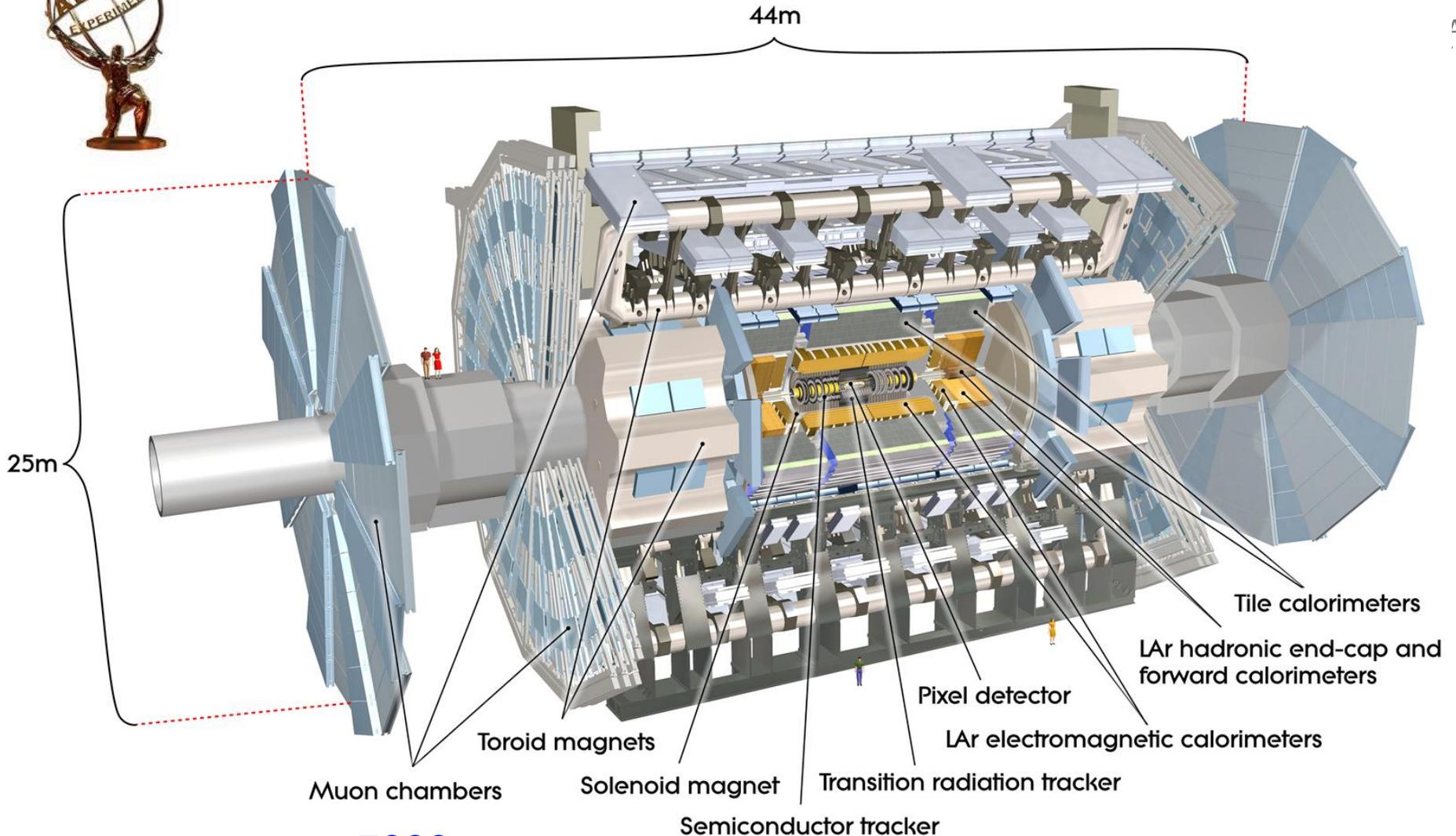


Electronics upgrade on ATLAS LAr Calorimeter for next 10 years

江成 祐二 東京大学 ICEPP

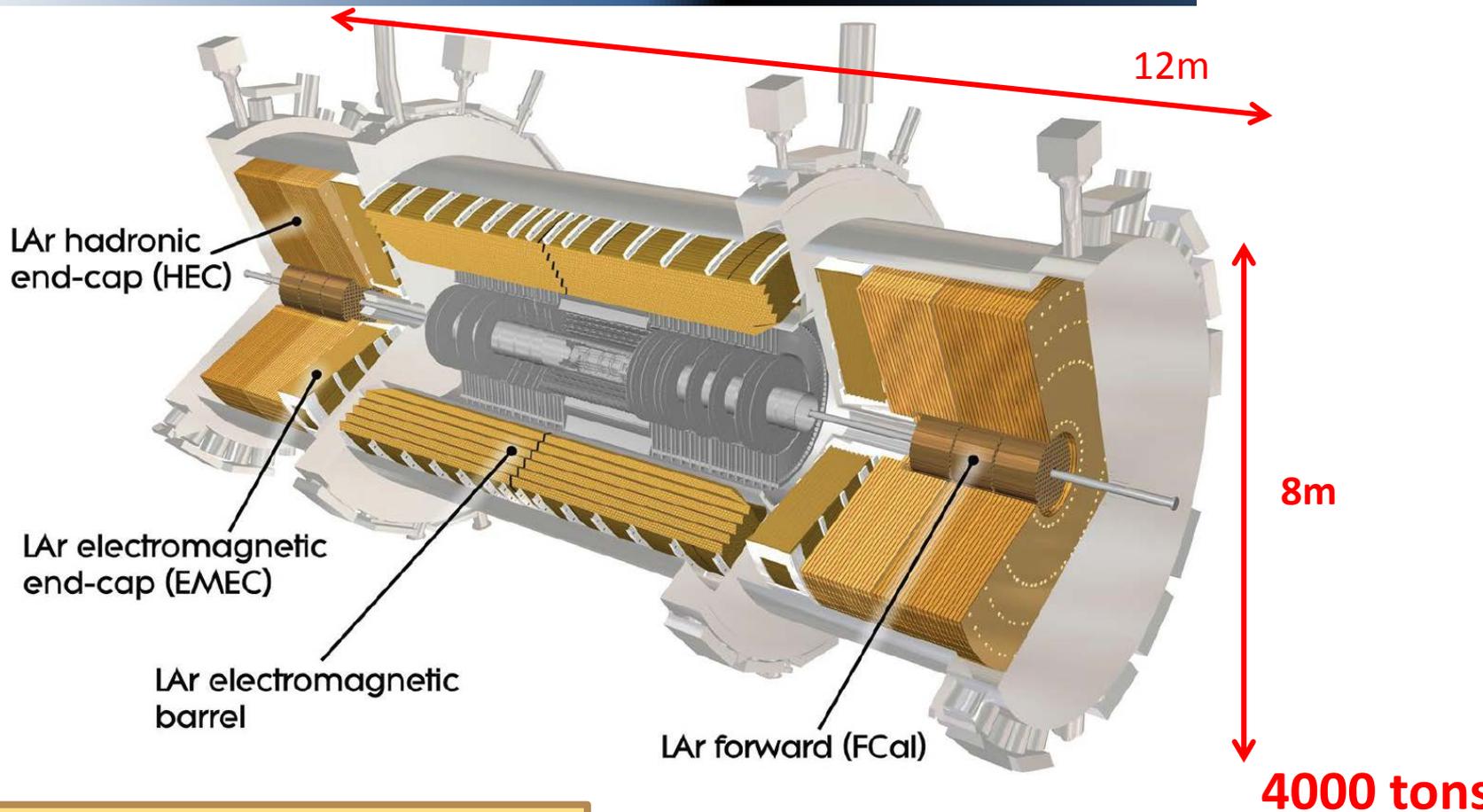
OpenIt 計測システム研究会
JPAC, 2014/11/20



7000 tons
88 Million channels
3000 km of cables
2T solenoid
Toroid (B ~ 0.5T in barrel; ~1T end-cap)

pseudorapidity:
 $\eta = -\ln(\tan(\theta/2))$

angular distance:
 $\Delta R = \sqrt{\Delta\eta^2 + \Delta\phi^2}$

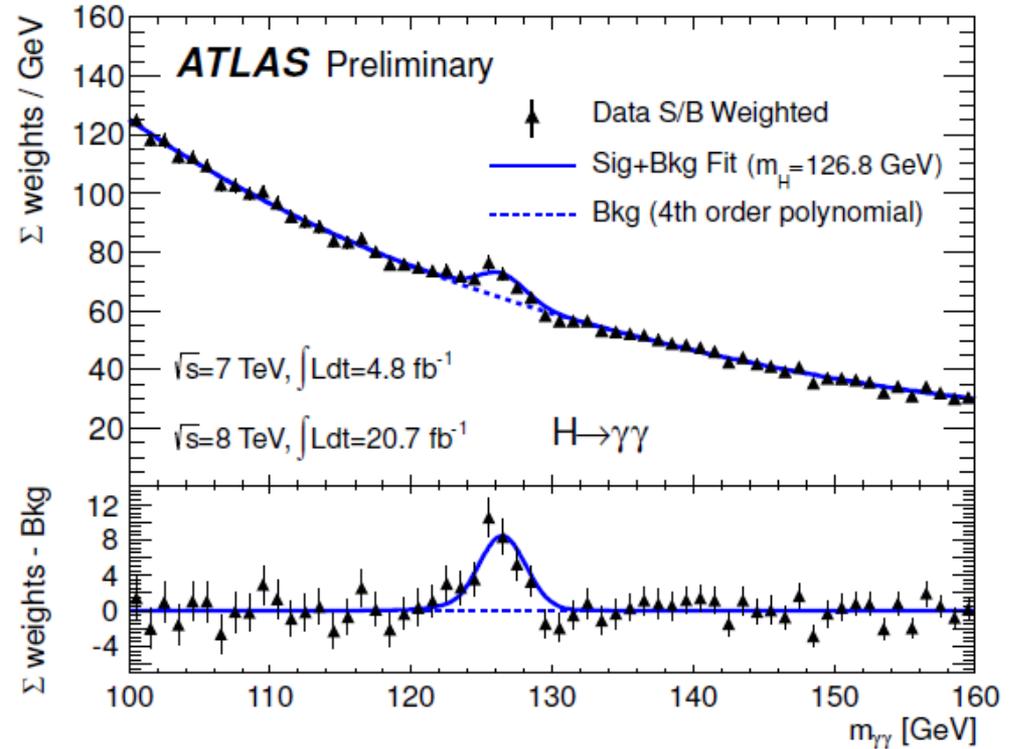
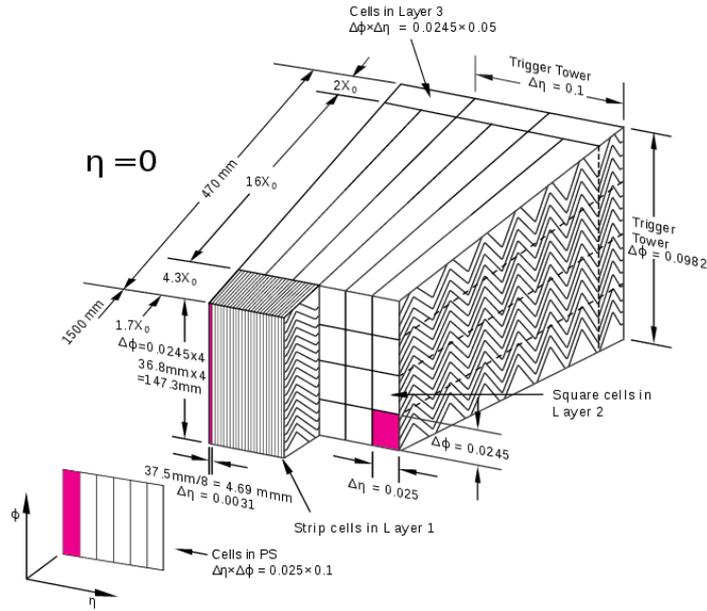


LAr-Pb EM calorimeter ($|\eta| < 3.2$):

- e/ γ trigger, identification; measurement
- $\sigma/E \sim 10\%/\sqrt{E} \oplus 0.7\%$
- Granularity: 0.025×0.025 ; $22X_0$
- 3 long. layers + presampler ($0 < |\eta| < 1.8$)
- 180×10^3 channels

- ✓ EM Barrel : ($|\eta| < 1.475$) [Pb-LAr]
- ✓ EM End-caps : $1.4 < |\eta| < 3.2$ [Pb-LAr]
- ✓ Had.End-cap: $1.5 < |\eta| < 3.2$ [Cu-LAr]
- ✓ For. Calorimeter: $3.2 < |\eta| < 4.9$ [Cu,W-Lar]

すべては $H \rightarrow \gamma\gamma$ と $4l$ を念頭に



Energy measurement

- Energy scale of **0.1%** upto 300 GeV
- Sampling term should be **< 10%**
- Constant term should be **< 1%**

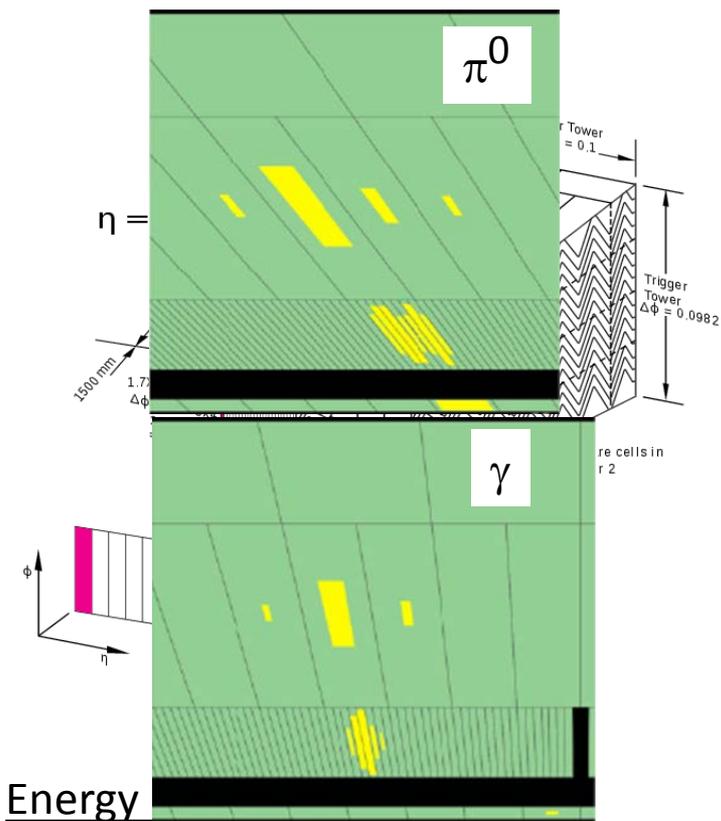
Photon/Jet separation

- Jet rejection factor of **5000**
- π^0 and photon separation

Angular resolution

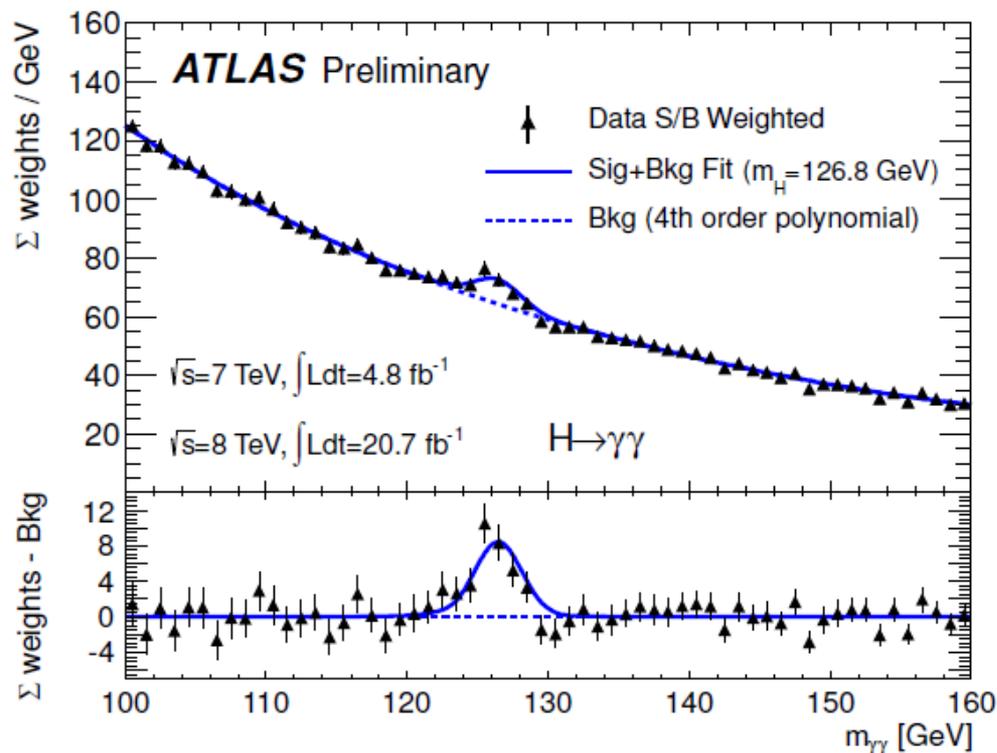
- **50 mrad** on theta
- **190,000 ch!**

すべては $H \rightarrow \gamma\gamma$ と $4l$ を念頭に



Energy

- Energy scale of **0.1%** upto 300 GeV
- Sampling term should be **< 10%**
- Constant term should be **< 1%**



Photon/Jet separation

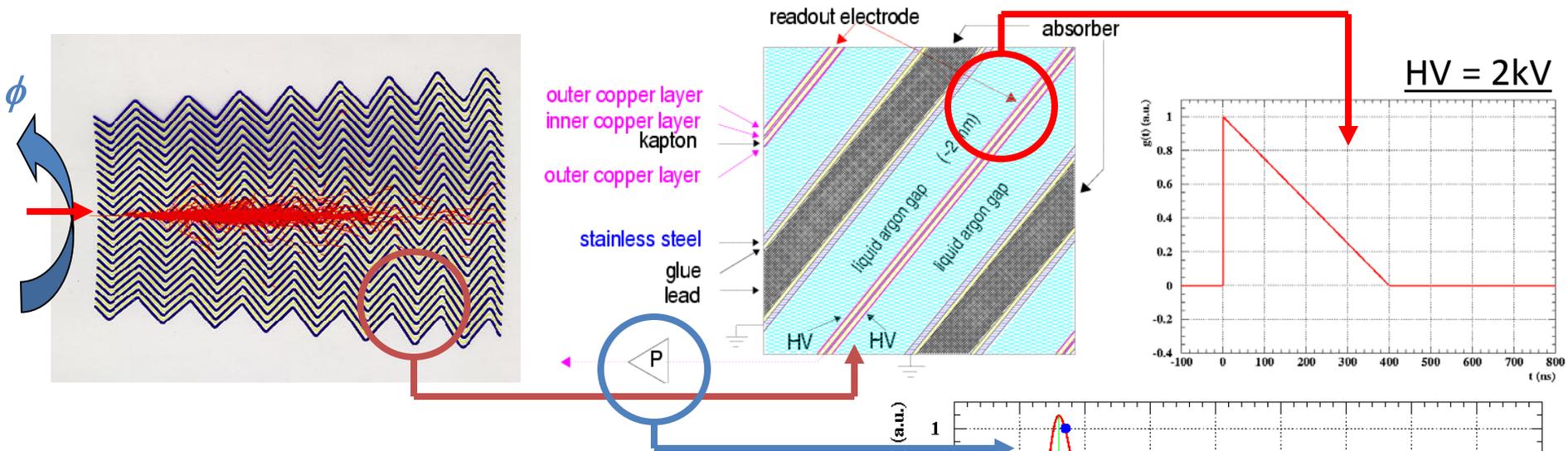
- Jet rejection factor of **5000**
- π^0 and photon separation

Angular resolution

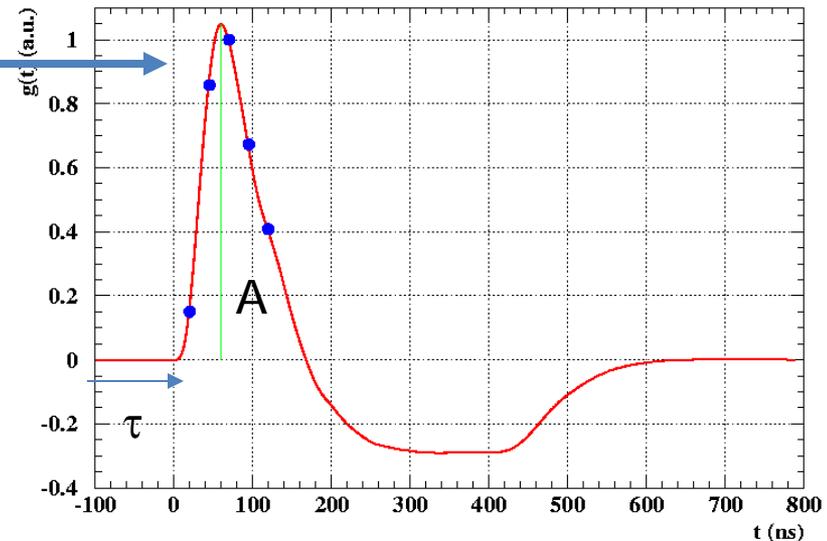
- **50 mrad** on theta
- 190,000 ch!

自然も味方し、 $M_H=125\text{GeV}$ 、発見！

セル構造と信号のshape

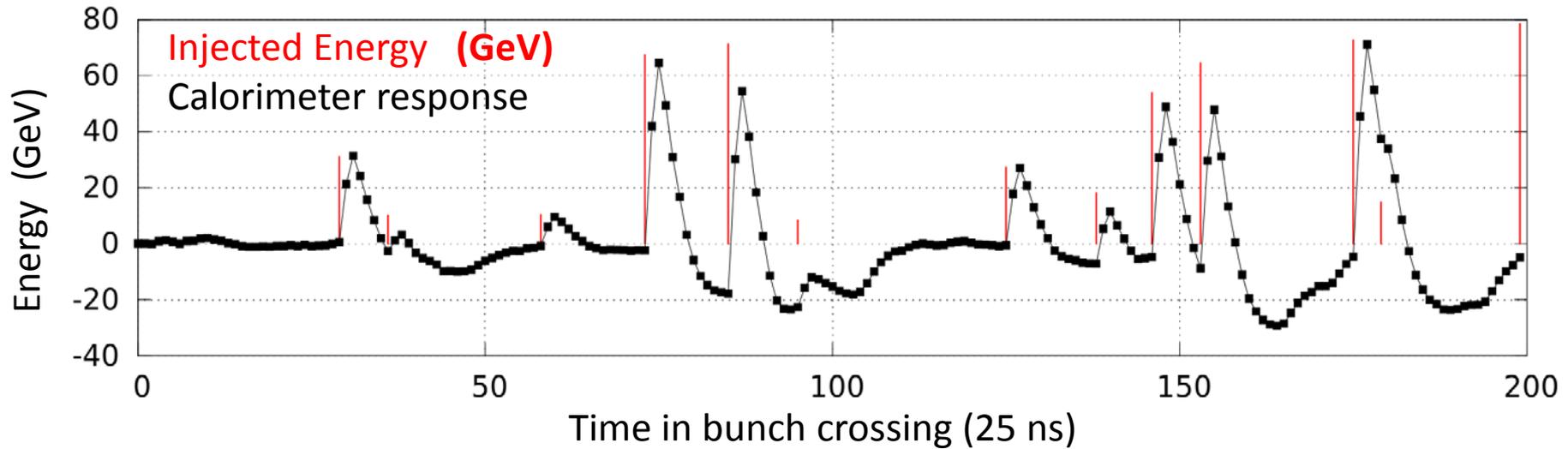


The **triangular current signal** is pre-amplified and shaped (**bipolar filter, CR-RC²**), then sampled at the LHC bunch crossing frequency (every 25 ns) and digitized



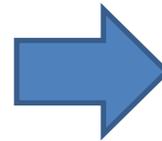
The **peak** of the ionization current is **proportional to the energy** released in LAr.

- パルスが重なり合う。



カロリメータとして

正しいエネルギーを
正しいタイミングで
測定できなければならない。
(LHCは25~50ns毎に衝突)



Phase-I(2018-19)
- Trigger upgrade
Phase-II(2023-25)
- main readout upgrade

2012年までのデータ

$\sqrt{s} = 7\sim 8 \text{ TeV}$

Bunch spacing: $BS = 50 \text{ ns}$

Luminosity: $L \sim 6 \times 10^{33} \text{ cm}^{-2} \text{ s}^{-1}$

Pileup: $\mu \sim 20$

Higgs粒子の発見

LAr Calorimeter upgrade

Phase-I (2018-2019)

トリガーエレキの増強

FrontEnd: $\sim 120 \text{ boards}$

BackEnd: $\sim 30 \text{ boards}$

channel数: 38400

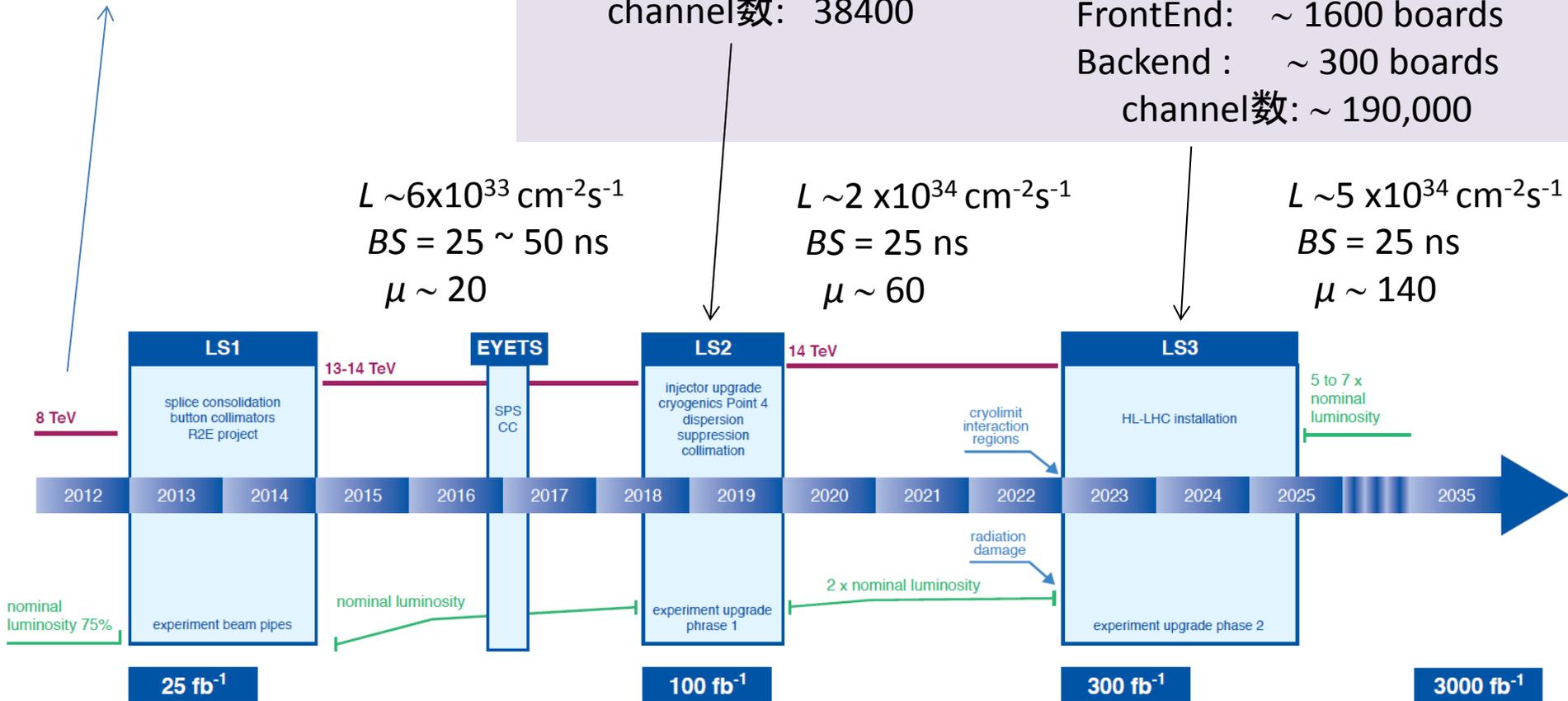
Phase-II (2023-2025)

Main readoutの総入れ替え

FrontEnd: $\sim 1600 \text{ boards}$

Backend: $\sim 300 \text{ boards}$

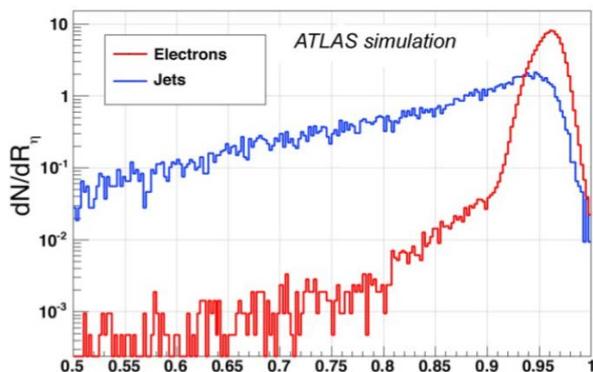
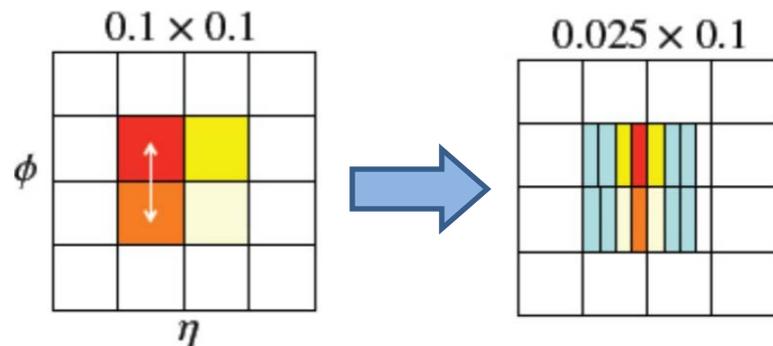
channel数: $\sim 190,000$



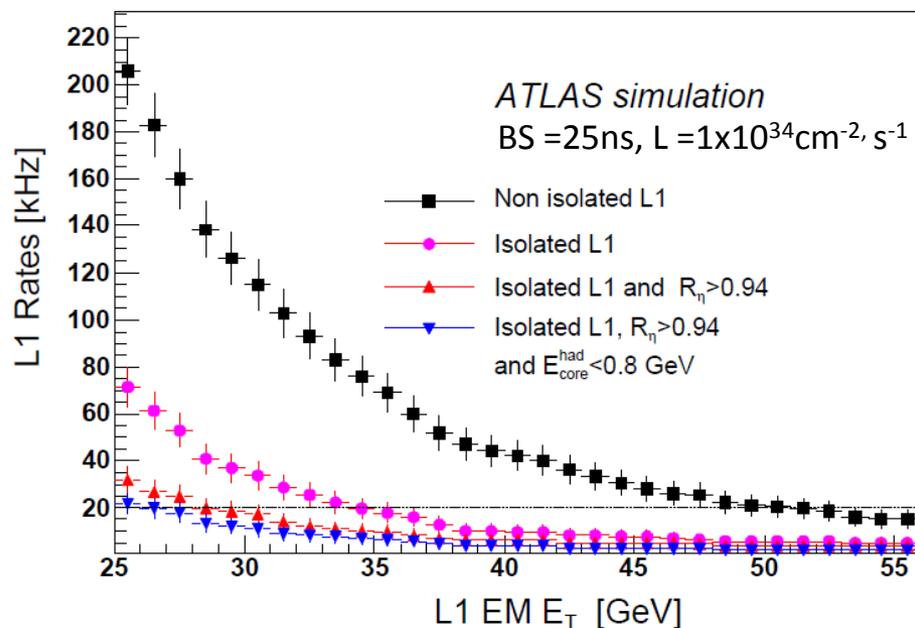
- Phase-I upgrade: トリガー読出しの増強
 - 計画概要
 - 新しいリアルタイム信号処理
 - 高速データ通信のためのテストボード
- Phase-II upgradeのプラン
- まとめ

- 現状：
 - tower size: $\phi \times \eta = 0.1 \times 0.1$
 - EM partで1つのタワー
 - アナログ信号を送っている (70m)

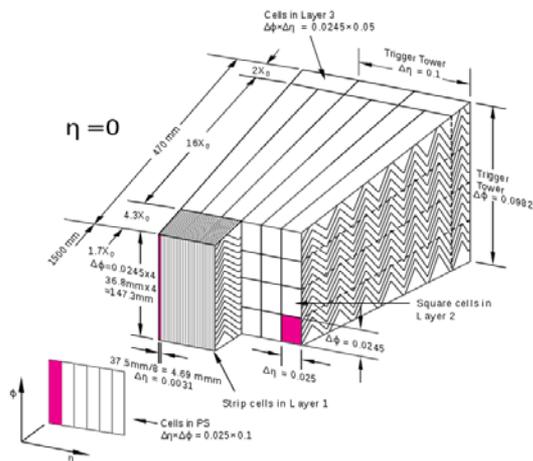
- 計画：
 - 縦方向 segment
 - Fine segment
 - 質の良い
 } Level-1 へ
 - Digitizeした情報
 - filteringアルゴリズム



$$R_{\eta} = \frac{E_{T3 \times 2}}{E_{T7 \times 2}}$$

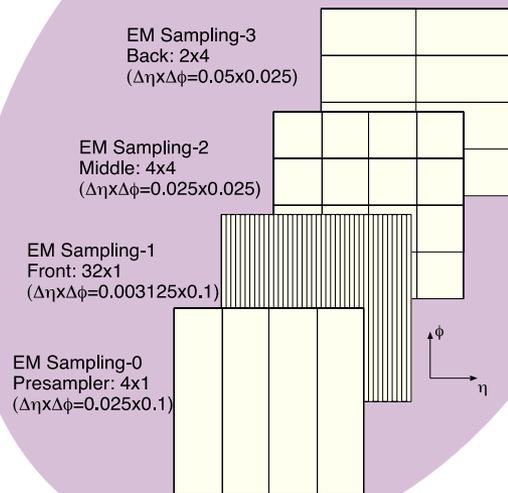


High luminosity でも $E_T > 25$ GeV のトリガー頻度を 20 kHz に抑制する。

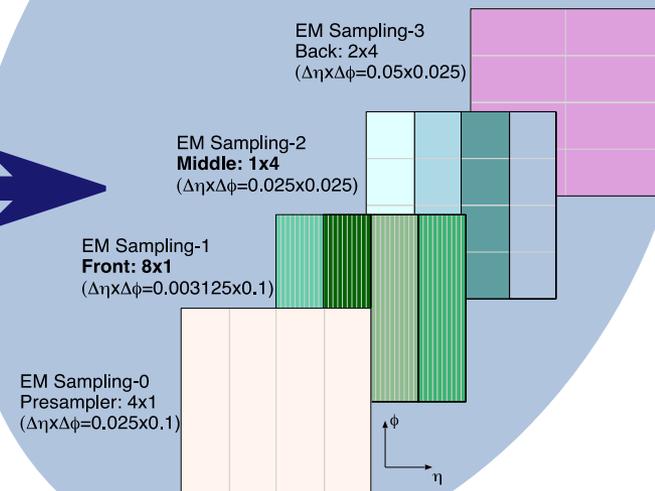


LAr EM Barrel

Trigger Tower ($\Delta\eta \times \Delta\phi = 0.1 \times 0.1$)
60 Cells in a TT



Super-Cells:
 $\Delta\eta \times \Delta\phi = 0.025 \times 0.1$ in Front, Middle
 $\Delta\eta \times \Delta\phi = 0.1 \times 0.1$ in Presampler, Back



Presampler
SC_layer=0
SC_region=0
SC_eta=0...13 [$\Delta\eta=0.1$]
SC_region=1
SC_eta=14(15) [$\Delta\eta \sim 0.1(0.12)$]
SC_phi=0...63 [$\Delta\phi=0.1$]

Front
SC_layer=1
SC_region=0
SC_eta=0...55 [$\Delta\eta=0.025$]
SC_region=1
SC_eta=56...63 [$\Delta\eta=0.025$]
SC_phi=0...63 [$\Delta\phi=0.1$]

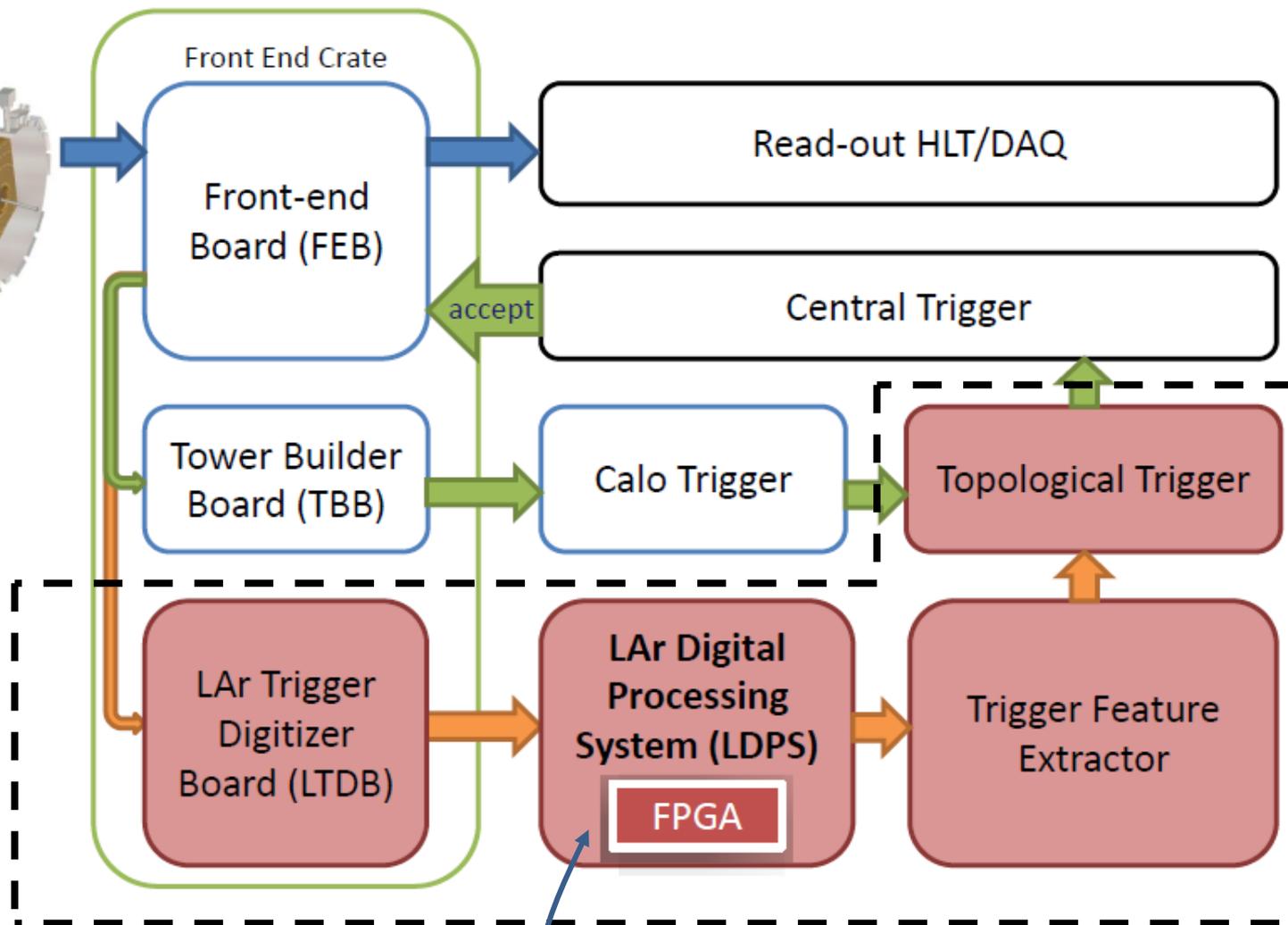
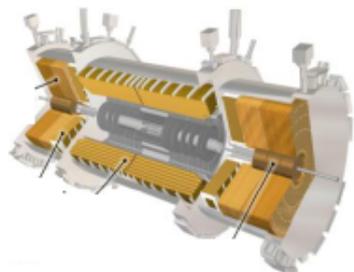
Middle
SC_layer=2
SC_region=0
SC_eta=0...55 [$\Delta\eta=0.025$]
SC_region=1
SC_eta=56 [$\Delta\eta=0.075$]
SC_phi=0...63 [$\Delta\phi=0.1$]

Back
SC_layer=3
SC_region=0
SC_eta=0...12 [$\Delta\eta=0.1$]
SC_eta=13 [$\Delta\eta \sim 0.05$]
SC_phi=0...63 [$\Delta\phi=0.1$]

セグメントの数を10倍に

0.1 x 0.1 の領域に10 Super Cell (SC)

PreSamplerから 1 SC、FrontとMiddleから4SC、Endから1 SC



2018年に新しく導入されるパート

東大はこの部分の開発をしている。

FrontEndエレクトロニクス(Phase-I upgrade)

役割：検出器からの信号をDigitize、Back-End(BE)に送る。
メインボードとMezzanineで構成

- Mezzanine
 - アナログ信号の取り扱い
 - Super Cell用にAnalog sum
- メインボード
 - ASIC (ADC)
 - 12bit, 40MHz
 - Backendへのデータ転送(5.4Gbps)

Statistics

320 Super cells / board

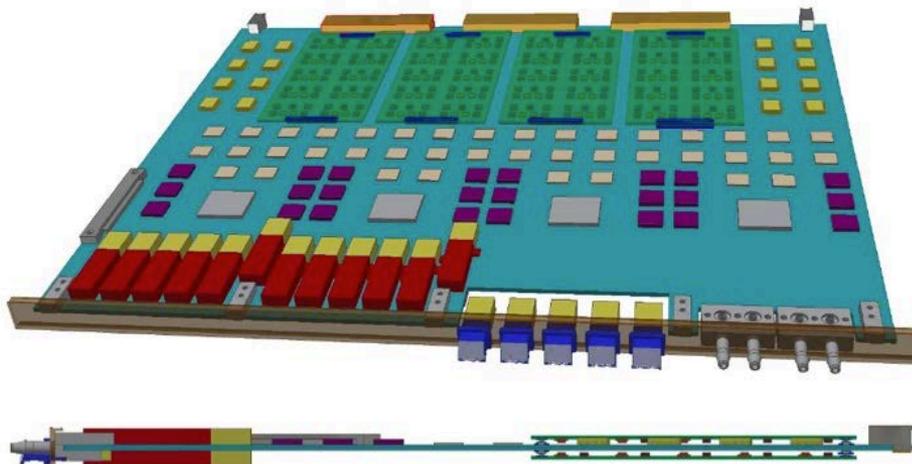
使用電力： <130W/board

メインボード： 124枚

Fiber to BE: 4 x 12 ribbon fiber

転送速度: 5 Gbps / fiber

Preliminary 3D Model of LTDB with
Analog Mezzanine



Main Contributor

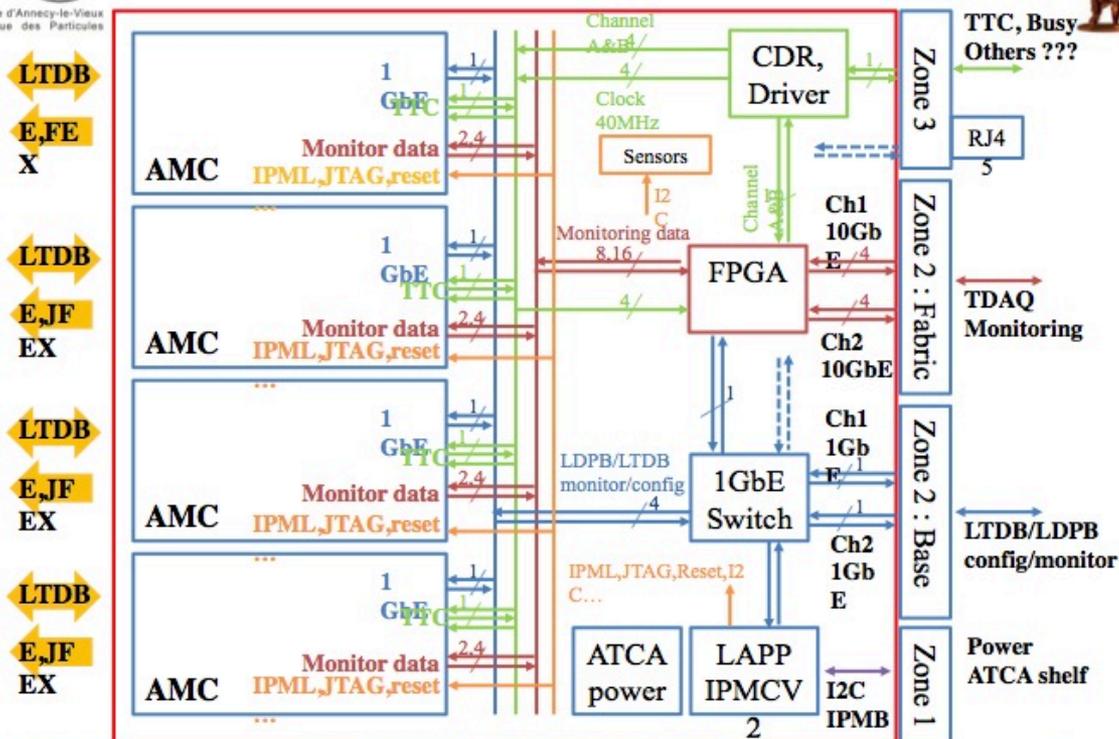
BNL, Columbia, SMU,
Pittsburg, Grenoble

役割: FrontEndからのデータを受け取り、Filteringの後、エネルギーに換算、Level-1トリガーに送る。



Laboratoire d'Annecy-le-Vieux
de Physique des Particules

LDPB Today Architecture



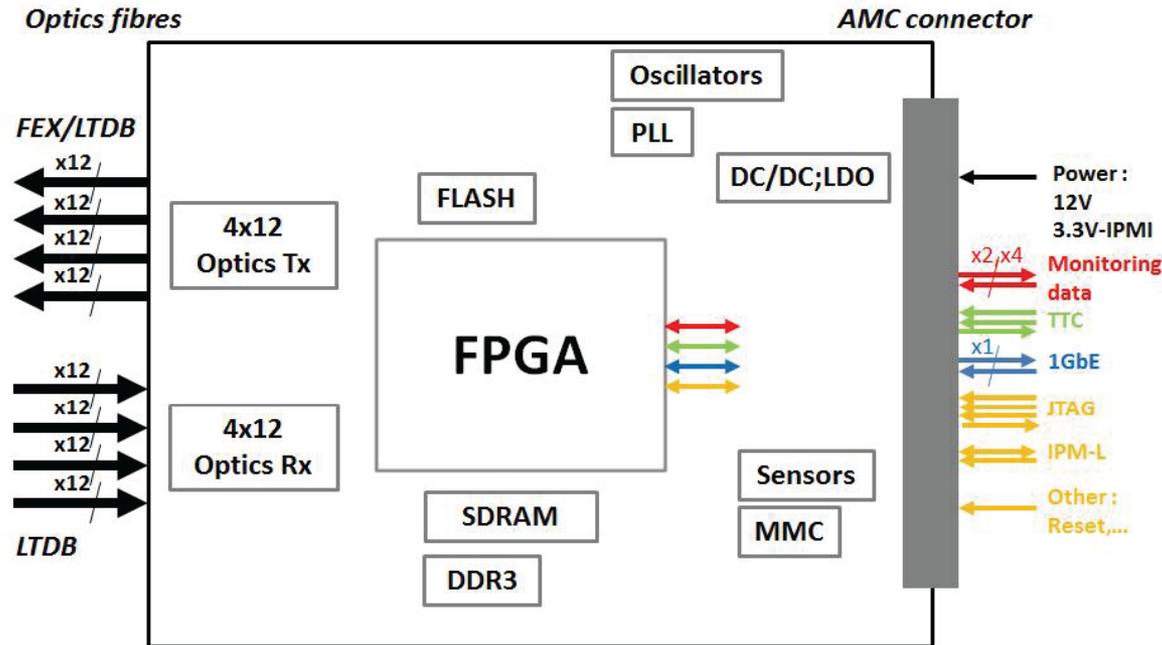
Statistics

Data flow: 24 Tbps
 - 12bit ACD, 40 MHz.
 AMC takes care 1 FE boards
 → AMC 124 枚
 Carrier board : 4 AMCs
 → total 31枚
 → ATCA crate : 3台分

Main contributor

BNL, Arizona, Stony Brook,
 CERN, Annecy, Dresden, Tokyo

A M C (Mezzanine)がBackendパートのコア



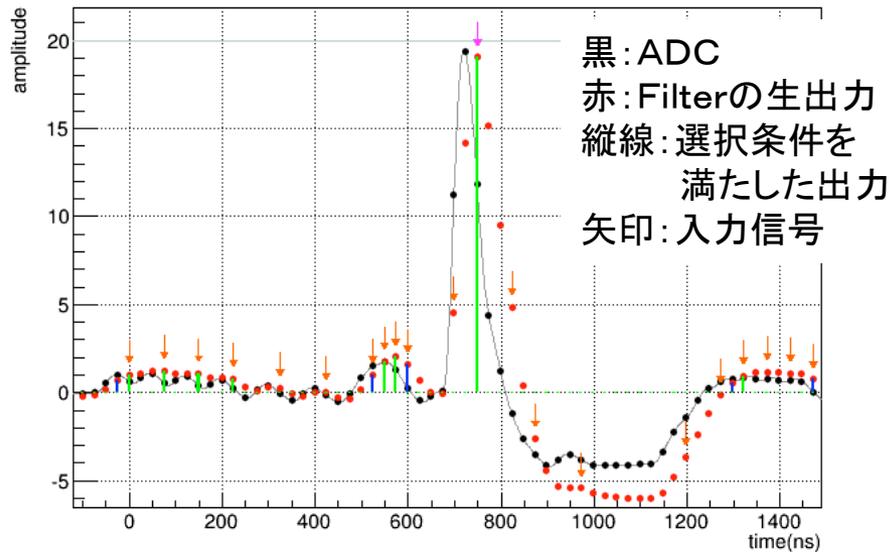
- FEからのデータ受信(RX)、トリガーへのデータ転送(TX)
 - RX: 4 x 12本のFiber, 転送速度 5Gbps/fiber (lsb=12 bits)
 - TX: 4 x 12本のFiber, 転送速度 10Gbps/fiber (lsb = 10 bits)
(L1トリガーの要請で同じ情報を6カ所以上に転送する)
- FilteringのアルゴリズムによるADCからEnergyの変換, 及びタイミング (どのバンチからの事象か) の同定

従来のフィルタ (Optimal filtering)

データ 5点 を使用

$$A = \sum_{i=1}^5 a_i S_i$$

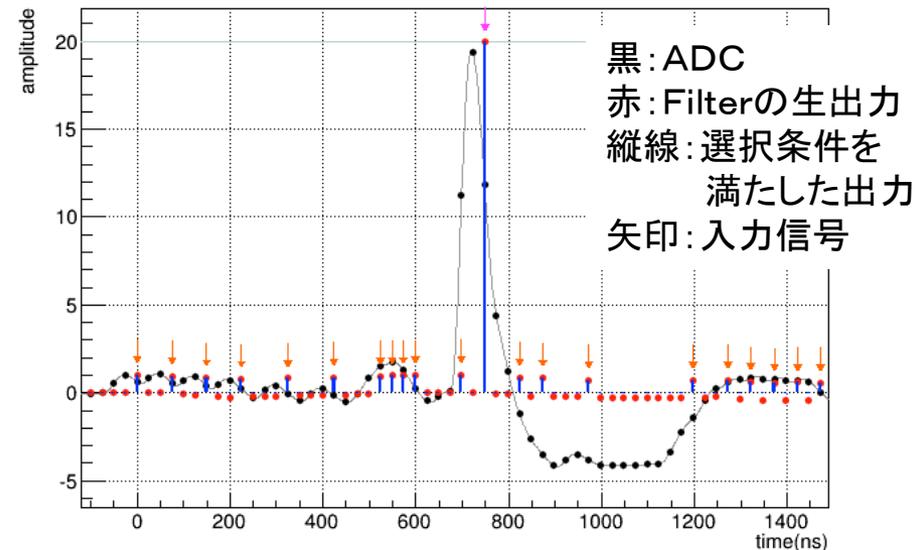
Amplitude:Time



新しいフィルタ (Inversion Filterの応用)

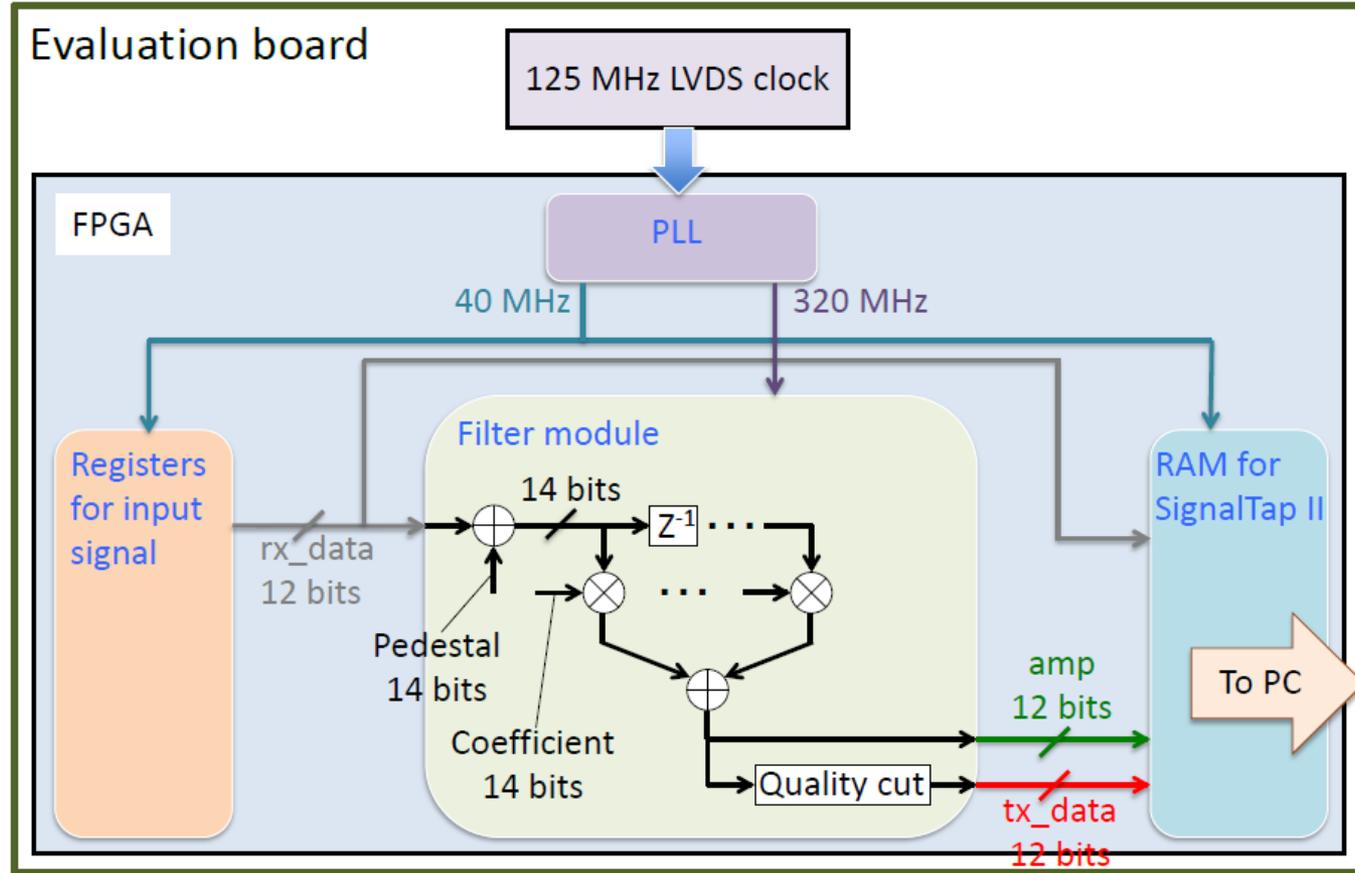
データ 32点 を使用 (Latencyは同じ)

過去に信号があることを考慮することにより、すべての信号を正しく検出できる



- Amplitude 20 (Electron) の信号と Amplitude 1 (pileup) の信号を生成
- 従来のフィルタでは検出できない信号 (pile up に対して効率 33%) も新しいフィルタではほぼ 100% 検出できる
- エネルギー分解能も格段に向上 (5倍程度)

新しいアルゴリズムが使用可能か？ → 評価ボードで比較。



- XilinxとAlteraの両方で試した

ツール: ISE design suite 14.4

言語: Verilog HDL

FPGA: Virtex-7 XC7VX485T-2FFG1761
(Xilinx VC707 評価ボード)

ツール: Quartus II v14.0

言語: Verilog HDL

FPGA: Arria V GX 5AGXFB3H4F35C4N
(Altera Arria V 評価ボード)

- 1 cell, 4 cell, 8 cell分のFilteringアルゴリズムを実際に実装

Resource	Optimal Filter			New Filter		
	1 cell	4 cells	8cells	1 cell	4 cells	8 cells
Logic utilization (in ALMs)	257	931	1,956	231	844	1,708
Total registers	532	1,967	4,100	432	1,607	3,282
Total block memory bits	0	0	0	0	0	0
Total DSP Blocks	1	4	8	3	12	24

- 8 Cell分を320Cell(1 AMC分)にスケール

Resource	Optimal Filter	New Filter	TDR requirement
Logic utilization (in ALMs) (10^3)	78	68	330
Total registers (10^3)	164	131	1,300
Total DSP Blocks	320	960	1,518

予定されているFPGA: Altera Arria10のリソースで充分足りる事を確認

- Xilinxで開発を始めたが、実機はAlteraで作ることが決まった

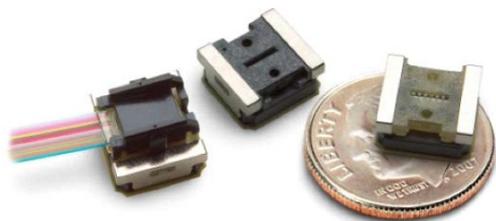
Xilinx		Resource	Optimal Filter	New Filter
		Slice LUTs	2,882	2,613
		Slice Registers	2,636	3,216
		DSP *1	8	40
		Block RAM (kbits)	144	144
Altera		Resource	Optimal Filter	New Filter
		Logic utilization in LEs (in ALMs) *2	5,183 (1,956)	4,526 (1,708)
		Total registers	4,100	3,282
		DSP *1	8	24
		Block RAM	0	0

リソースのカウンターの仕方が事なるので、直接比較はできない。
OFとNew Filterの関係は両方とも同程度。

- KEK・OpenITにて開発する
 - 池野さんと内田さんの指導の下
 - <http://openit.kek.jp/project/atlas-emcalo-readout-rd/index.html>
- MicroPODを用いた大量・高速通信（10 Gbps/fiber）のテスト
- FPGA及び周辺素子（メモリー等）の実装のノウハウ

PCB基板:12層
(三菱ガス化学
CCL-EL230-T)

MicroPOD (Avago社)



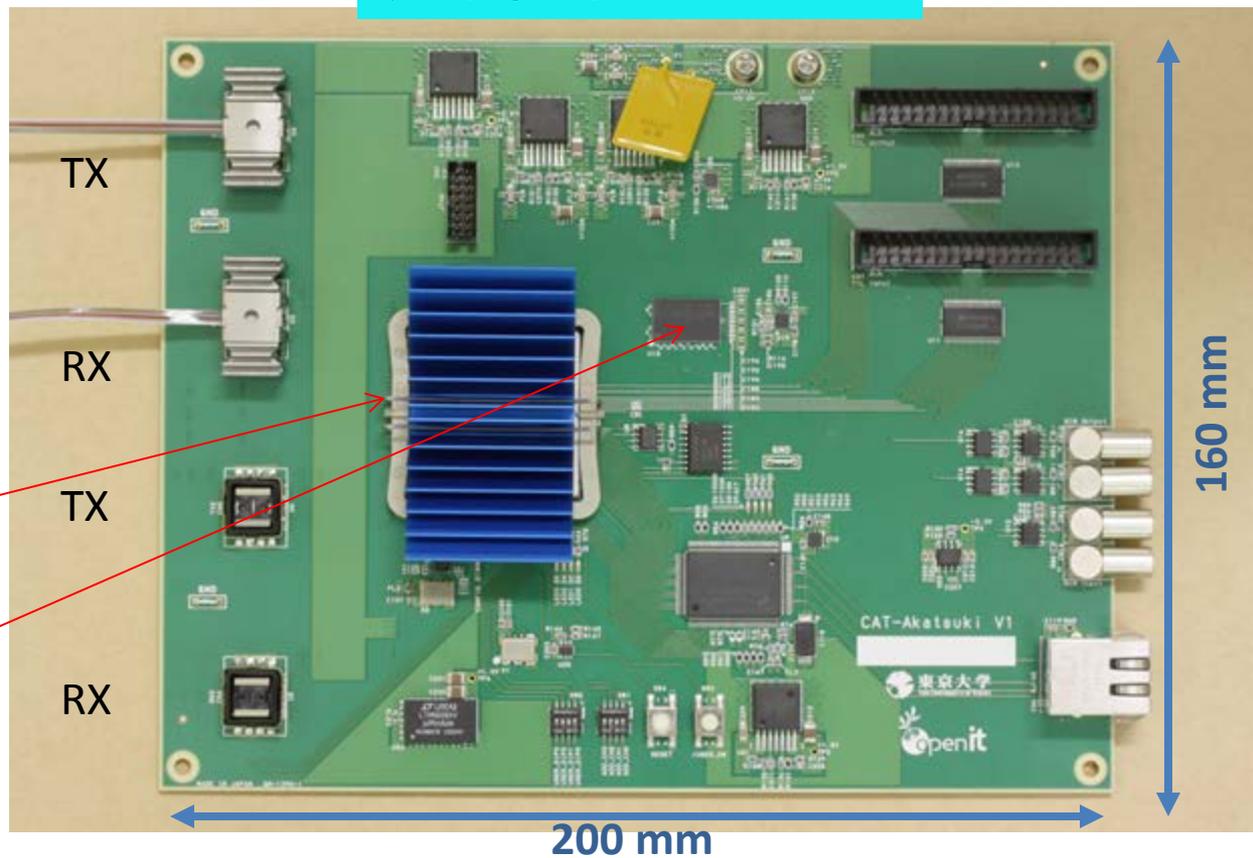
12チャンネルのRX/TX素子
最大14 Gbpsを150m飛ばせる
7.8mm × 8.2mm × 3.9mm
(高密度フットプリント)

FPGA:

Kintex-7のHigh-end
(XC7K480T-2FFG1156C)

DDR3

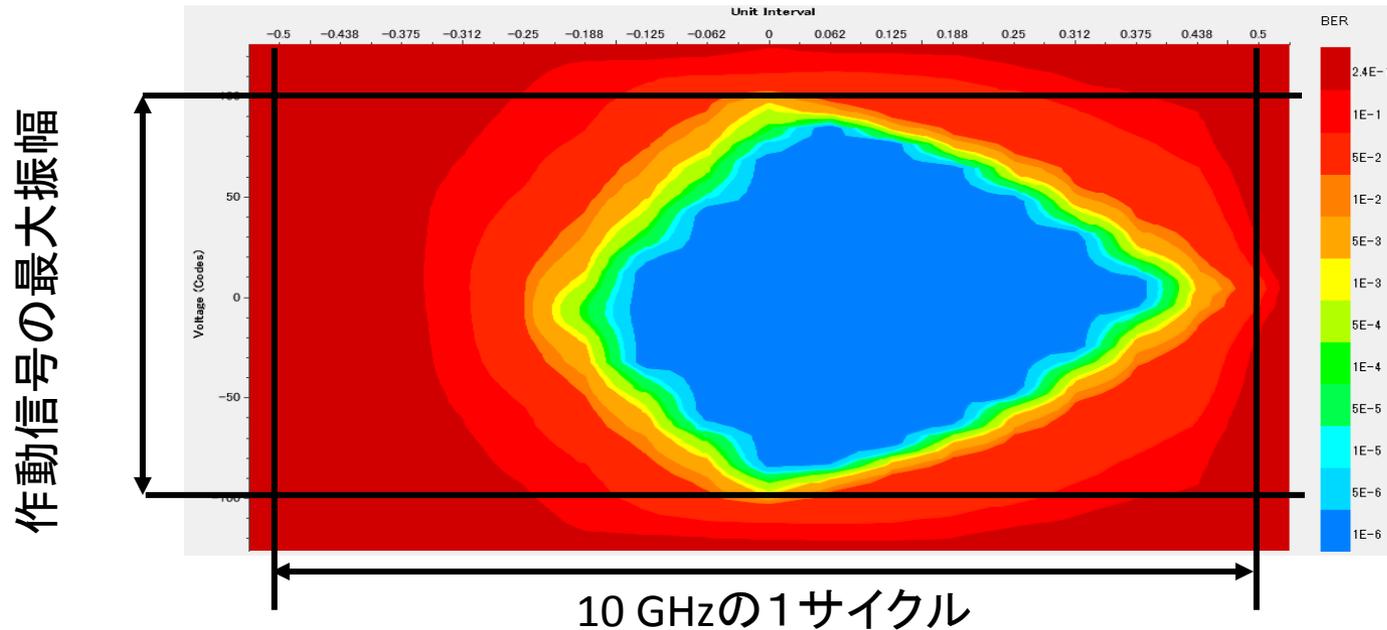
テストボード: CAT-Akatsuki



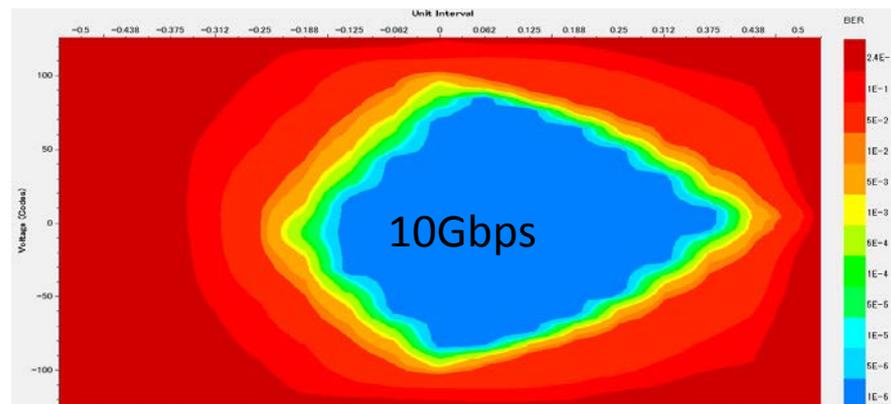
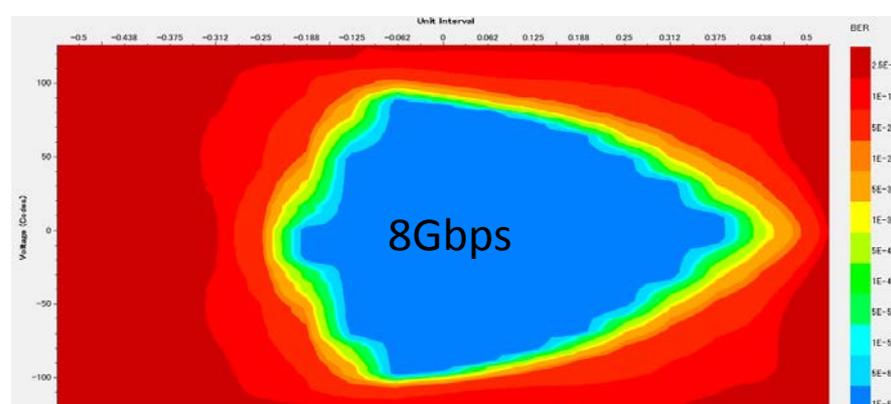
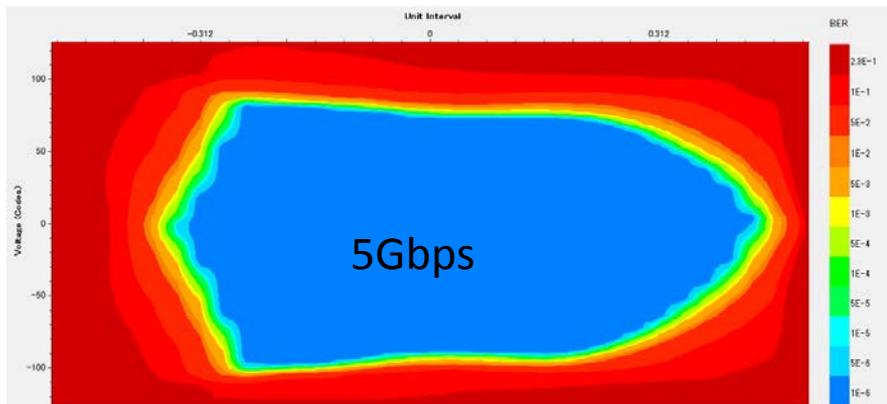
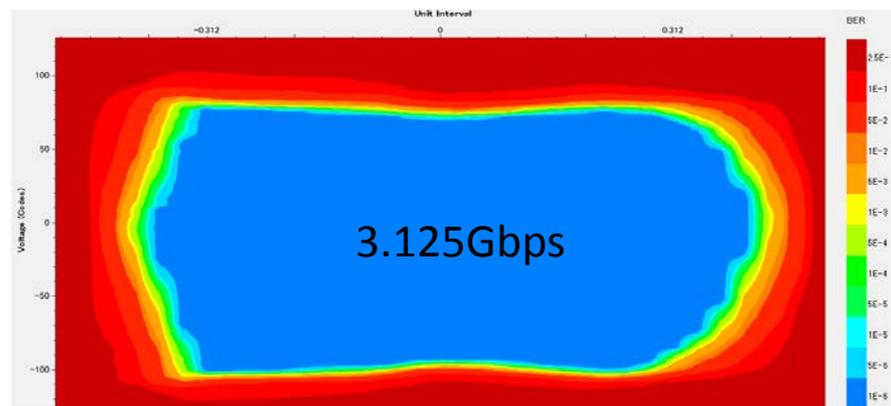
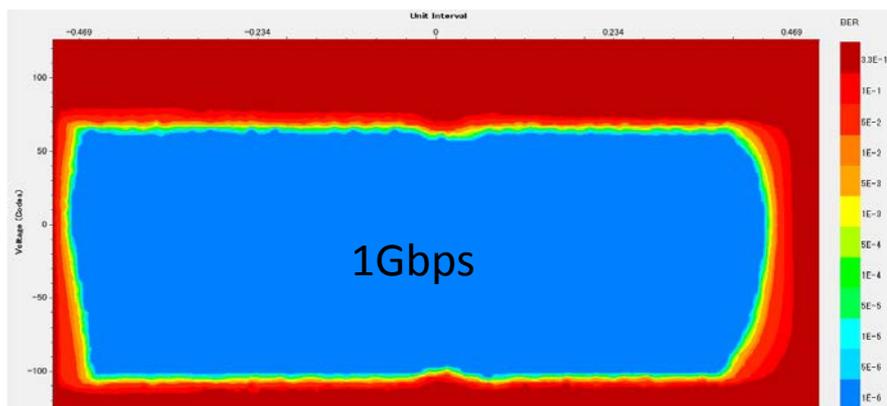
- 予期せぬ事態も発生し、2台作成
 - 電源の使い方を学びました。。。
- 10月からRestart
 - 簡単な修正後、すべての素子の基本動作を確認。
 - MicroPODを用いた高速通信のテスト
 - Xilinx IBERTを使用
 - 結果が出始めた所でまだ消化不良。ご容赦ください。

IBERTによる高速通信テスト

- vivado 2014.2のIBERTを使用。
 - このIBERT(3.0)はchipscopeに非対応なので、vivadoのHardware Managerで代用。
- TX/RXのMicroPOD 1対でのテスト
 - 10Gbps で通信可能を確認

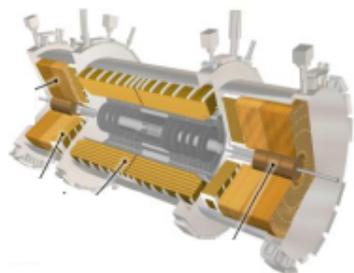


- 通信速度1.0,3.125, 5.0, 8.0, 10 GbpsにおいてEYE diagramを作成



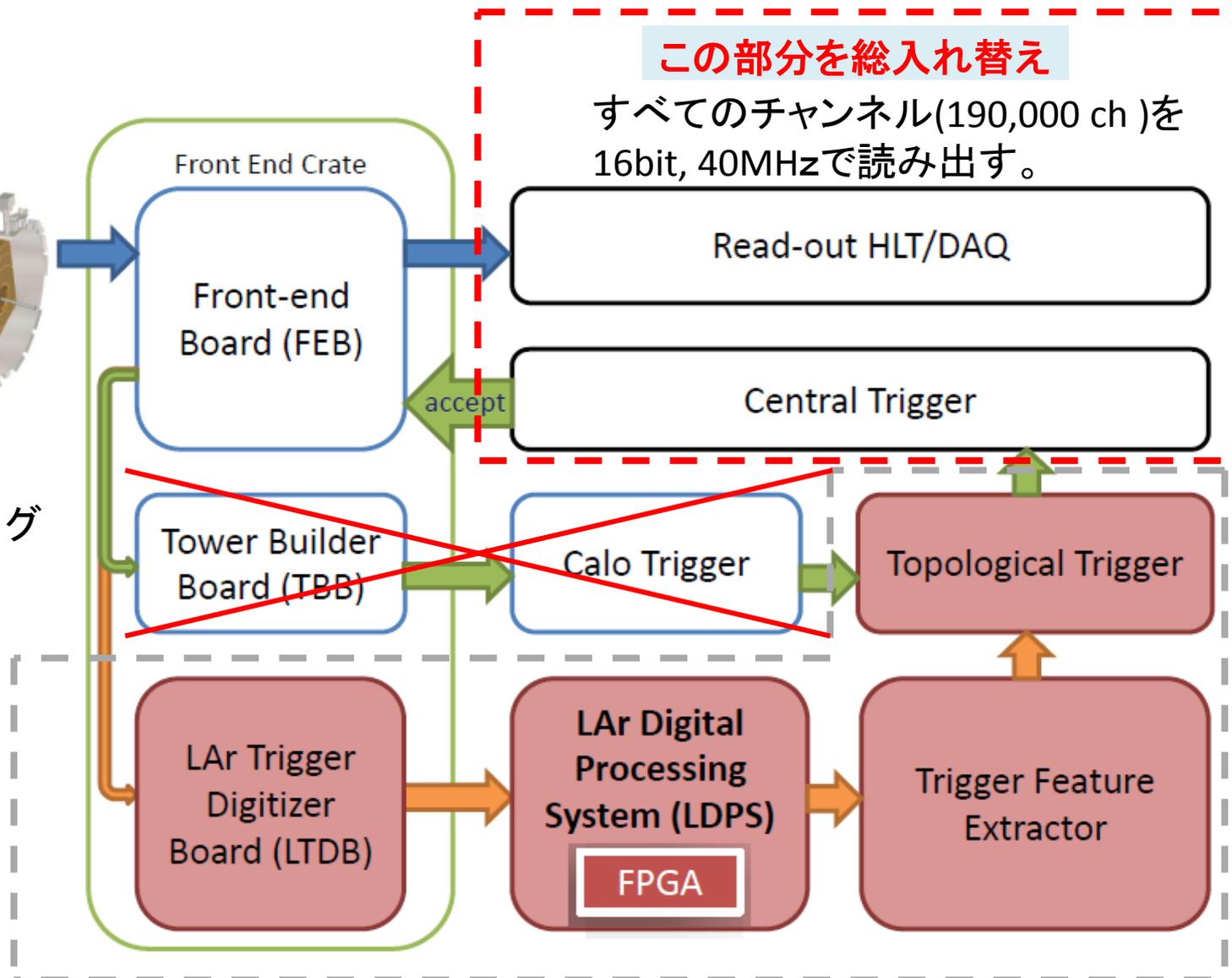
- すべてのラインで同様の傾向
 - MicroPOD2対、24ライン
 - FPGAの内部ループバックはかなりきれい
- その他の問題点
 - 2対同時では動作せず。原因究明中

- テストボードの評価を続行、できる限りのことを試す。
 - 10 Gbpsの通信は出来ているが、問題点は少ない。
- Phase-Iの構想
 - MicroPOD4対をAMCのサイズに入れ込む事が必要
 - AMC: 74.5 mm x 156 mm (テストボード: 160 mm x 200 mm)
- 次はどこまでできるか。
 - テスト結果を踏まえ、判断
 - フランスとの協力関係からFPGAはAlteraにせざるを得ない状況

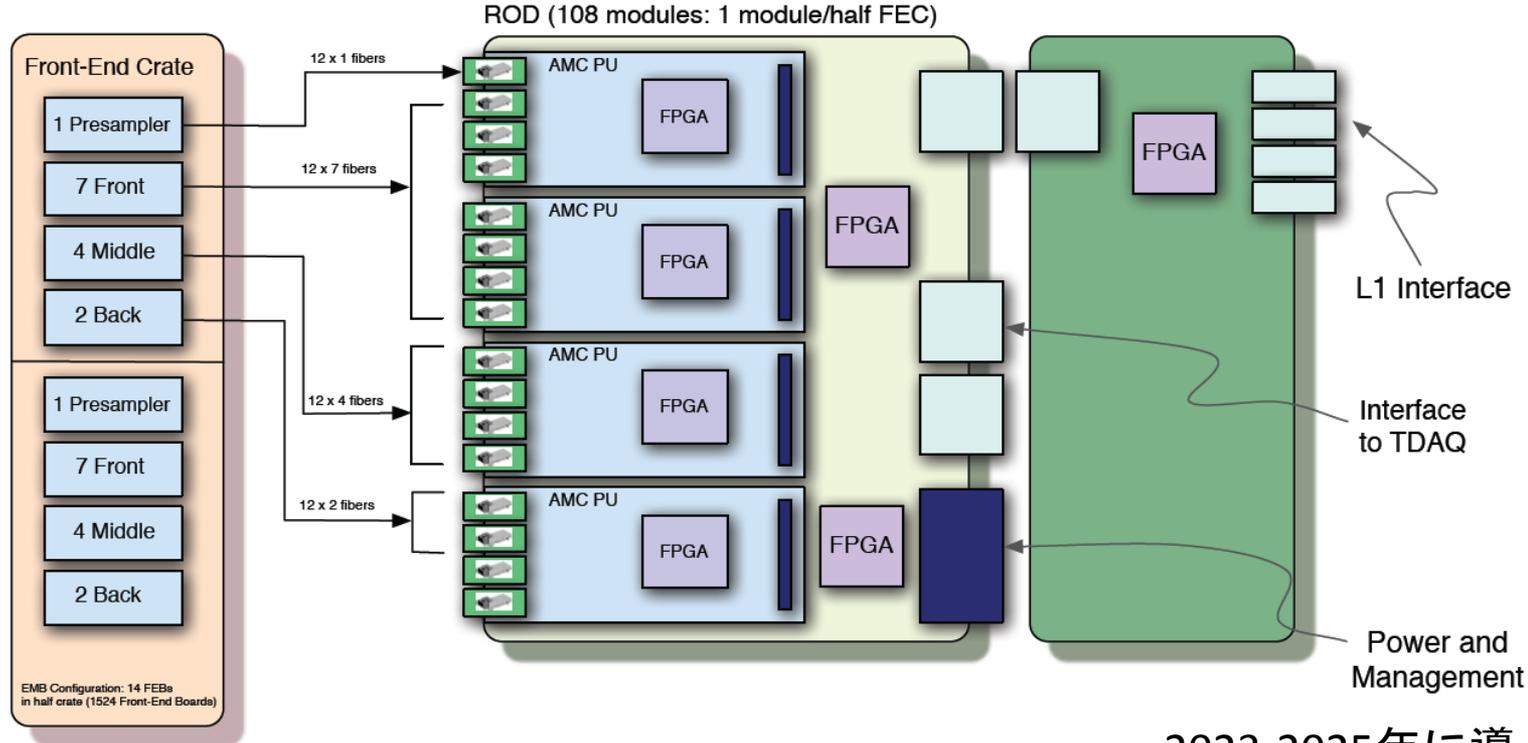


トリガー用アナログラインは撤去

このラインは Level-0として使用



2018年に新しく導入されるパート

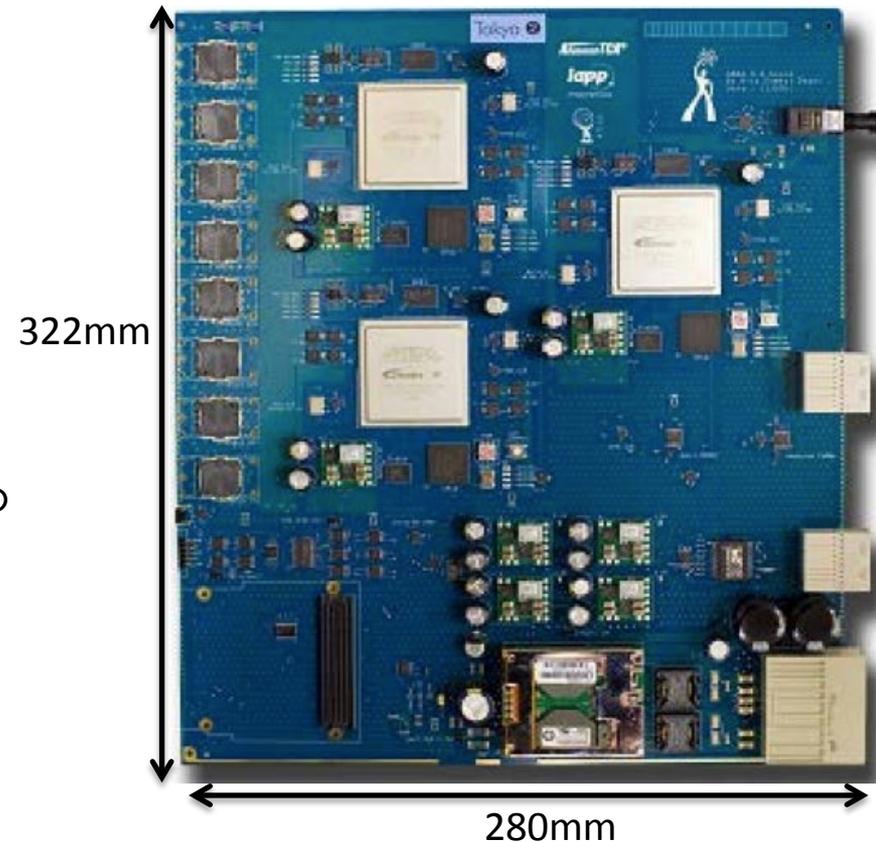


2023-2025年に導入予定

- Phase-I用エレキと似たような構造
 - 1 ATCA bladeに4枚のAMC、MicroPOD RX4基
 - 1 MicroPODあたり16 bits x 128 channel x 40MHz
 - RTMを通してLevel-1へデータ通信
 - ATCAのFabric backplane+ switch bladeでデータ取得パスを確保
- AMCでの高速通信+リアルタイム信号処理が肝心
→ Phase-Iの開発の延長線上にある。

- Demonstrator board
 - 今年の8月に導入完了
 - ATCAに準拠したボード
 - AMC一つ分のfunctionality
 - Run-IIで実際にデータを見る。
- ボードの製作
 - 株式会社PWCに依頼
 - 高速通信に必要な技術を保有
 - 開発等の要求にも対応してくれる
- 現状
 - テスト環境の構築
 - IPBusを用いたデータ転送
 - ATCAを用いたシステム開発
 - Firmware開発
 - デジタル信号処理のテスト
 - モニタリング等の機能
 - TTC(トリガ)パケットの取り扱い

Demonstrator board
(Designed by Anecy)



- PCB material

Requirement: Low Dielectric constant, $\sim 3 @ 10 \text{ GHz}$

- Original board: Nelco N4000-13 EP SI

- Dielectric constant: 3.4 @ 1 GHz, 3.2 @ 2.5 GHz , 3.2 @ 10 GHz

- Tokyo's board : Panasonic Megtron 6

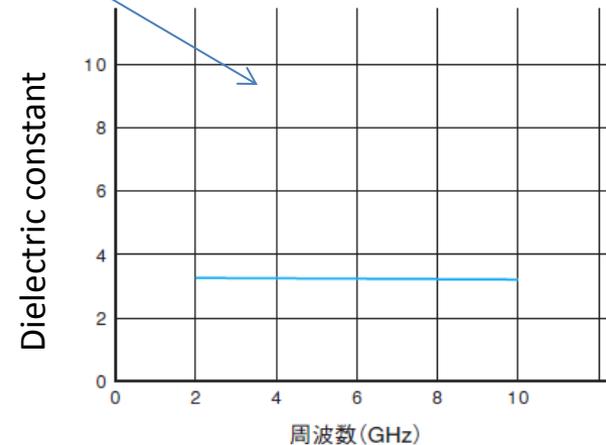
The original one is rare and expensive in Japan

Decided to use this one.

- Thickness of each layer

- Need to be adjusted to have proper differential impedance (100 ohm)

- Detail numbers are in next page



PWBという会社

- PCBボードの製作からアセンブリまですべて1社で行っている。
 - 特殊なボード製作を行ってくれる。
 - 今回の高速通信に耐える特殊なPCB材料を取り扱いに必要な技術を保有。
- Avago社の代理店契約締結。MicroPODを購入する時はここから

PCB材料の洗浄



各layerのプリント



穴開け後・メッキ処理



PCBボード完成



黒化後



導通チェック



素子載せ



半田の窯焼き



完成！



まとめ

- ATLAS LAr カロリメータの読出しのアップグレードの開発を行っている。
 - 検出器は触らない。読出しでLHCの高輝度化に伴う性能劣化を限りなくゼロにする。
 - Phase-I(2018-19)でトリガー読出し能力増強
 - Phase-II(2023-25)でメインの総入れ替え } を予定。
- 開発のポイントは
 - リアルタイム信号処理によりLHC高輝度化にともなうパイルアップをできる限り抑制することにより、
 - 事象発生タイミングの同定性能
 - 高いエネルギー分解能 } の維持にある。
- 具体的には
 - Avago社のMicroPODによる高密度・高速通信の実現
 - 新しいリアルタイム信号処理のFPGAへの実装にむけた研究開発を行っている。
 - Phase-IIの開発はPhase-Iの延長線上にある。
 - 大実験の中でいろいろな都合に揉まれながらの開発

B a c k u p

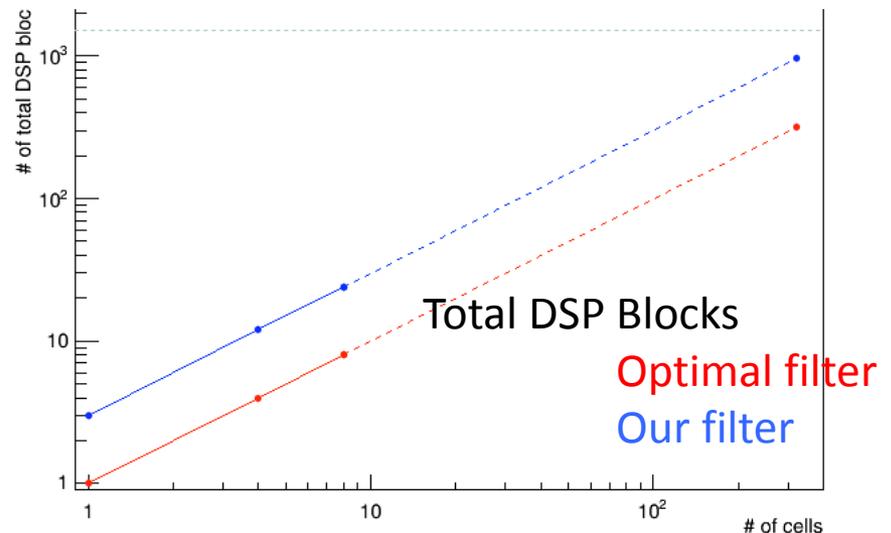
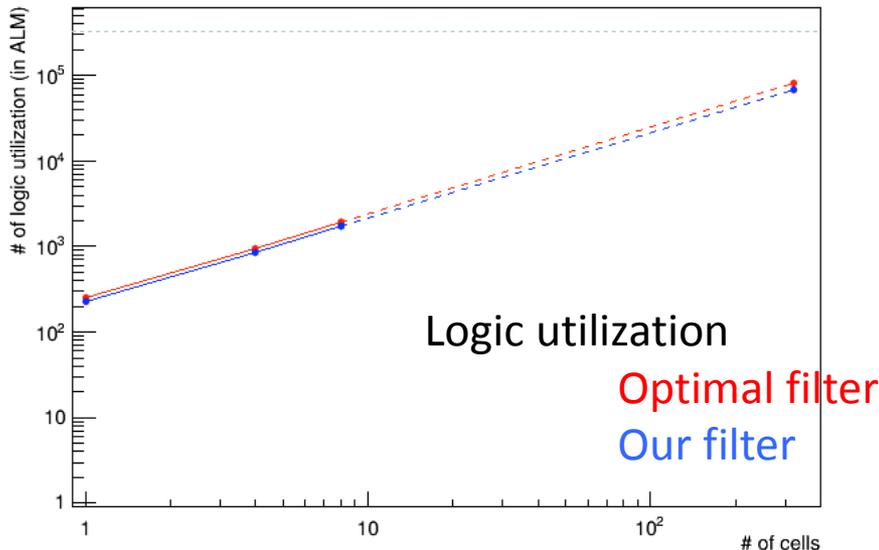
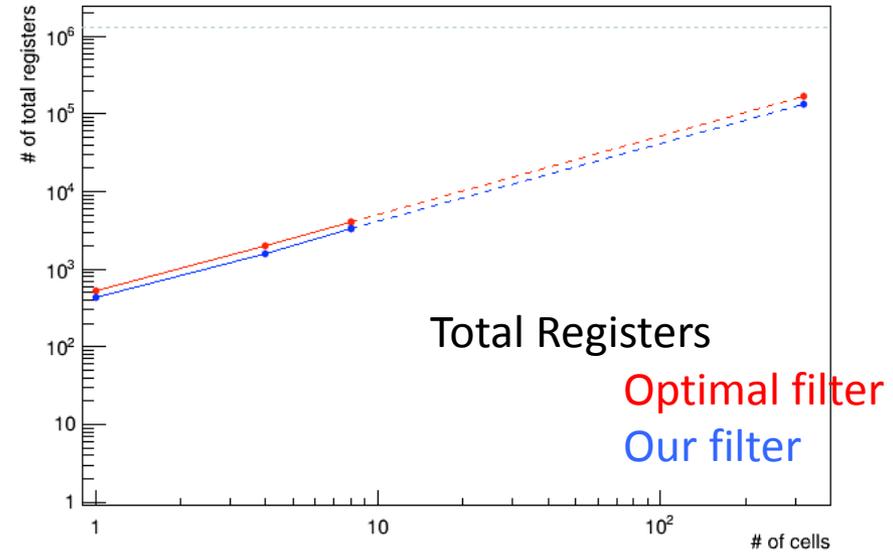
L1までの時間は？ (Latency)

Table 1: Latency estimates (in units of BC) for a LTDB - LDPS system up to entry into FEX. Elements in the table which have been calculated (not measured) are shown in *italics*

	BCs	Sub Total	Total	
Time-of-flight to endcap at eta = 2	0.6			
Cable to pulse preamplifier	1.2			
Pulse preamplifier and shaper	0.4			
		2.2	2.2	
<i>Digitization on LTDB</i>	<i>8</i>			} Front-End 11x25ns = 275 ns
<i>Multiplexing on LTDB</i>	<i>1</i>			
<i>Serializer on LTDB</i>	<i>2</i>			
Optical cable (70 m) from LTDB to LDPS	14			
		25	27.2	
Deserializer on LDPS	2			} Back-End 14x25ns = 350 ns
Channel demultiplexing on LDPS	1			
Pedestal subtraction	1			
E, t, Q, N-tap FIR, BCID Calculations	5			
<i>Digital summation</i>	<i>2</i>			
<i>Multiplexing on LDPS</i>	<i>1</i>			
Serializer on LDPS	2			
Optical cable (15 m) from LDPS to e-jFEX	3			
		17	44.2	

転送時間を除くと FE:275ns, BE:350ns

These graphs are made from the data in 1RX/1TX, 4RX/4TX and 8RX/8TX. (These values include the resource for testing environment.)
 The value in 320 cells is just expected from that in smaller cells.
 Green lines express available resources Arria 10 GX 900 series.



● 現状使われているアルゴリズム

入射信号は、常にある決まった波形 をスケール倍した以下の式で表せると仮定

$$S_i = Ag(t_i - \tau)$$

このときの信号の振幅(ピーク値)と入射時刻 を求めたい

Optimal filter

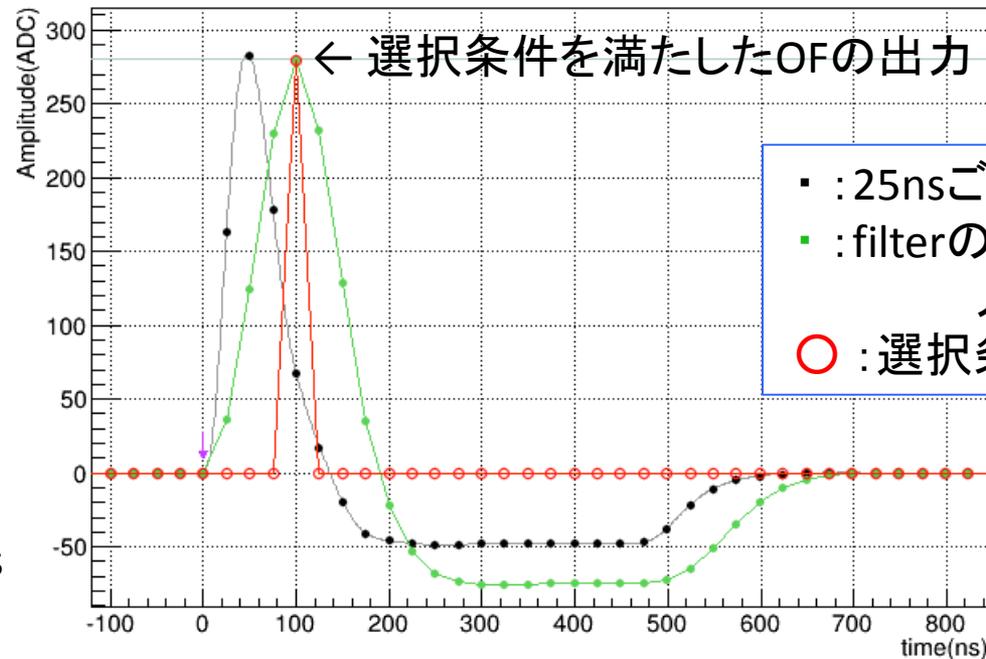
$$A = \sum_{i=1}^5 a_i S_i$$

選択条件

$$|S - A| < \frac{S}{4}$$

要求

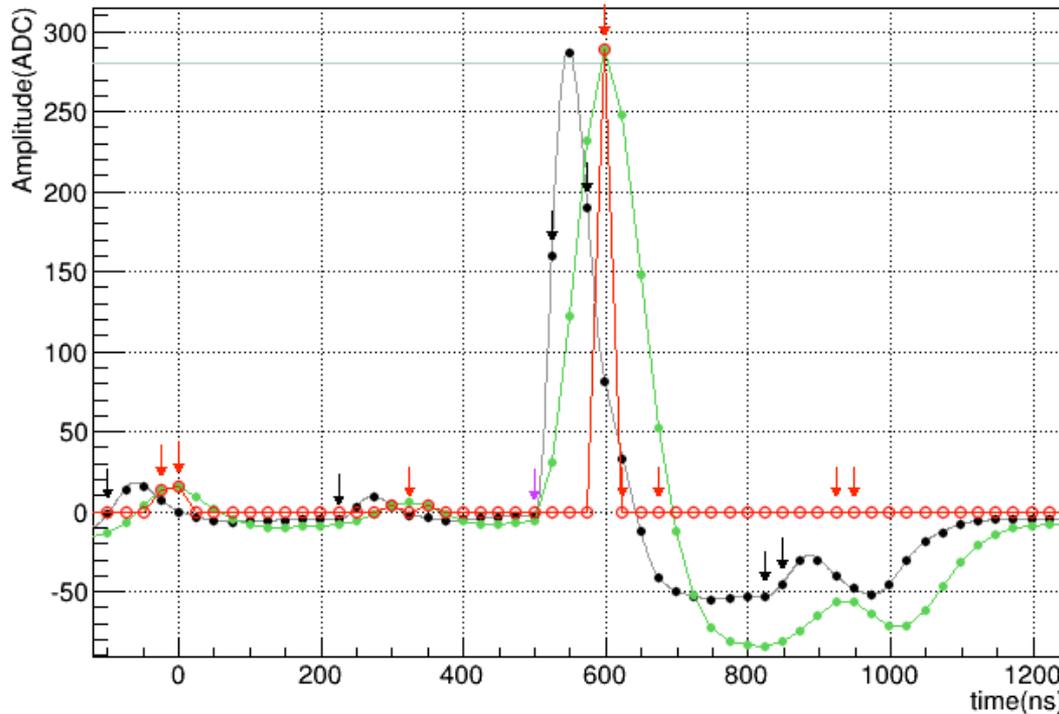
レイテンシ 125ns



0nsに280ADC (= 35GeV (1ADC = 125MeV))の信号を入射

選択条件を課すことで、ある入射粒子による信号波形は1つのエネルギー値を返す

- 現状使われているアルゴリズム



$\mu=140, 0.025 \times 0.025 \rightarrow 0.2$
 電子(Z由来): 約35GeV
 パイルアップ: 1~3GeV

↓: 信号(280ADC)の入力時刻
 ↓: 信号(14ADC)の入力時刻
 ↓: 計算値の正しい出力時刻

■ : 25nsごとのサンプリング
 ■ : filterの出力(4BC前に
 入射した信号の振幅)
 ○ : 選択条件を満たした値

- 前後の小さな信号によって、大きな信号のエネルギー再構成の精度が下がる
- 小さな信号の再構成の精度は悪く、ほとんど選択条件を満たさない

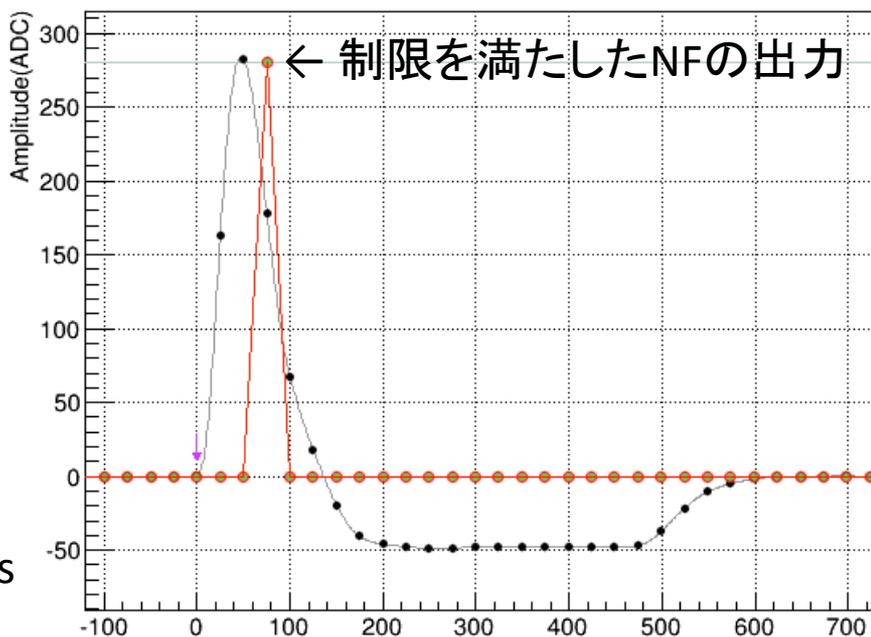
● Inversion Filterの応用

サンプリング値は過去に入射した信号の線形和であることを利用する
逆行列演算で得た係数を用いて32サンプリングを足し合わせることで振幅を求める
(そのうち4サンプリングは信号入射後に取得)

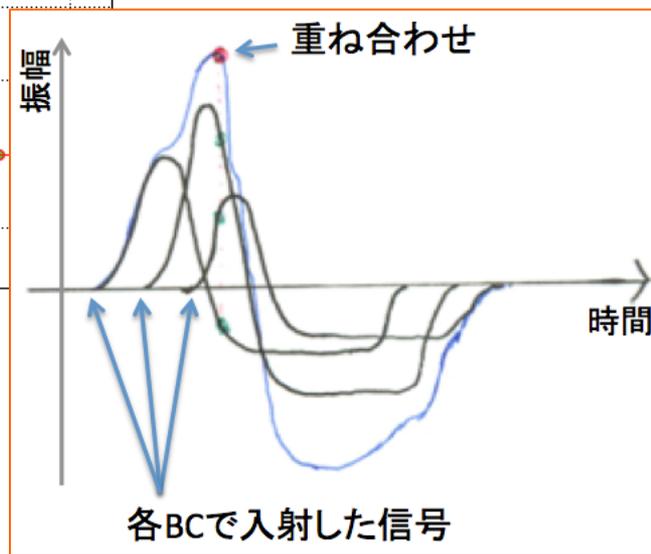
$$A = \sum_{k=1}^{32} G_k^{-1} S_k$$

$$A > 0$$

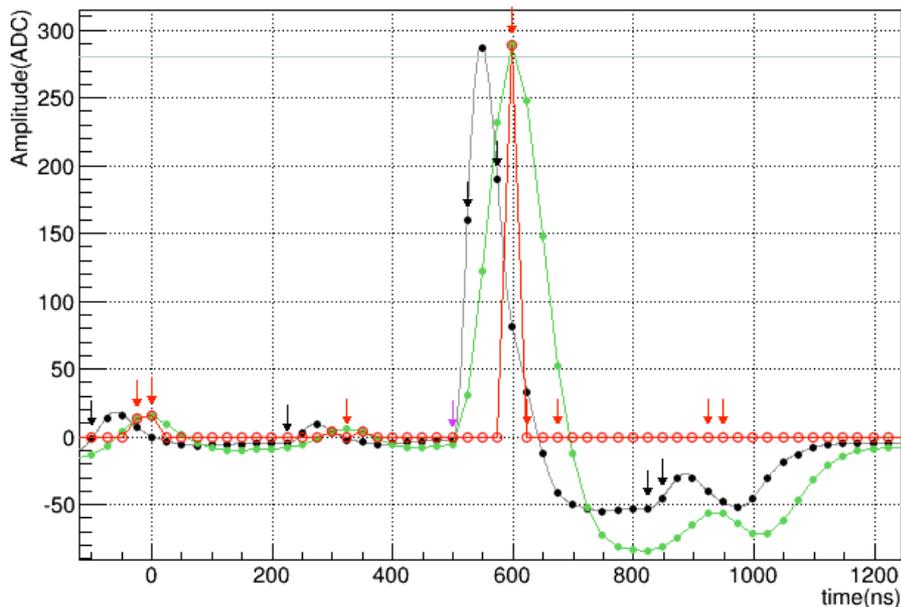
要求
レイテンシ 125ns



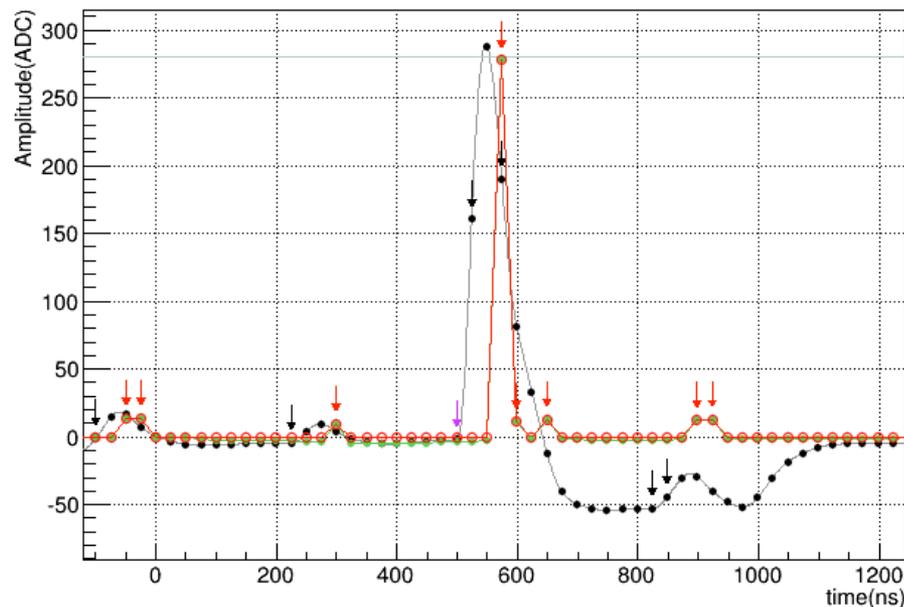
- : 25nsごとのサンプリング
- : filterの出力(3BC前に入射した信号の振幅)
- : 制限を満たした値



Optimal filter



New filter



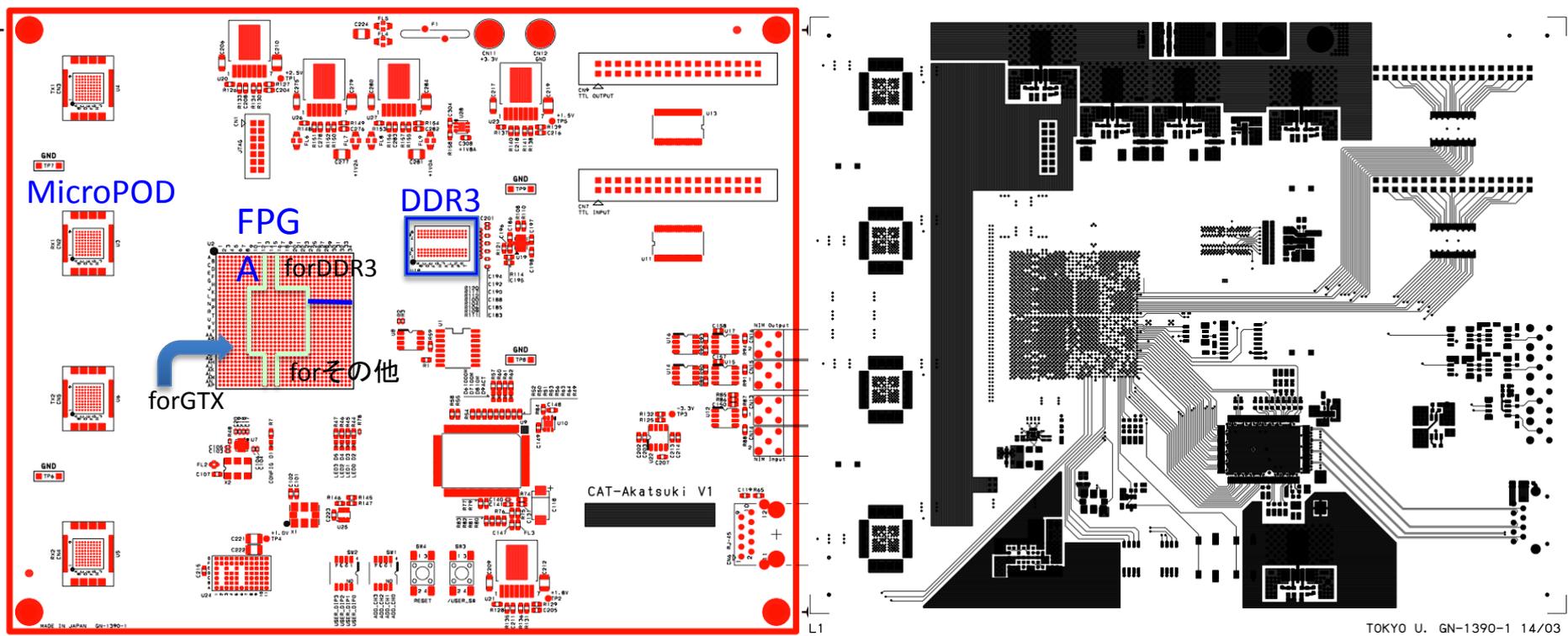
- : 25nsごとのサンプリング
- : filterの出力(4BC前に入射した信号の振幅)
- : 選択条件/制限を満たした値

- ↓: 信号(280ADC)の入力時刻
- ↓: 信号(14ADC)の入力時刻
- ↓: 計算値の正しい出力時刻

- New filterでは、前後の信号によって大きな信号の計算精度が落ちない
- また、New filterは小さな信号の検出効率も高い

新しいアルゴリズムが使用可能か？ → 評価ボードで比較。

回路について(1)：全体図



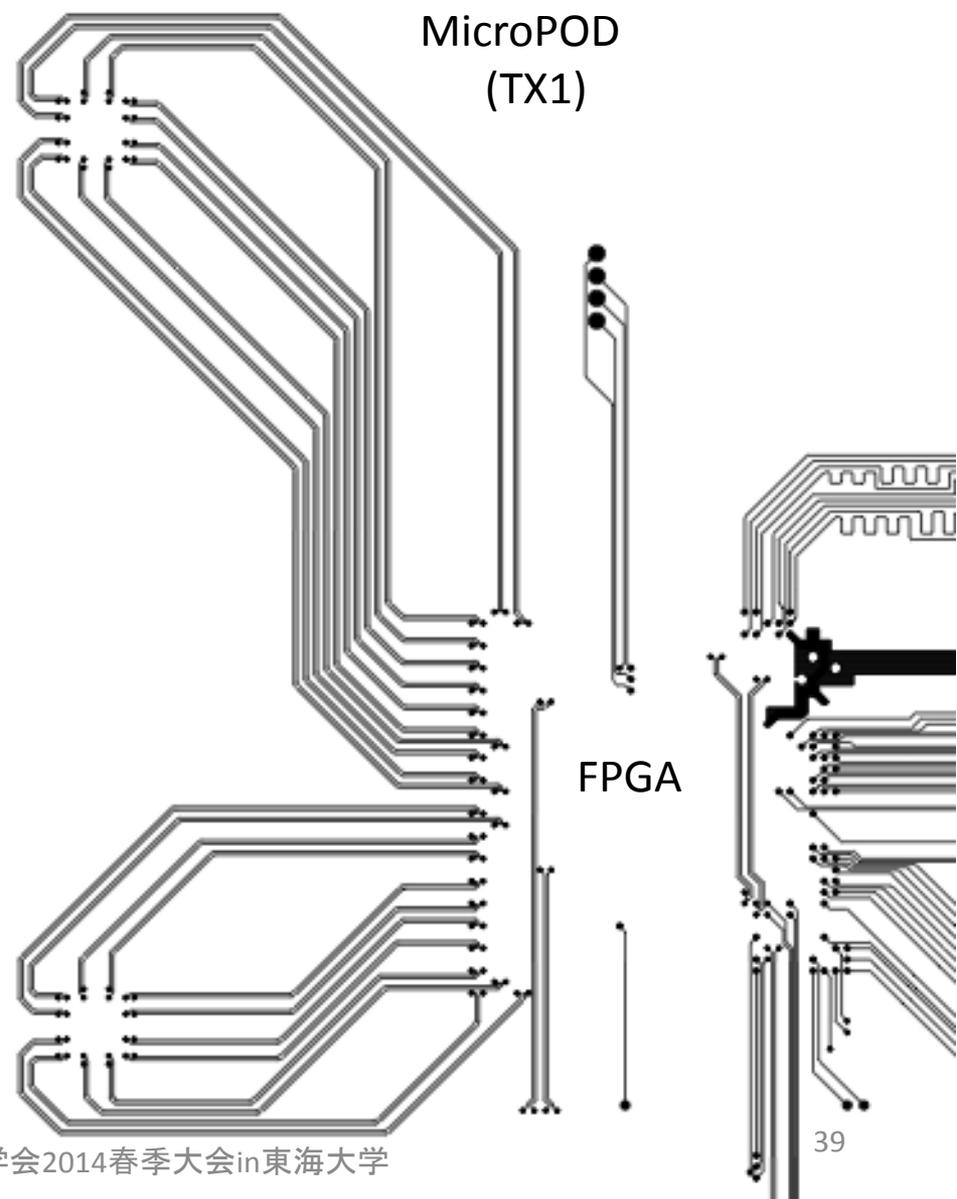
- ・ GTXのバンクがMicroPODの方向(左側)となるようにFPGAを配置
- ・ DDR3も連続した特定のバンク(×3)を使うので、他のパーツは残ったバンクの位置に依存して決めることになる。
- ・ 同パーツの信号ラインは同じ層を走らせたいため、配線の流れを考慮した上で、FPGAのピンを選択する必要がある。

回路について(2):MicroPOD

- ・ 差動信号であることに注意!!
 - 差動ラインは対称性が重要
 - ➡ ジグザグではなく同心円弧配線にして配線間隔を一定に保つ

➡ 等長にするために互いをな

- る 電圧供給(MicroPOD)
 - 2.375V < 接近 < 2.625V
 - 3.135V < 3.3V < 3.465V
- MicroPODに限らず、常に動作電圧条件を満たすようなレギュレータを選択する



Before installing the demonstrator system in the pit, it was carefully tested at LAr Electronics Maintenance Facility (EMF) at Point1.

- Main purpose: prove no bad influence on
 - ROD main readout
 - Trigger readout Due to new FE hardware(New baseplane & LTDB)

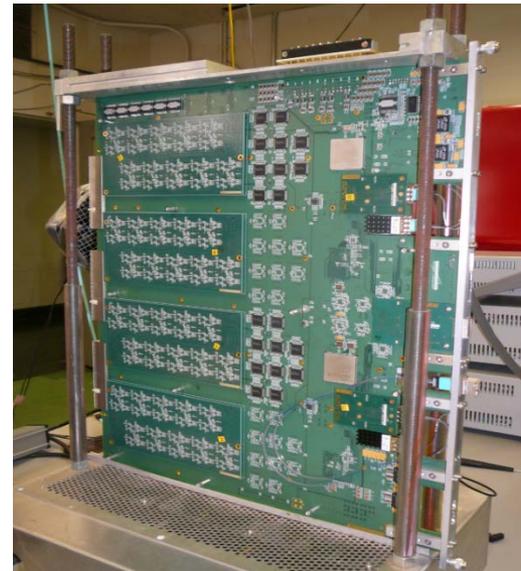


EMF @ Point1

Test Items ($\Delta\phi \times \Delta\eta = 0.2 \times 1.4$)

1. On Main Readout (FEB \rightarrow ROD)
 - 128 Channels for 14 FEBs
 - \rightarrow Total noise
 - \rightarrow Coherent noise
2. Analog Trigger Readout
 - 30 Trigger Towers
 - \rightarrow Connectivity
 - \rightarrow Linearity and Saturation point
 - \rightarrow Total noise
 - \rightarrow Coherent noise
 - \rightarrow Cross talk

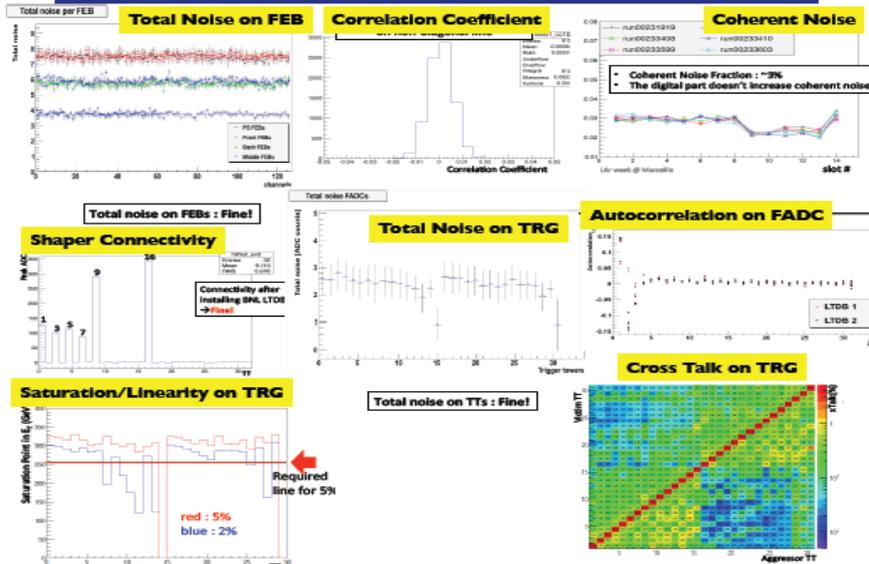
- By BNL
- Digital main board
 - Analog mezzanine



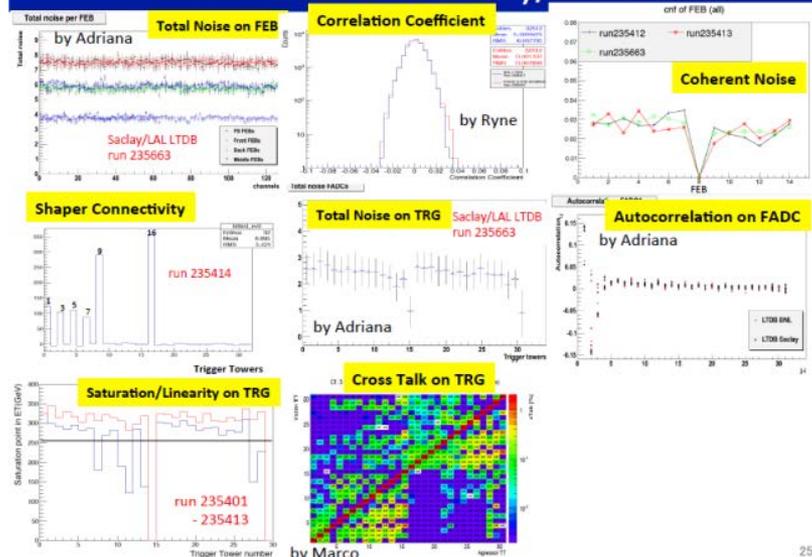
- By Saclay / LAL
- Analog main board
 - Digital mezzanine



Test results for BNL LTDB



The test results on Saclay/LAL LTDB



- Two types of LTDB demonstrator boards have been verified and installed.

Demonstrator installation

- ATLAS technical review on May 19th (results of EMF tests), approval to install early June.
- Installed two types LTDB in I06 crate (in Barrel A)
- Installed pre-prototype LDPB in USA15.



One LTDB read out
290 SuperCells
($0.0 < \phi < 0.2$, $0.0 < \eta < 1.4$)

