

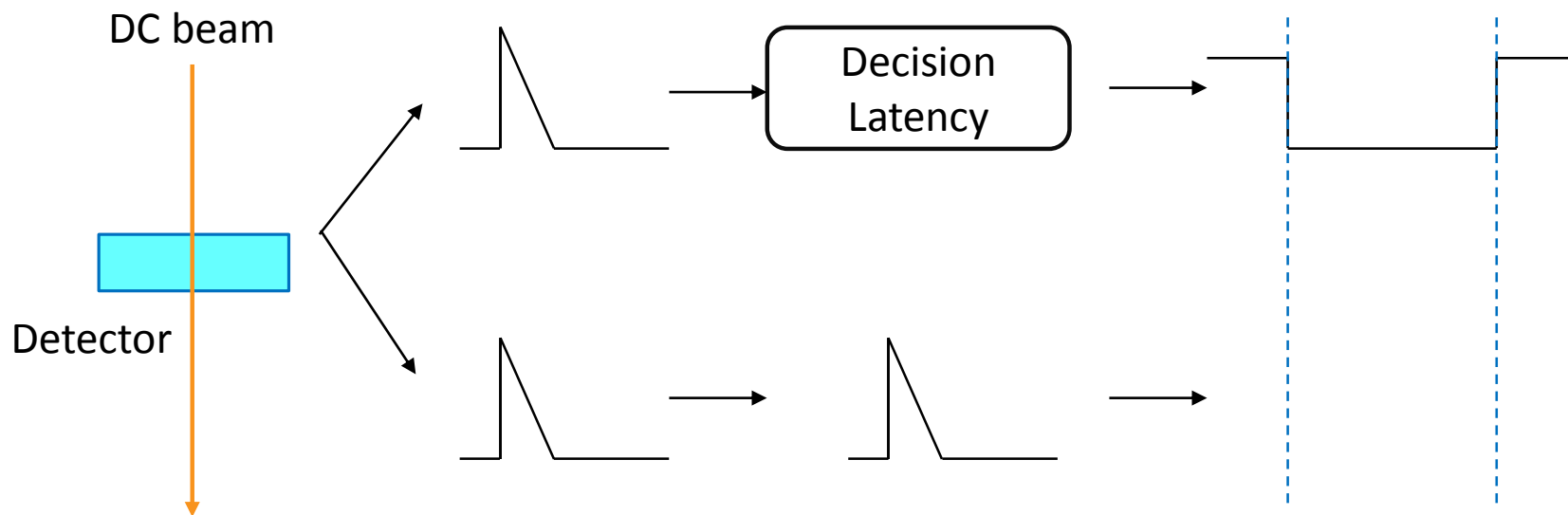
DRS4チップを用いた QDC開発上での困難

大阪大理, KEK, RCNP, 京大理, 東大理, ソウル大, Open-It

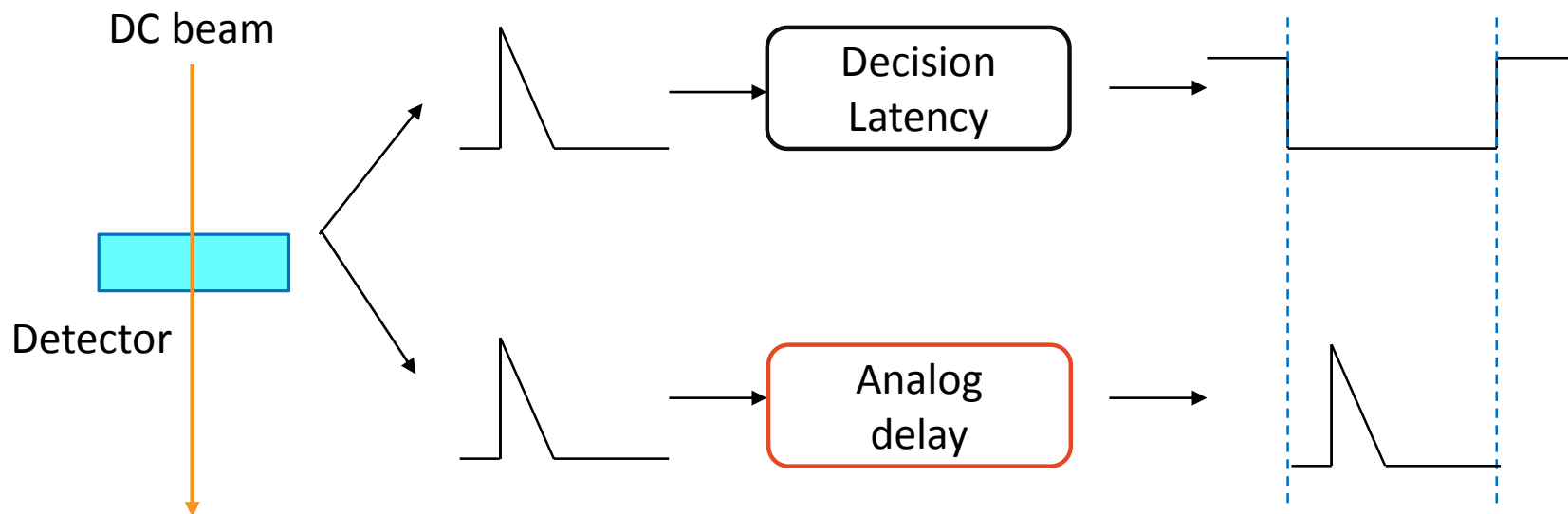
本多良太郎, 五十嵐洋一, 高橋智則, 新山雅之,
富田夏希, 水谷圭吾, 中井恒, 谷田聖, 池野正弘, 内田智久

- 開発動機
- DRS4
- 開発した基板
- FPGAファームウェア
- 困難と得られた教訓
- まとめ

非同期トリガーでQDCを使用する際の問題点

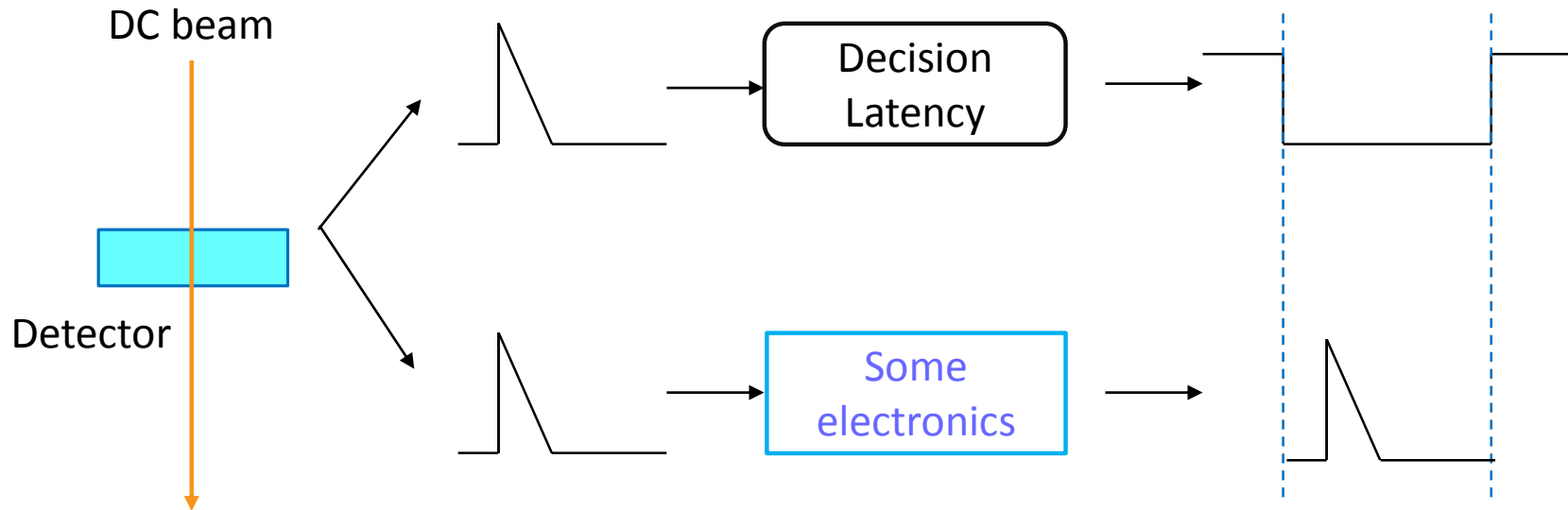


非同期トリガーでQDCを使用する際の問題点



長い同軸ケーブルは高価
チャンネル数を増やすのが困難

非同期トリガーでQDCを使用する際の問題点



読み出し回路で
この問題を解決したい

解決策 : 波形サンプリング

目標 : 汎用読み出し回路

波形の鋭い検出器、特にPMTに対応したい

既製品と同程度の値段でありたい

-> 1 GSPS

-> 20k JPY/ch程度

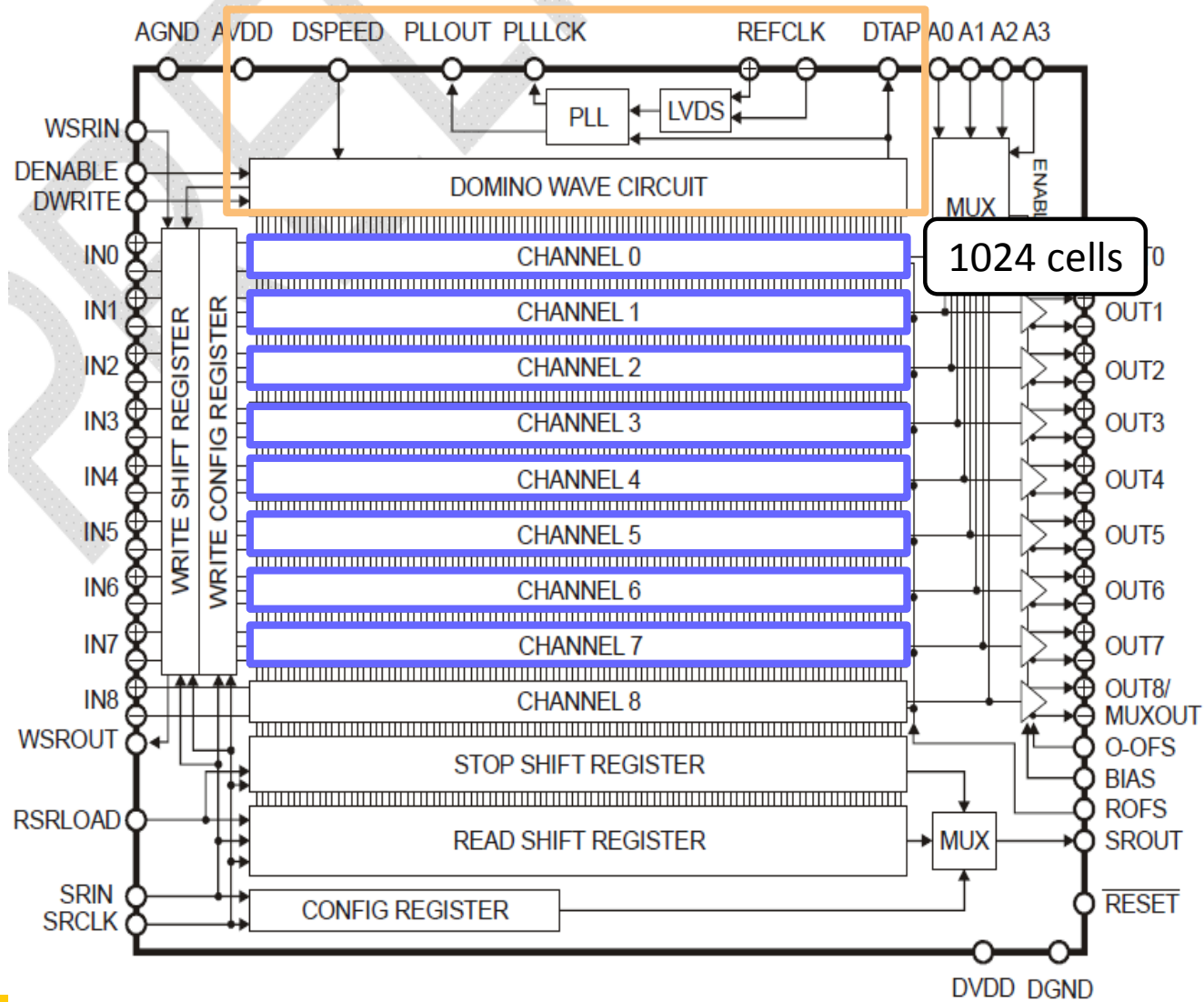
DRS4 (PSI開発)

Switched Capacitor Array (SCA)

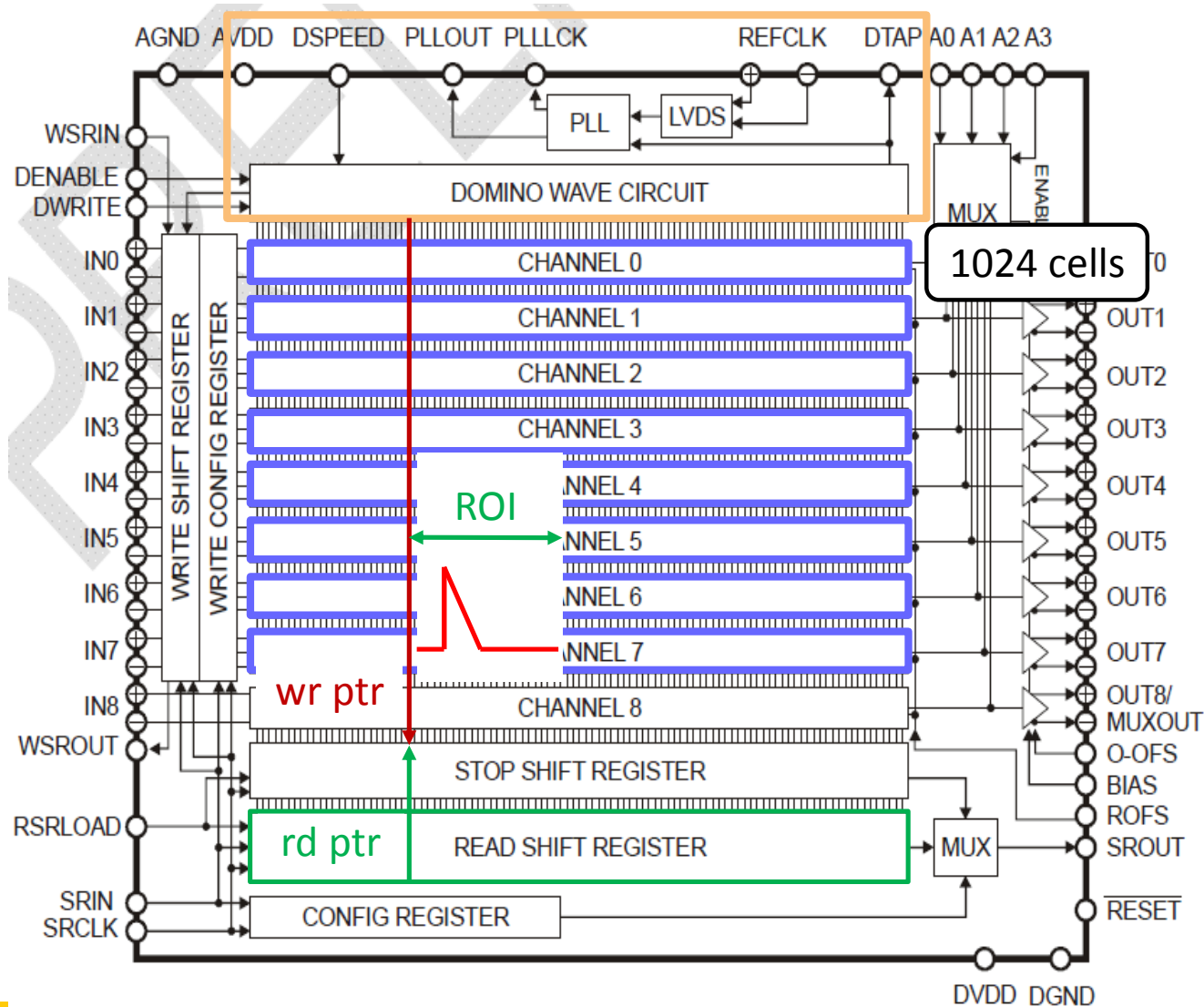
Analog buffer

Sampling rate	0.7 ~ 5.0 GSPS
Input ch	8 (9) ch
Cells/ch	1024
Input range	1 Vp-p
Power	
Consumption	110 mW (1 GSPS)
Cost	1k ~ 2k JPY/ch

DOMINO wave 高速サンプリング信号



DOMINO wave 高速サンプリング信号

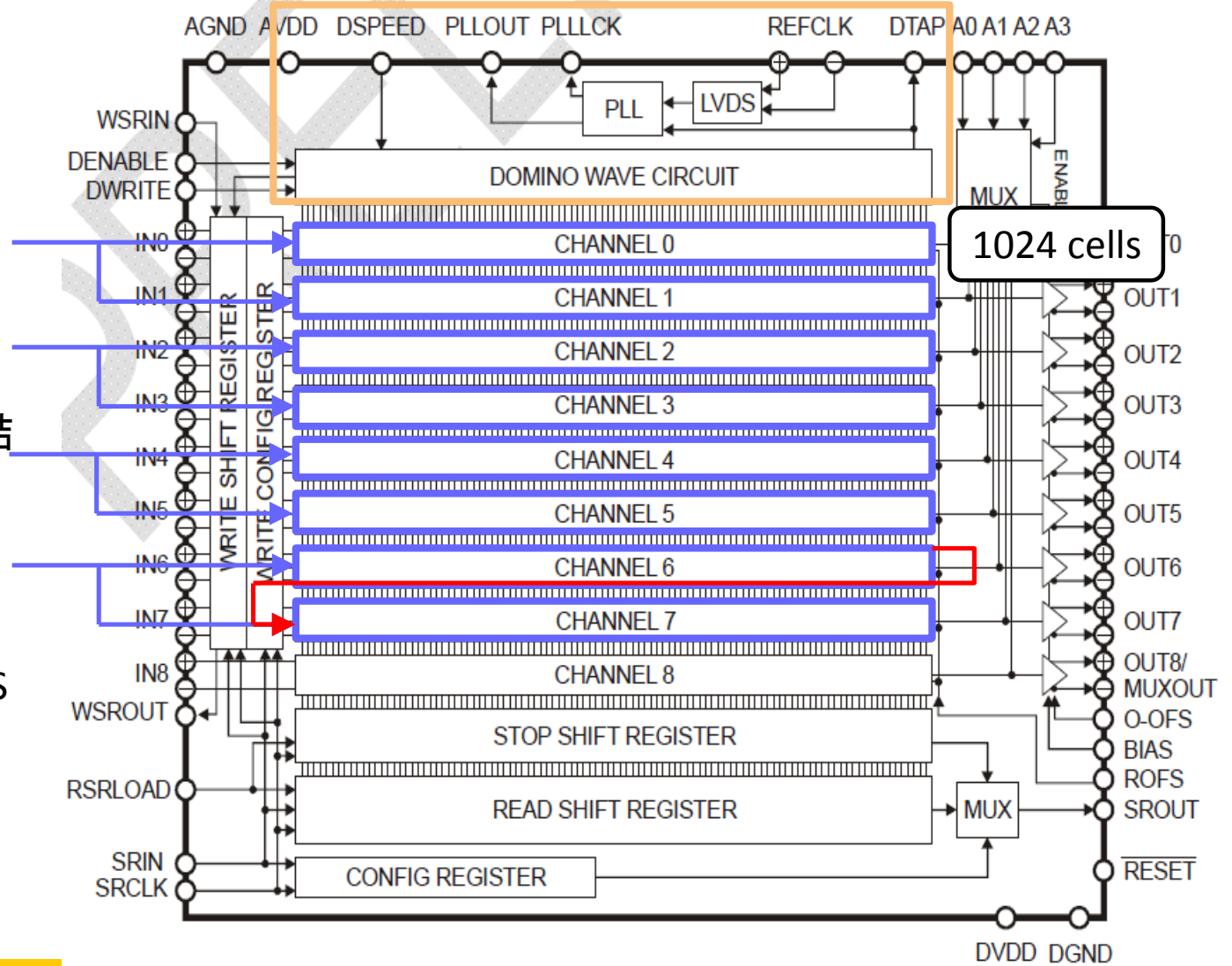


Region Of Interest (ROI)
 最小限の読み出しで
 必要な波形を得る

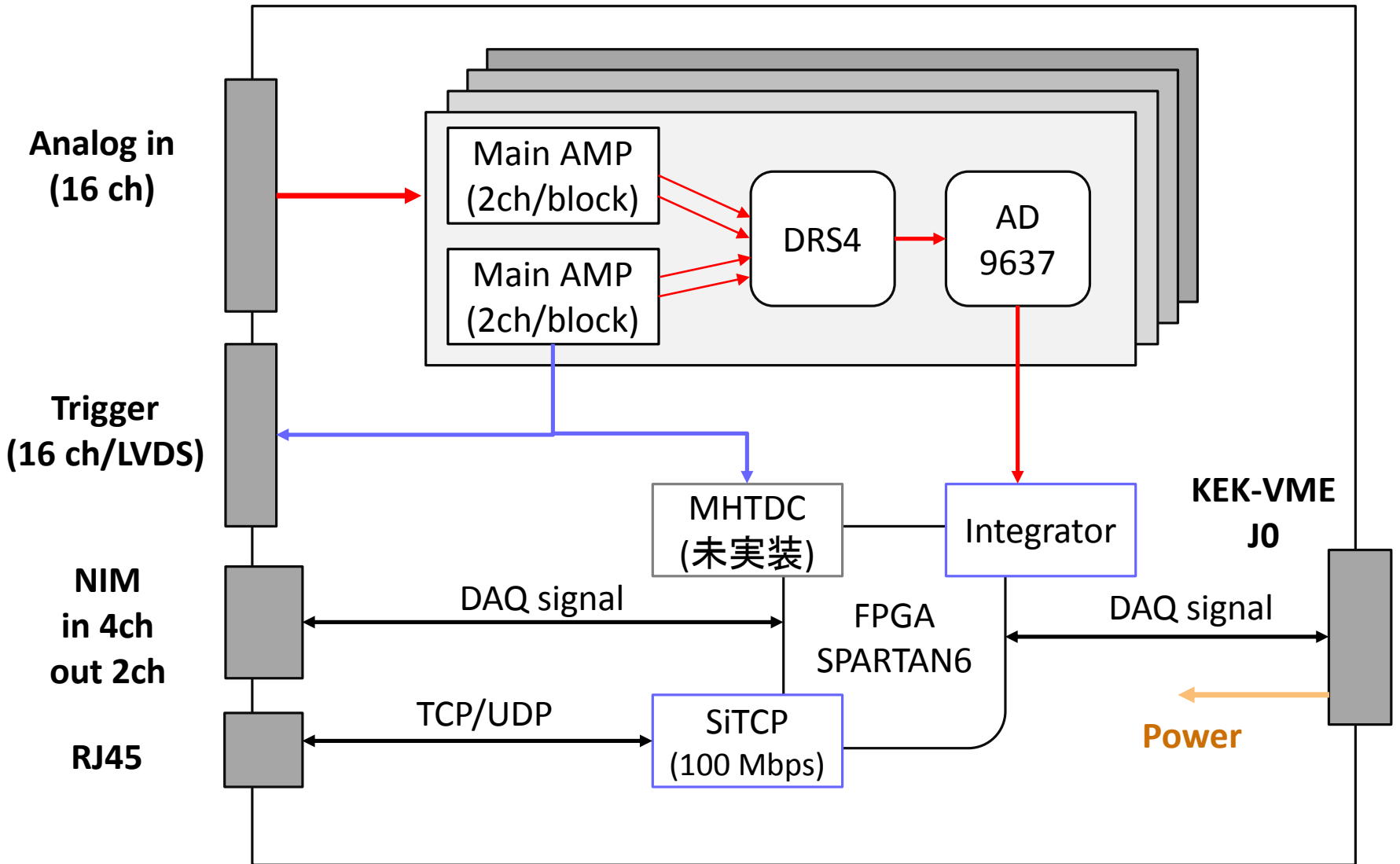
DOMINO wave 高速サンプリング信号

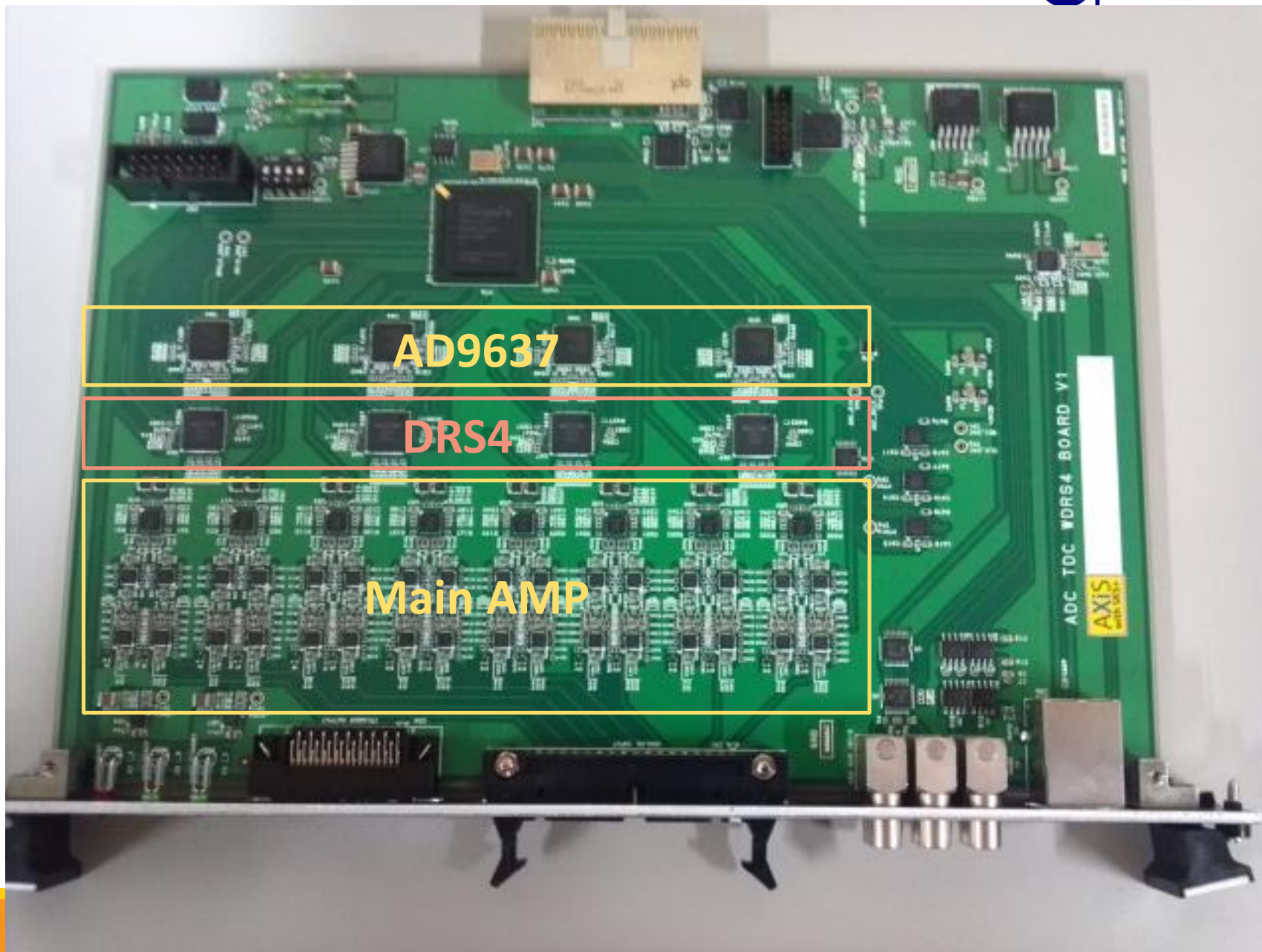
Channel cascading
chをDRS4内部で連結
バッファ長を伸ばす

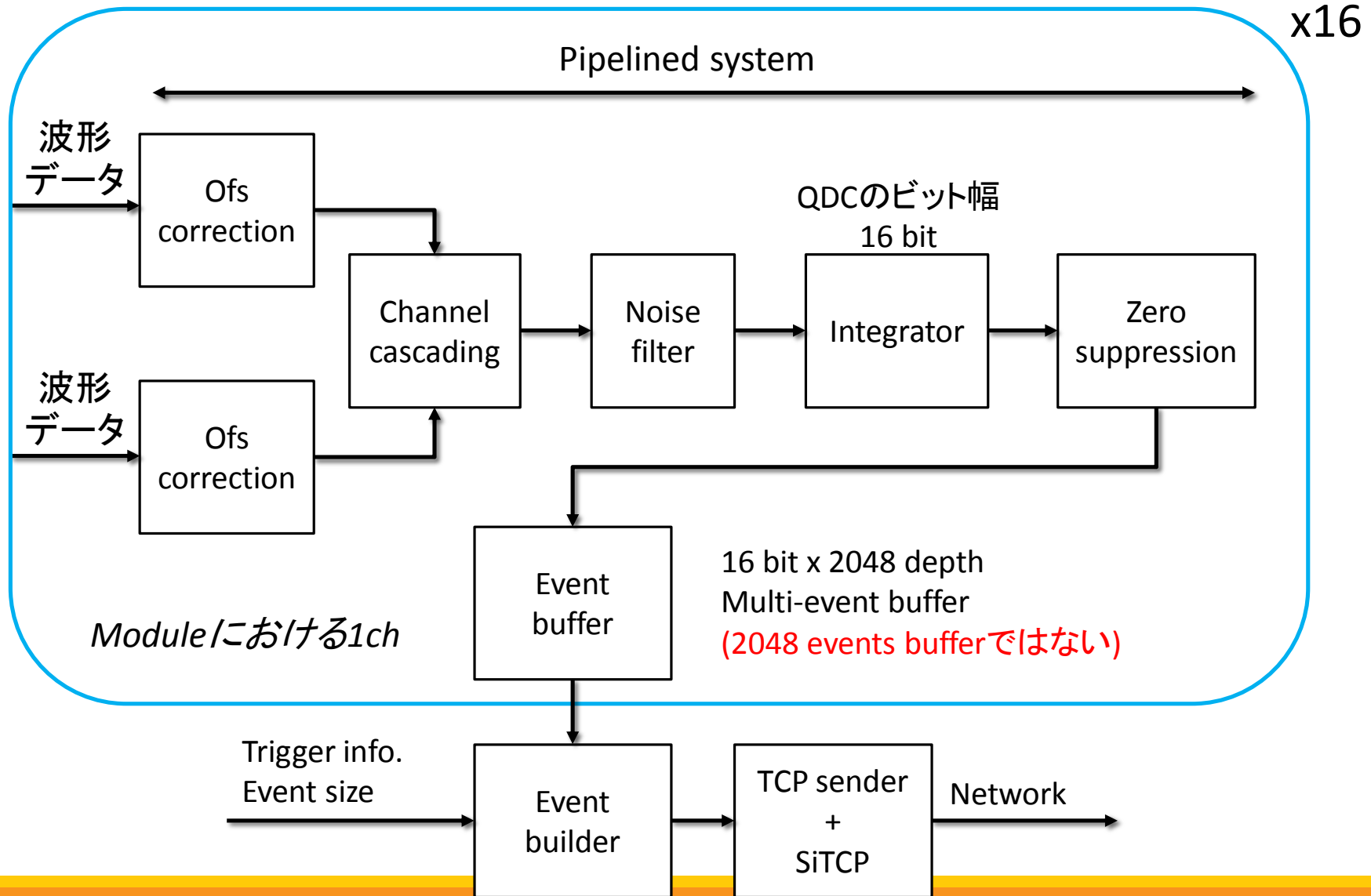
本回路
1 ch/2 lane
2 us buffer @ 1 GSPS



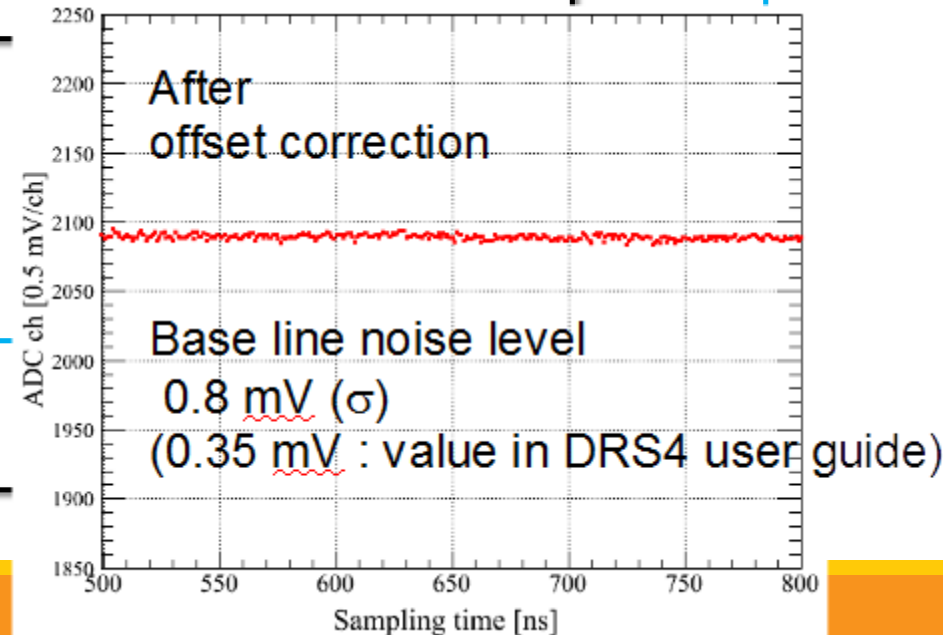
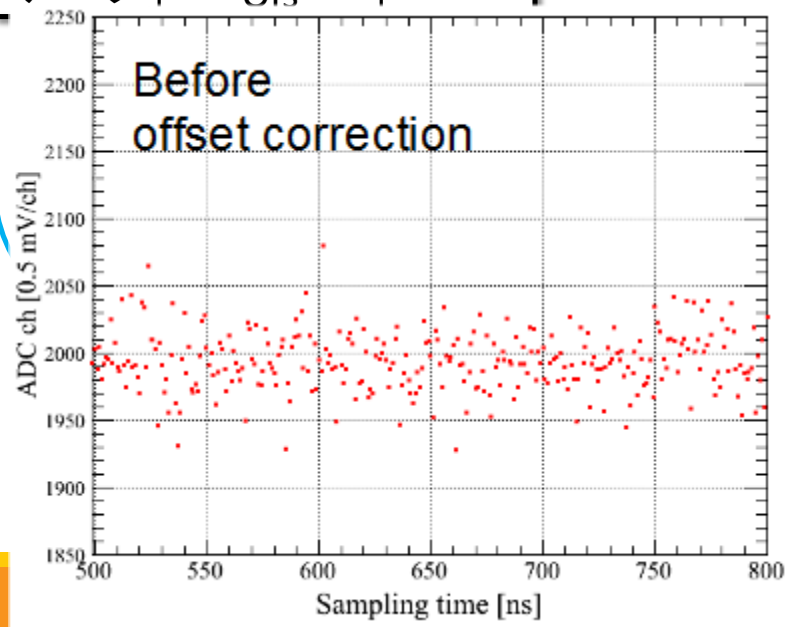
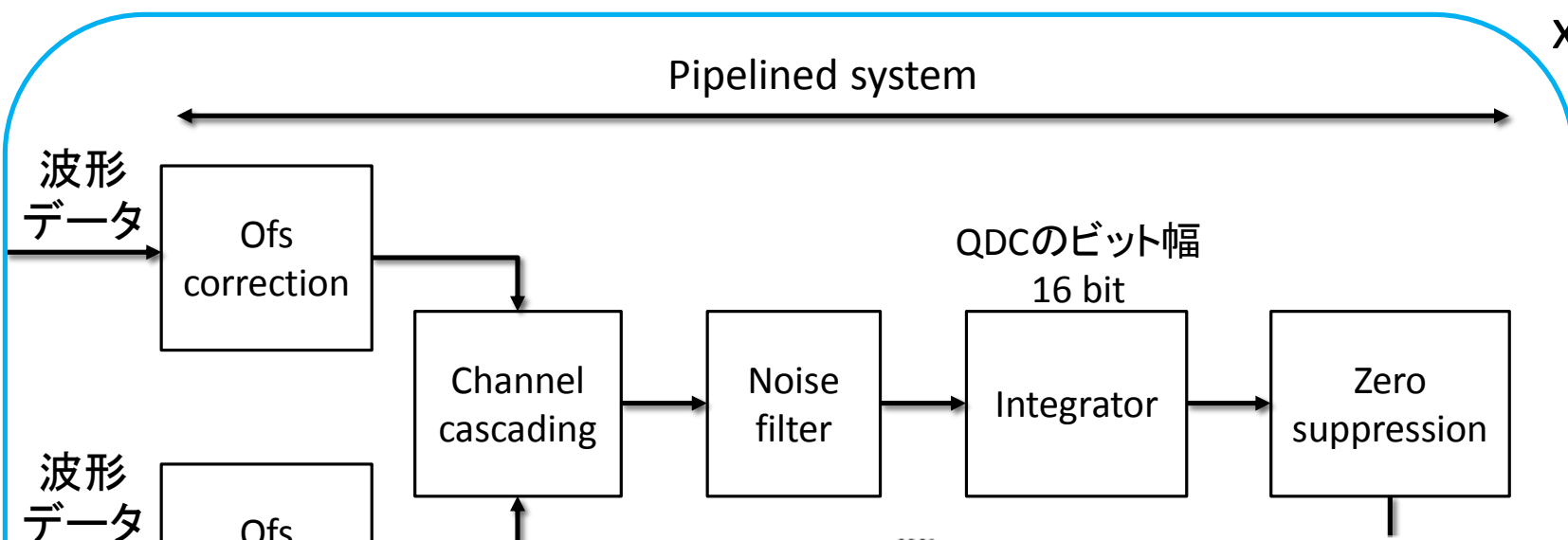
開発した基盤 -ブロック図-



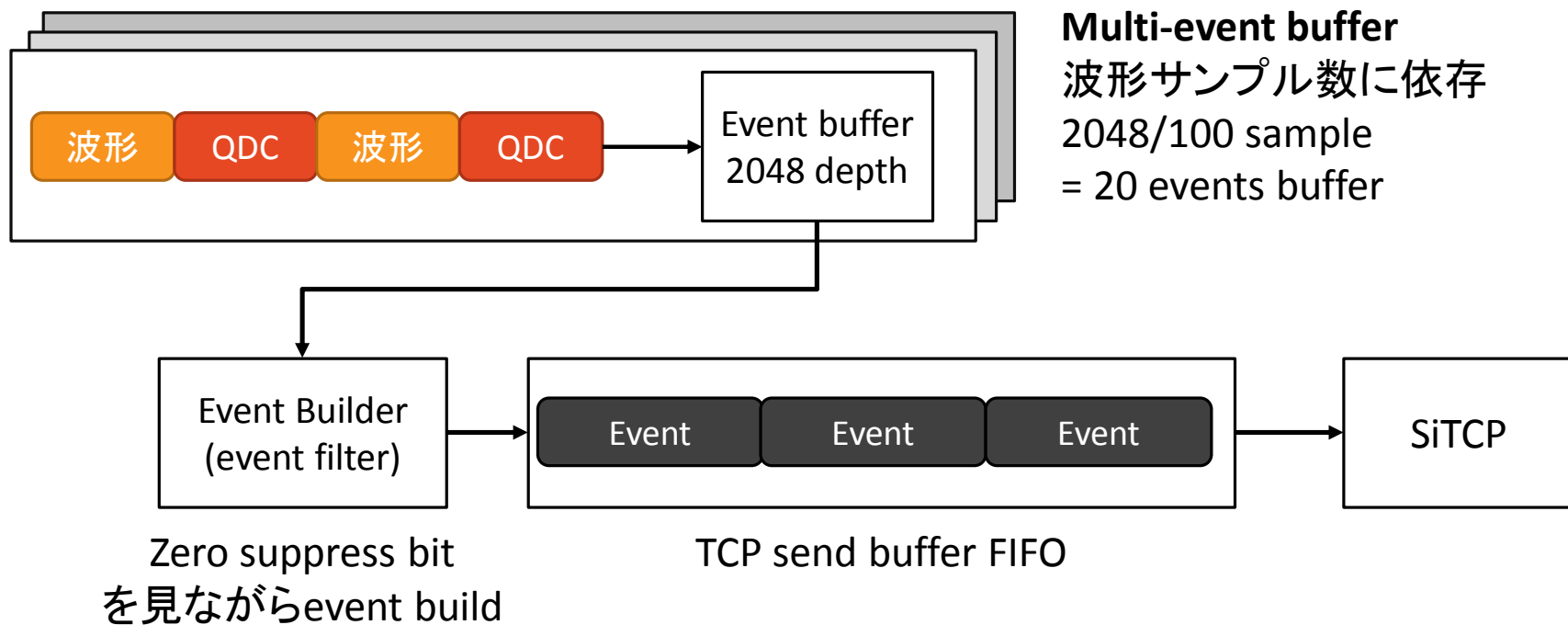




x16

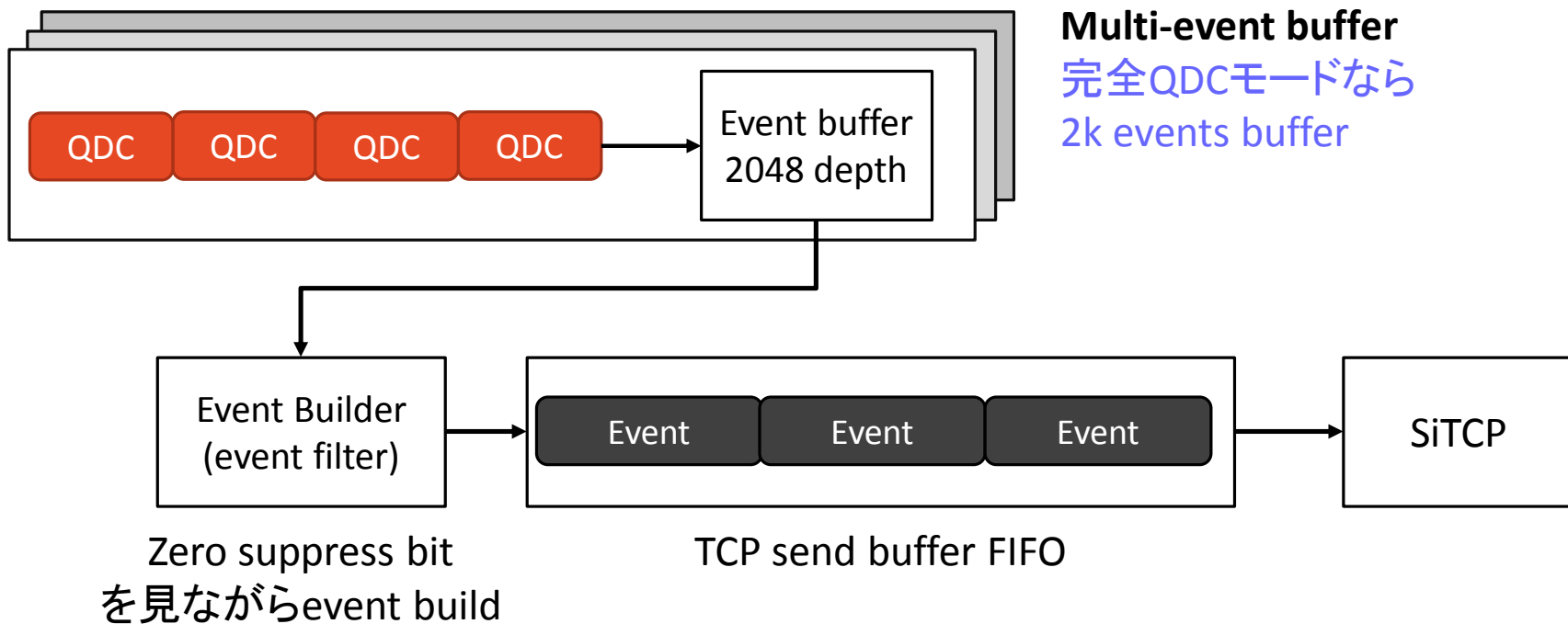


波形とQDC両方をサポート



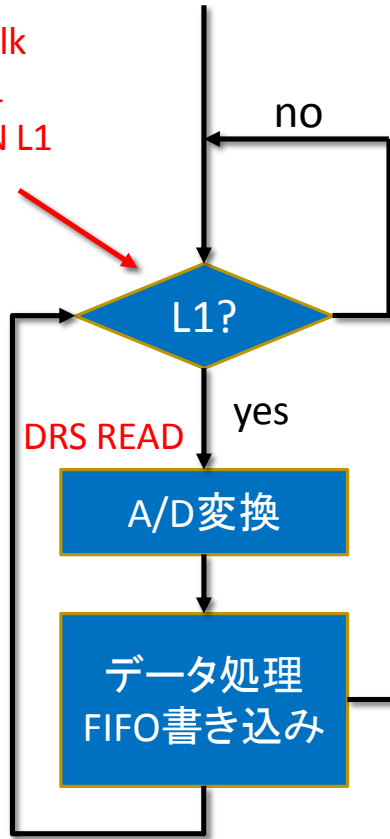
Event buffer – SiTCPまでの経路が
詰まらない限りA/D変換のDead timeのみ
< 10 us @ 100 samples

波形とQDC両方をサポート



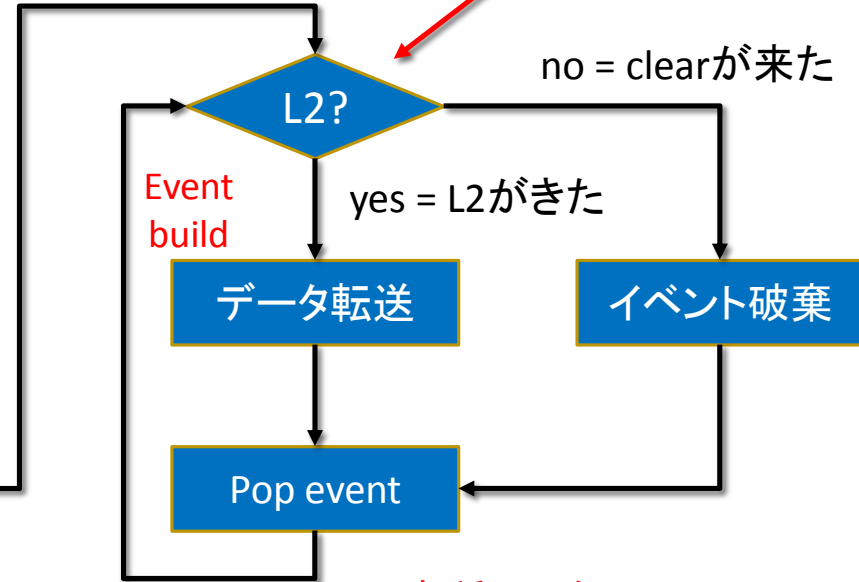
Event buffer – SiTCPまでの経路が
詰まらない限りA/D変換のDead timeのみ
< 10 us @ 100 samples

- 内部clk
 - self L1
 - NIMIN L1
 - JO L1
- いずれか



データ転送系とは
独立に動く
(ただしmodule busyによって止まる)

Trigger情報を
格納している
FIFOを見る



各種FIFOを
一つ進める

データが存在し
SiTCPを詰まっていない限り
データを送り続ける

- NIMIN L2
 - JO L2
- いずれか。
Multi-event bufferが存在するため
Trigger情報はFIFOで記憶している
設定されていない場合L1=L2となる

Analog

- Number of channel 16
- Input range 2 V_{p-p}
- Common mode input range 1 V
- Absolute input range 2.5 V
- Buffer range 2 μ s @ 1 GSPS

Digital I/O

- Discriminator outputs (LVDS), 16 ch parallel
- NIM level I/O (4 IN/2 OUT)
 - Trigger, BUSY etc...
- Receive triggers from the KEK-VME J0 bus

Data transfer & control

- TCP & UDP realized by SiTCP (100 Mbps)

PCB standard

- VME 6U KEK VME
- Only J0 is mounted
- 3.3 V from J0
 - +3.3 V ~ 6 A
 - -3.3 V ~ 3 A

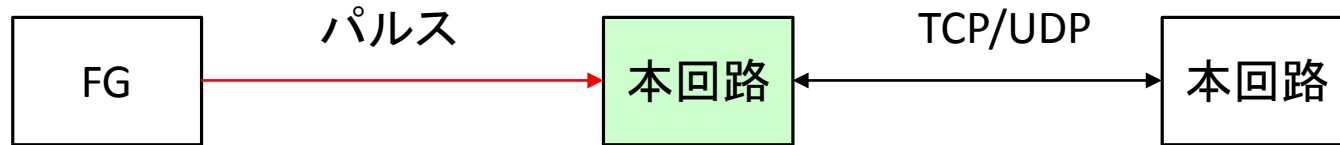
J-PARC

- K1.8 beam line (常設)
- K1.1 beam line (常設)
- High-p beam line (E16)

SP8

- LEPS2

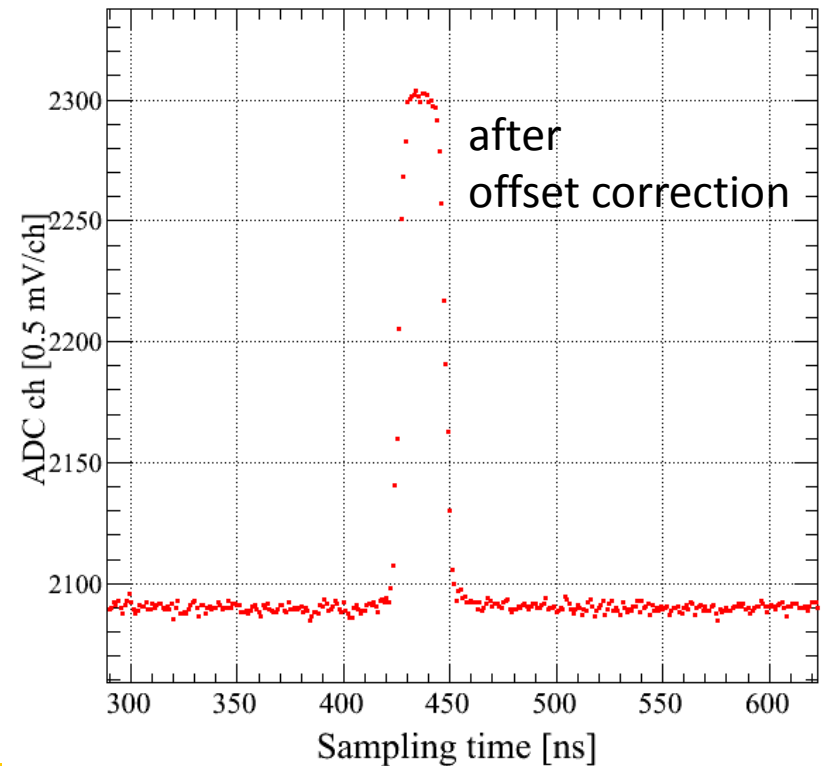
性能



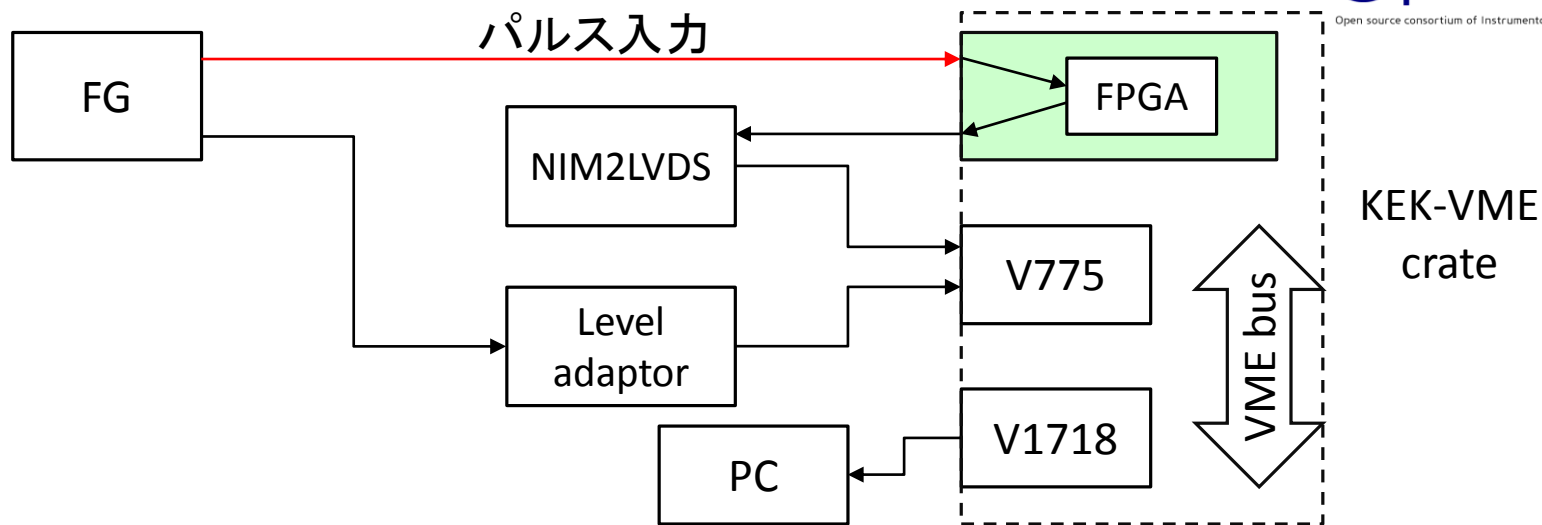
FPからの波形



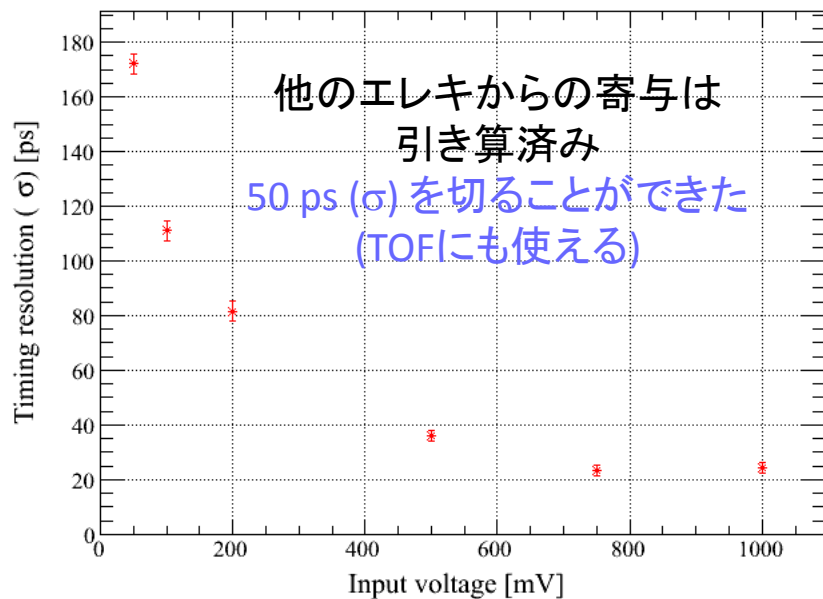
波形データ



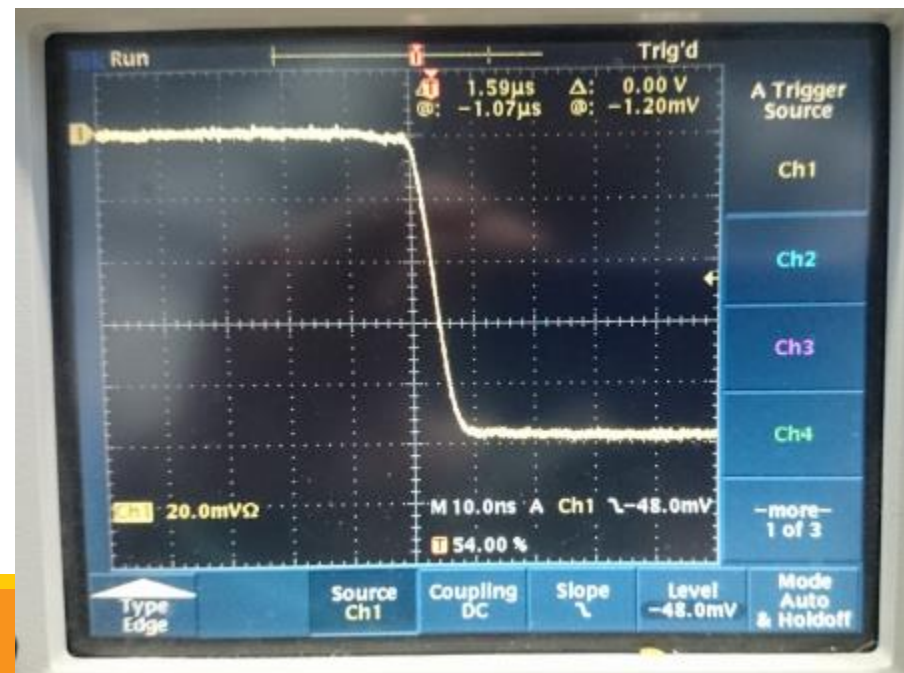
Main AMP comparatorの時間分解能



メインアンプの時間分解能

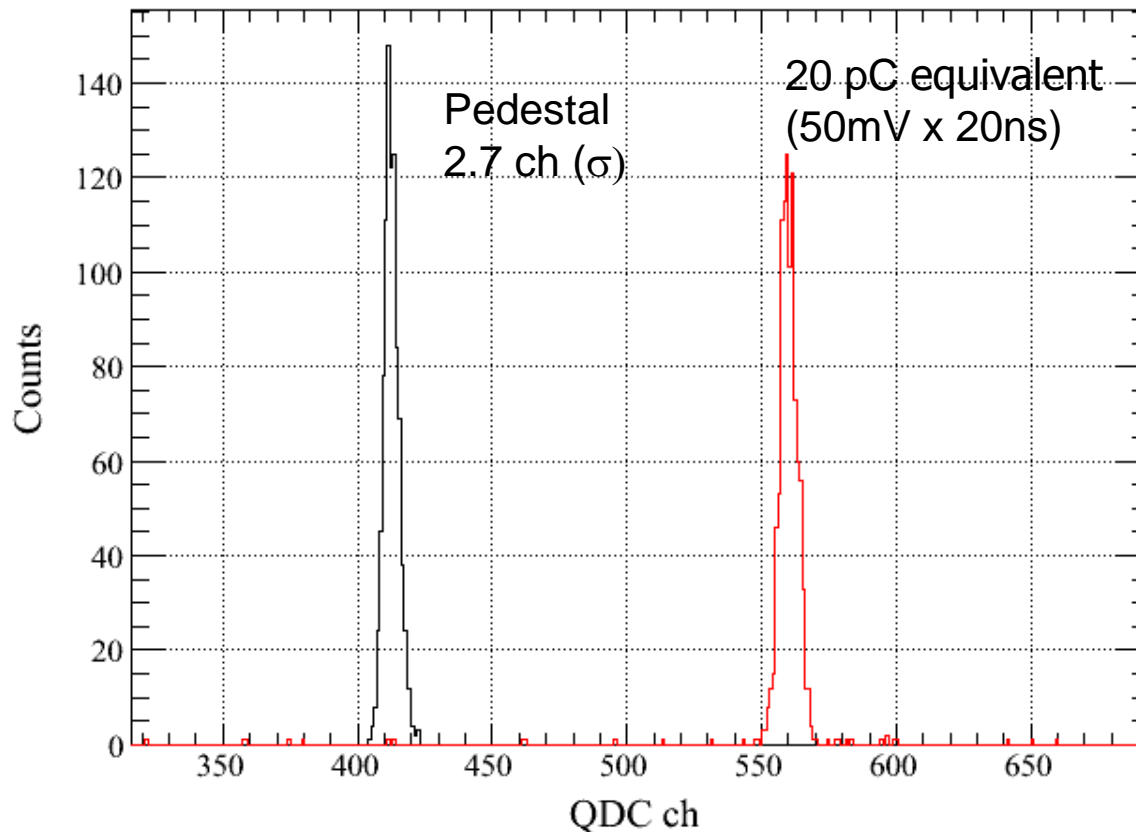


入力波形



例として100サンプルの波形データを積分
下位4ビットは有効ビットでないため破棄
LSB精度 : 0.135 pC/ch (CAEN v792 ; 0.1 pC/ch)

QDCスペクトラム

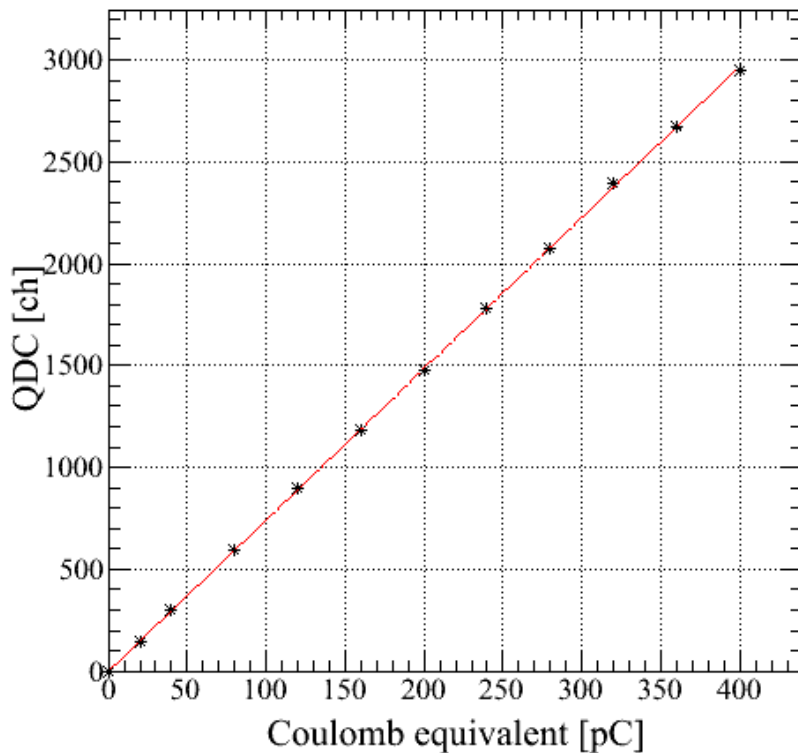


FGからの入力波高を変えながら線形性の確認

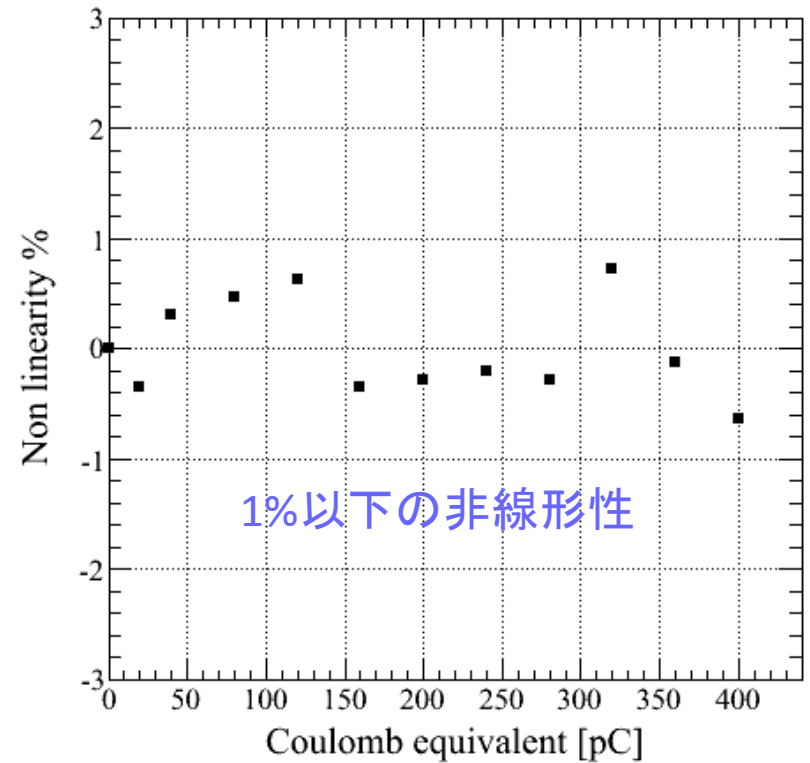
非線形性の定義

$$\text{Non linearity} = (\text{QDC mean} \cdot f(x)) / (\text{QDC mean}) \times 100$$

ピーク位置と入力との相関



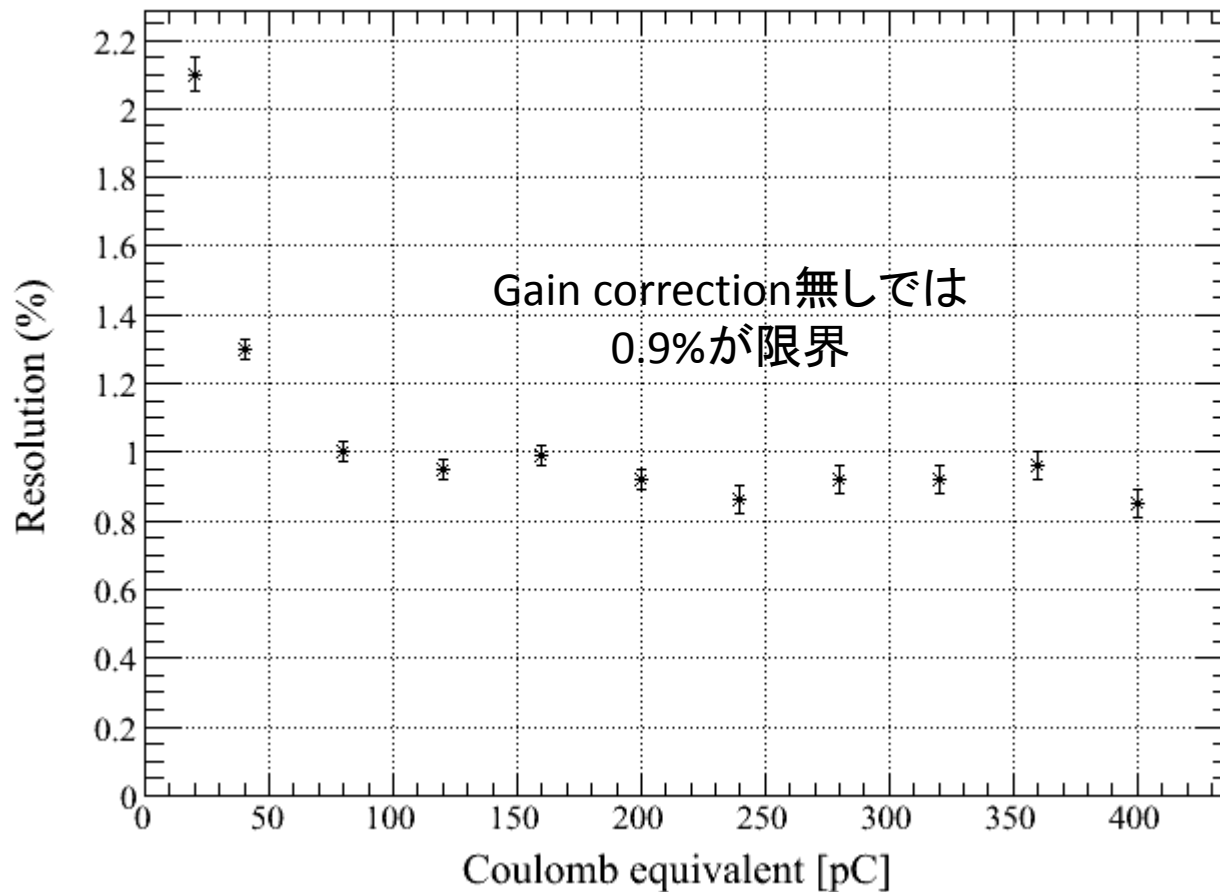
非線形性



QDC resolution (%)

$$\sigma/\text{mean} \times 100$$

QDC分解能の入力電圧依存



困難

Reset入力で内部レジスタが初期化されない。

-> SPIで手でレジスタを設定して解決。
(本来はされるはず、使い方が悪い?)

波形が読み出せない。

(DRS4にResetを入れるときはSRINがHighでないと動かない?)

いくつかのDC offsetをかけないといけなくて、中点電圧を正しくセットしないと動かない。

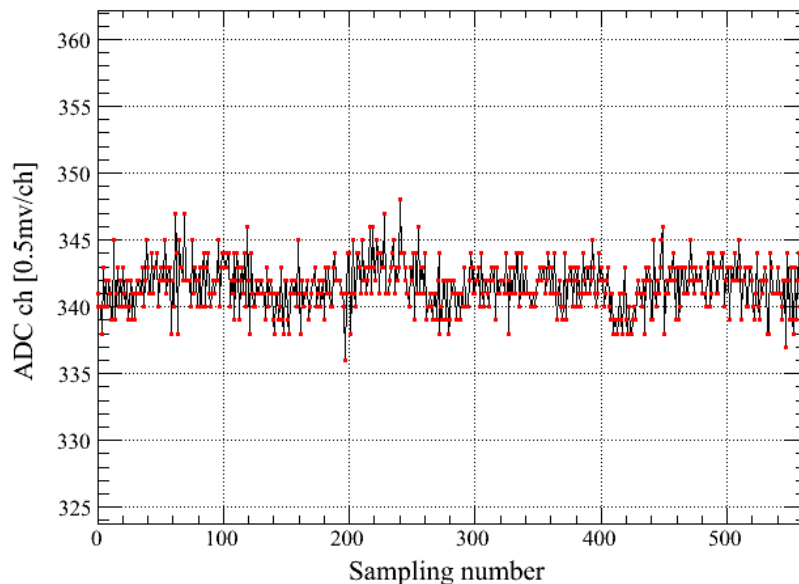
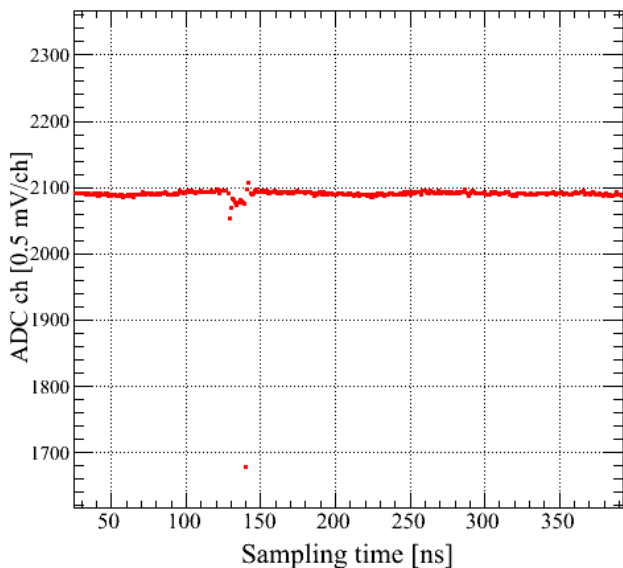
(しかも分かりにくかった…)

これらの解決で1ヶ月くらい使った

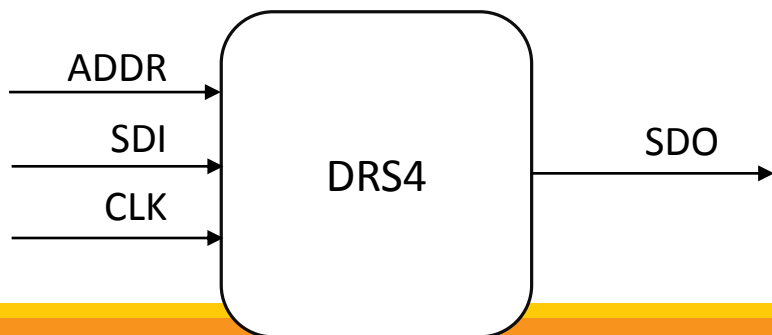
DRS4のクセに更に悩まされた

波形がジャンプする、うねる

しかも傾向がDC offsetの値やFirmwareによって変わってしまう。



Register出力が初期化時とDAQ時で1クロックずれてるような...



Write shift registerというレジスタを読まないといけないのだが
設定時にリードバックしたものと
DAQ中に読み出したので
1クロック分シフトしてしまう...
とりあえずそういう物だと思って使用中

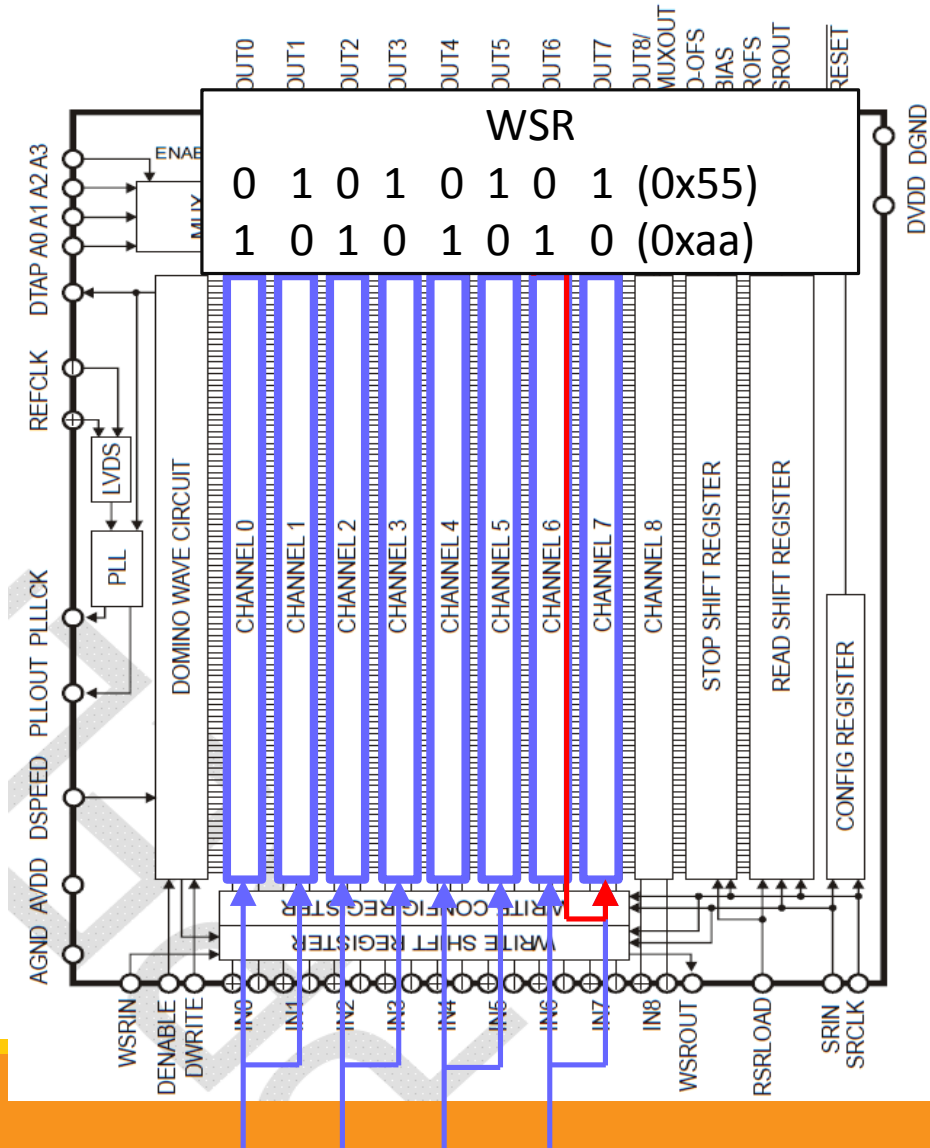
DRS4のクセに更に悩まされた

Write Shift Register (WSR):

どのレーンへ波形の保存を行っているか示す(設定する)レジスタ

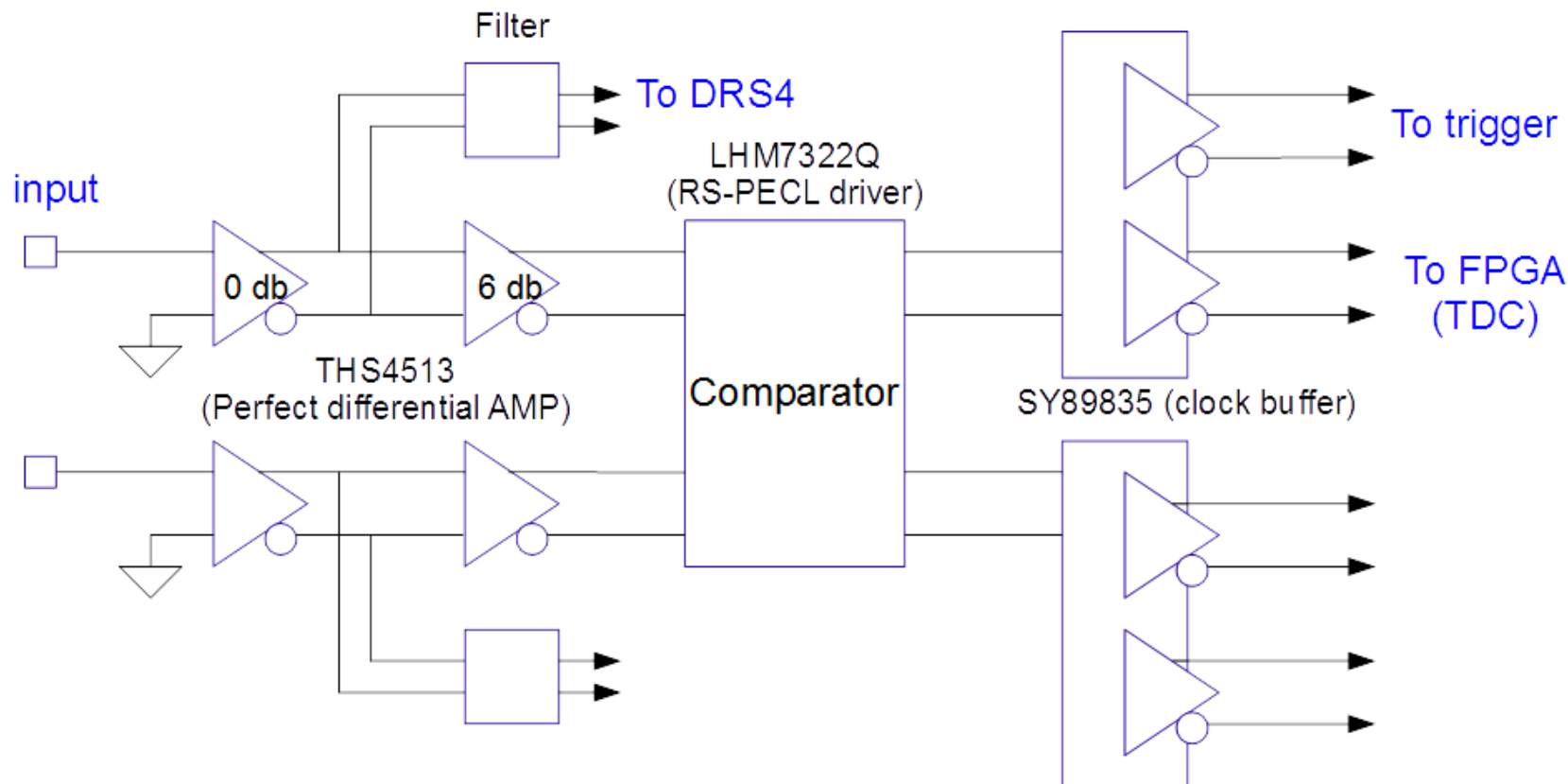
WSRを見ていればActiveなレーンがわかるはずだが... **そうっていない。**

加えてcell number (read ptrの先頭)の値を見てどの辺りで波形取得がとまったかを調べないと正しくchannel cascadeできない。



Main AMPがすごい事になってしまった

この部分だけで5000円/ch
消費電力も大きい ~400 mW/ch



一切のR&D無しで一年後に実践投入できる物を
などという要求に応えたらこうなった
(正直作り直したい)

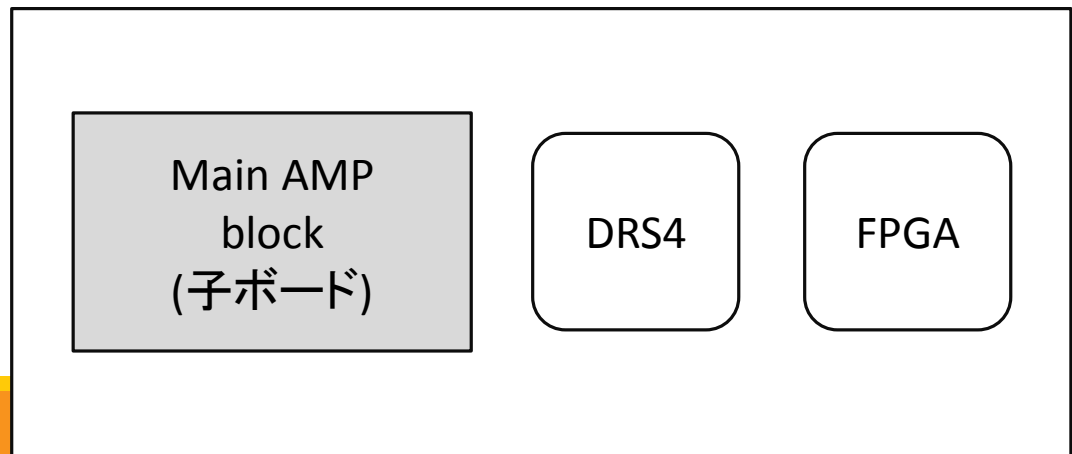
DRS4が初使用だったにも関わらずいきなり本番用基板から開発し始めた。
(DRS4は他のグループでよく動いていたので僕自身高を括っているところもあった。)

結果

- 作動配線の量が多くレイアウトに非常に時間かかった。
- それが祟って気軽にレイアウトや回路図の変更ができなくなった。
- 本気のFPGA Firmwareを実装するまで開発が終了しなくなった。
- メインアンプの問題に気づいてはいたが放置せざるをえなくなった。

本来は

右図のような試験基板から始めるべきであった
特に初経験のアナログ技術を使うので、必須だった



1 GSPS以上の波形サンプリングが可能なSCA ASICであるDRS4を用いて、ケーブルレイを排除するためのアナログバッファ搭載型QDCを開発した。

開発した基盤VME 6U規格であり、16chの入力を有する。

FPGA内部に2024 wordsのFIFOを実装しており、これをMulti-event bufferとして利用することができる。

性能試験の結果

- Pedestal幅2.7 ch (σ) @ 0.135 pC/ch
 - 時間分解能50 ps (σ) @ 300 mV入力
 - 1%以下の非線形性
 - 0.9%程度のQDC分解能
- が得られた。

初めて使用するアナログ技術は必ず試験基板でノウハウを自分で得るべし。