



Open source consortium of Instrumentation

超伝導検出器 MKID の周波数多重読み出し 用フロントエンド回路の開発

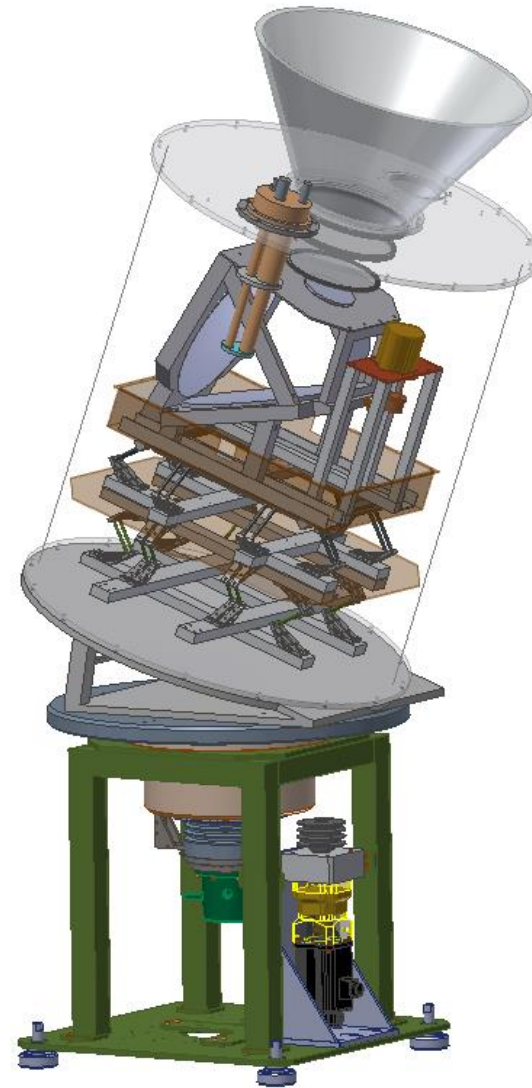
総研大 D1

石塚光

目次

- GroundBIRD 実験
- 超伝導検出器 MKID と読み出し
- ADC/DAC board “*RHEA*” の開発
- *RHEA* の評価
- MKID の読み出し試験
- まとめと今後の開発
- 開発上の困難とその解決

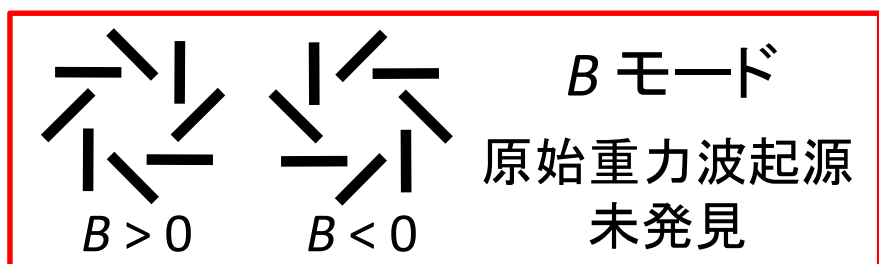
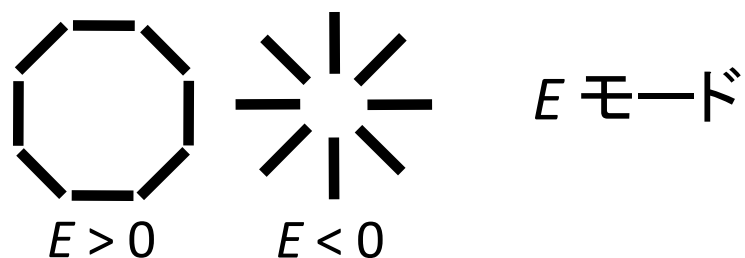
GroundBIRD 実験



GroundBIRD 実験

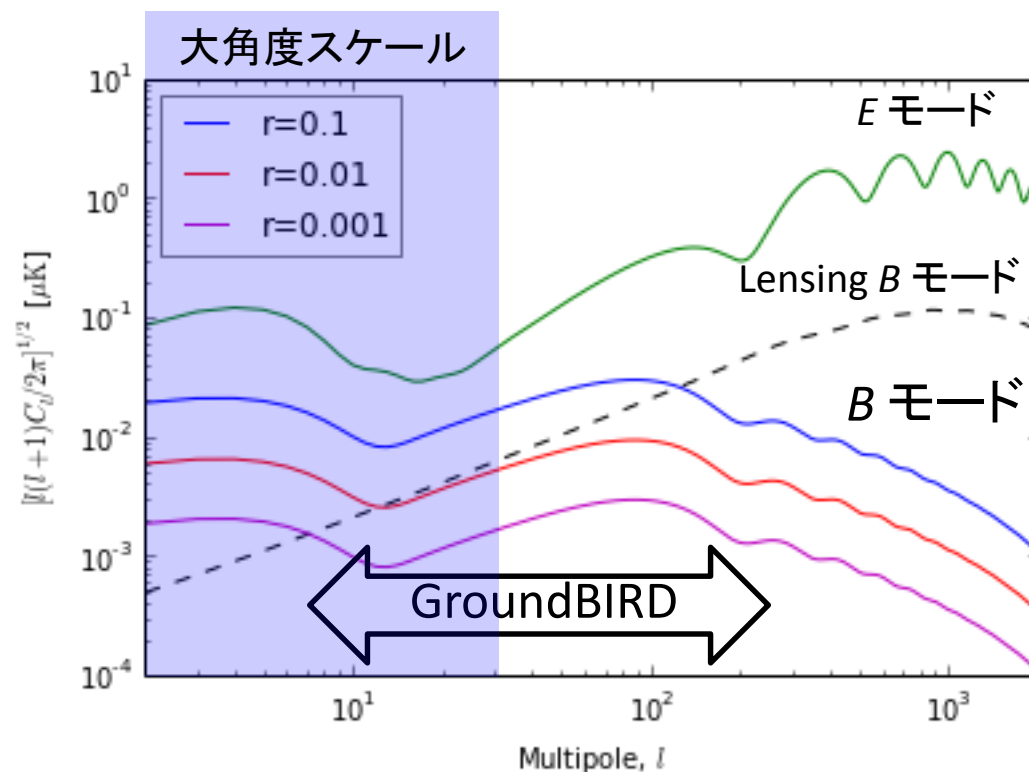
インフレーション模型の検証:

- CMB 偏光 B モードの精密測定



GroundBIRD:

- インフレーション起源 B モードの探索に特化した地上実験
- 2 周波数帯の同時観測による前景放射との分離 (145, 220 GHz)



予想される B モードの偏光強度
 r : テンソル・スカラー比

検出器の高感度化 → 多素子化が必須条件

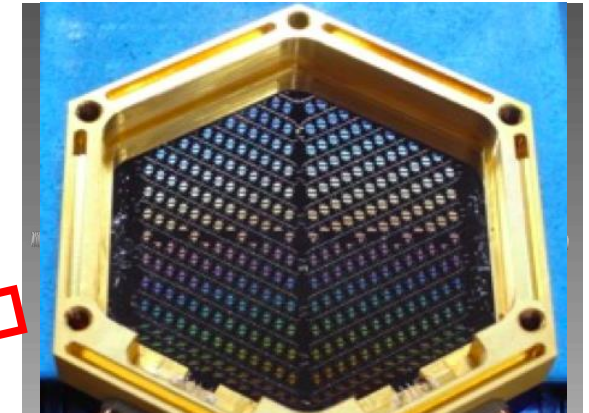
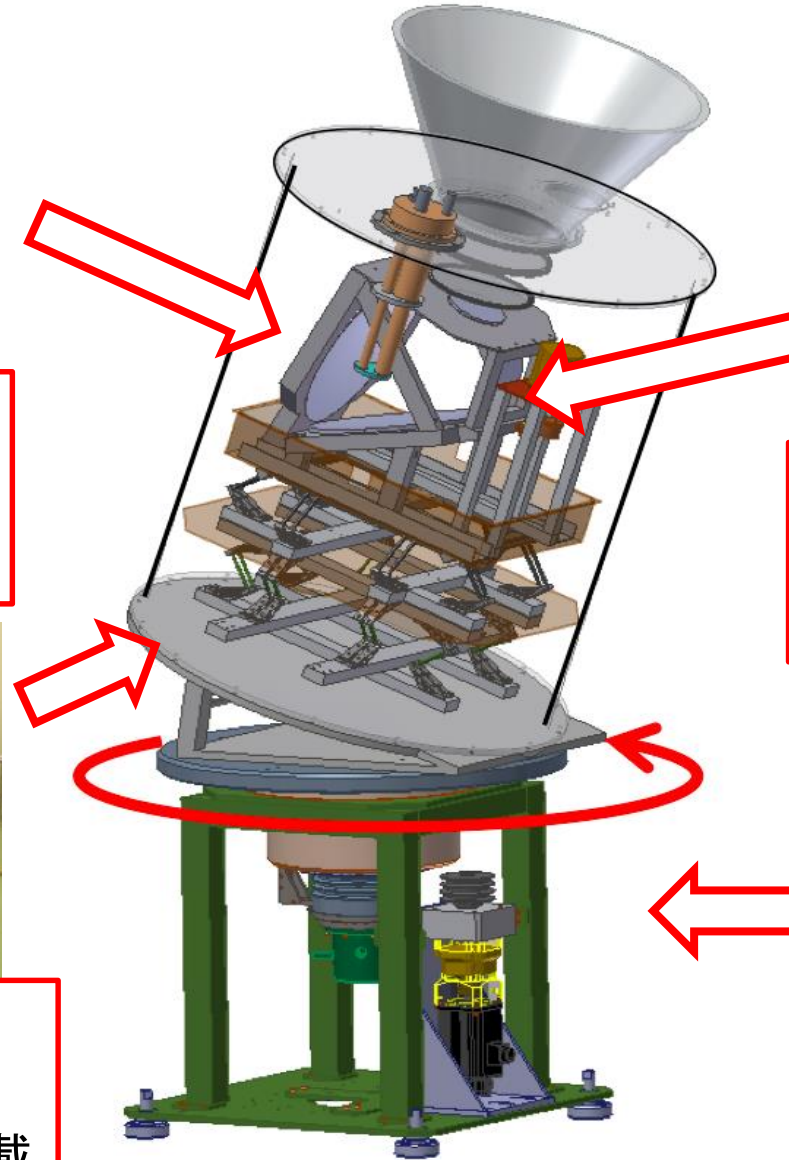
回転冷却光学系



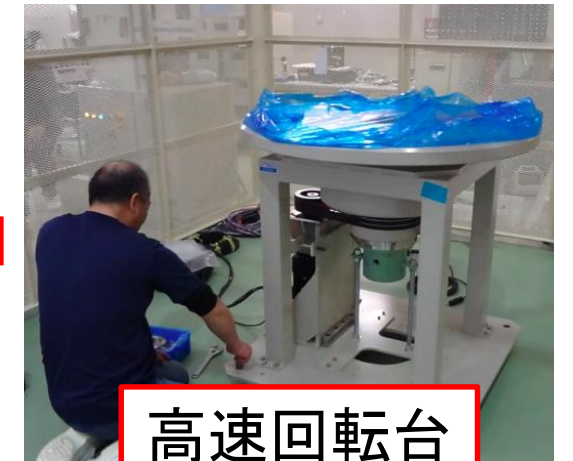
クロス-ドラゴン
反射光学系 @ 4 K
開口径 30 cm、視野 20°



クライオスタット
パルス管冷凍機、
ヘリウム吸着式冷凍機搭載



MKID アレイ @ 250 mK
624 個 @ 145 GHz
224 個 @ 220 GHz



高速回転台
分速 20 回転

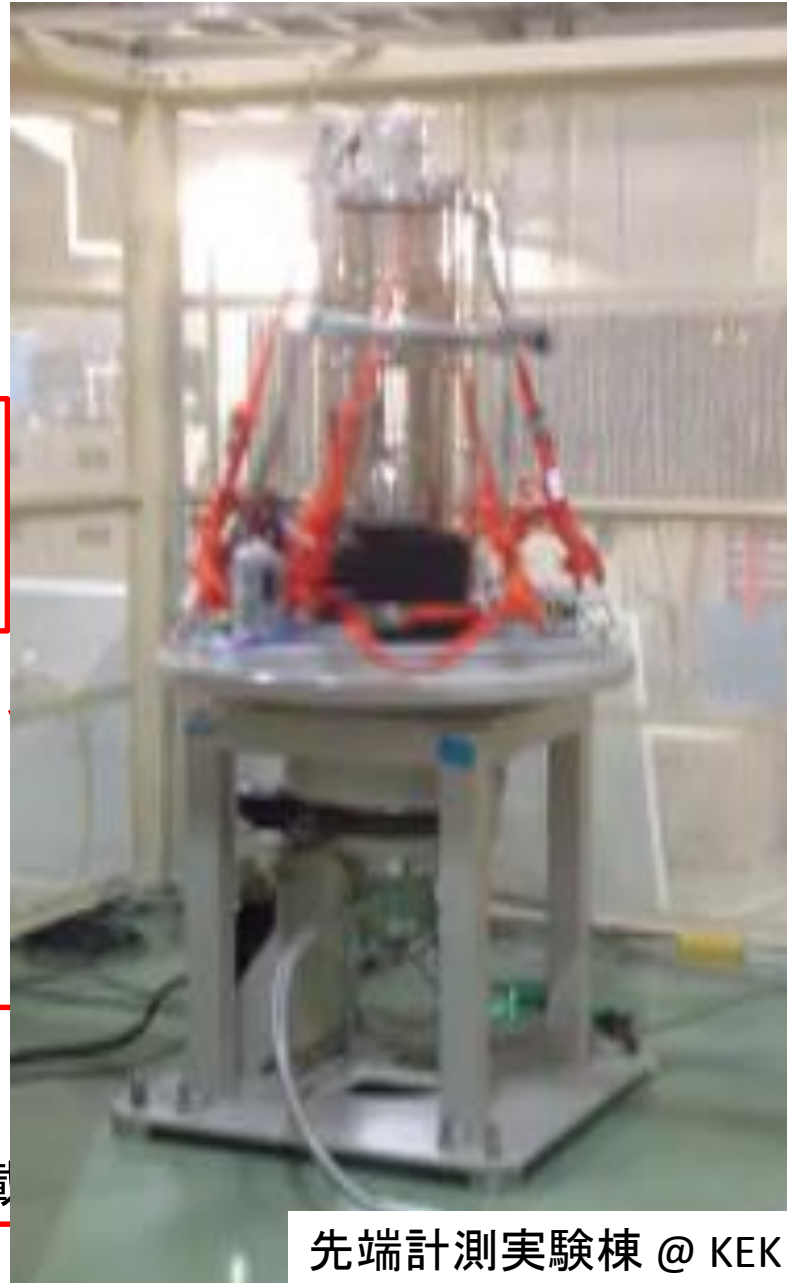
回転冷却光学系



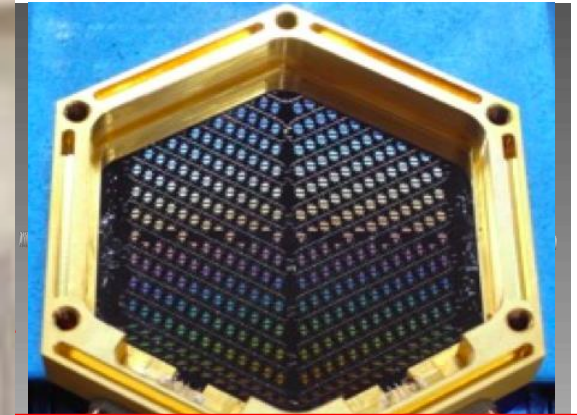
クロス-ドラゴン
反射光学系 @ 4 K
開口径 30 cm、視野 20°



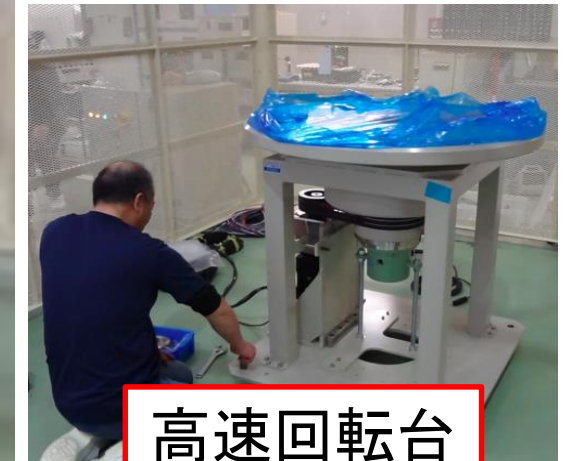
クライオスタット
パルス管冷凍機、
ヘリウム吸着式冷凍機搭載



先端計測実験棟 @ KEK



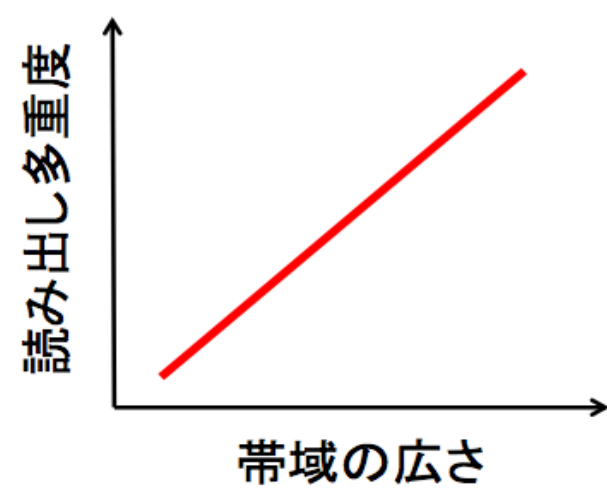
MKID アレイ @ 250 mK
624 個 @ 145 GHz
224 個 @ 220 GHz



高速回転台
分速 20 回転

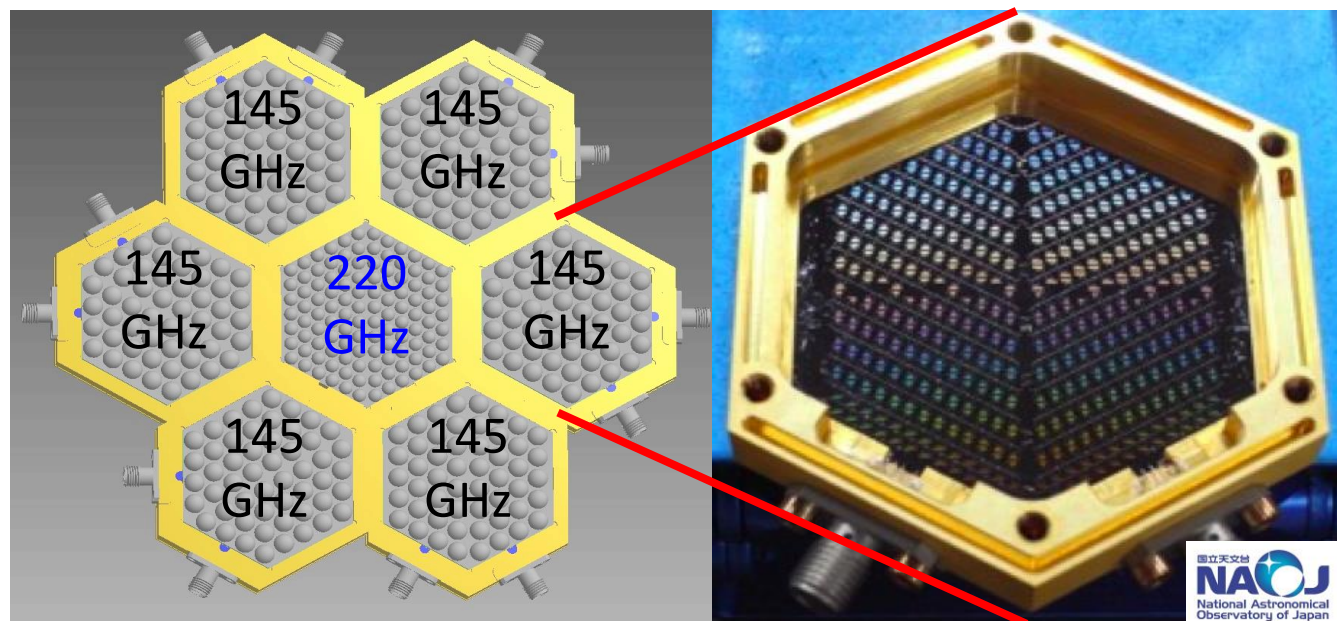
GroundBIRD 実験の読み出し要求

- 100 素子同時読み出し ⇔ 帯域 200 MHz
- deadtime-less かつ安定した読み出し
- sample rate > 10 kHz
 - MKID の応答速度 ~100 us
- readout rate < 1.6 MB/s
 - 8 board を 1 PC で読み出した場合



GroundBIRD 焦点面

MKID-array

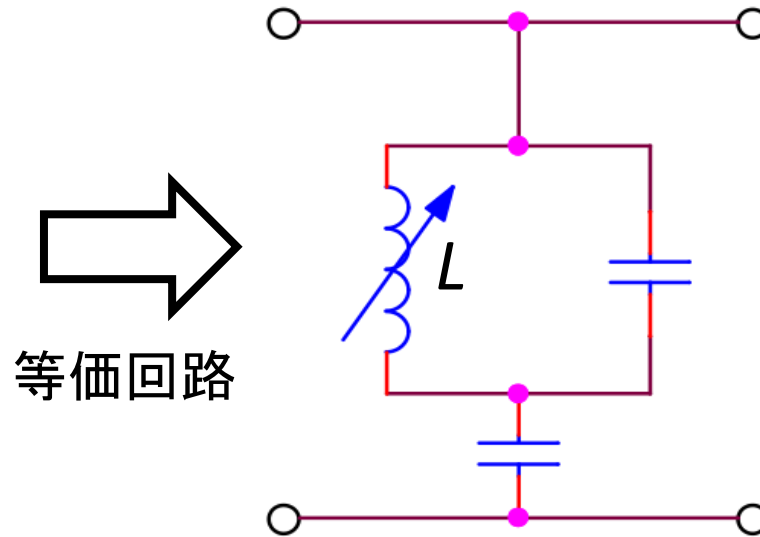
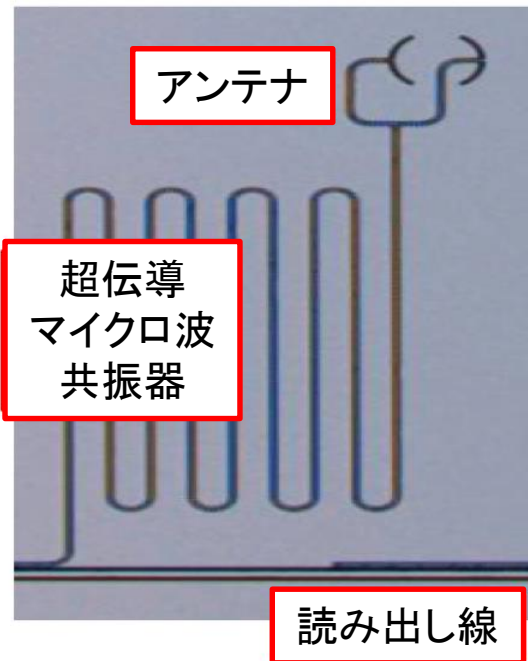


GroundBIRD:

- 観測周波数: 145, 220 GHz
- 読出周波数: 4—5 GHz
- 検出器数: 848
- NET: 250 uKs^{1/2}/個

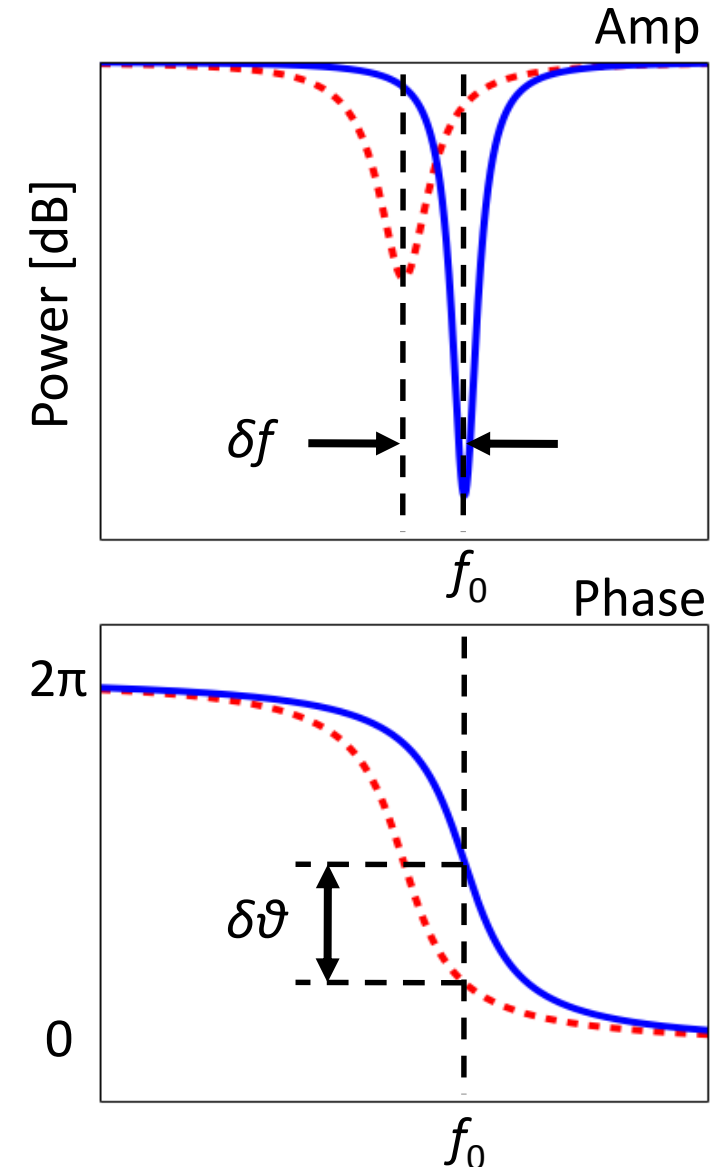
超伝導検出器 MKID と読み出し

MKID (Microwave Kinetic Inductance Detector)



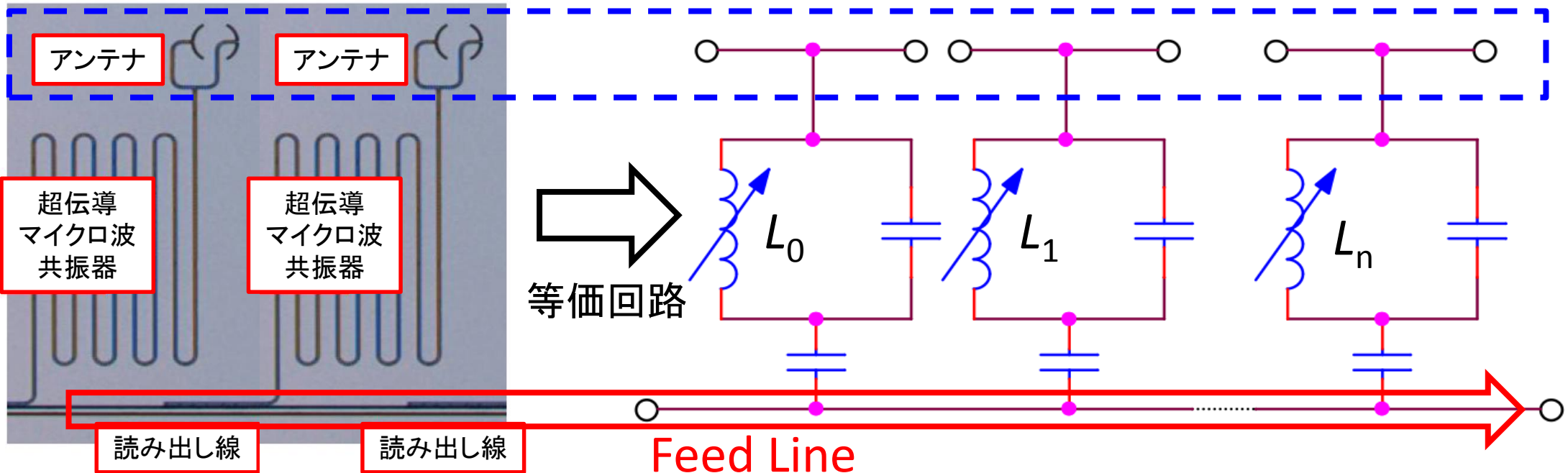
- Antenna receives photons (CMB) (アンテナに光子(CMB)が入射)
- Cooper pairs in the resonator are broken, increasing quasiparticle number (共振器のクーパー対が壊れ準粒子数増加)
- Change in the mechanical inductance of the resonator (共振器の力学的インダクタンス変化)
- Change in the resonance state (共振状態変化)

Measurement of amplitude and phase change (振幅と位相の変化を計測)



MKIDs (Microwave Kinetic Inductance Detectors)

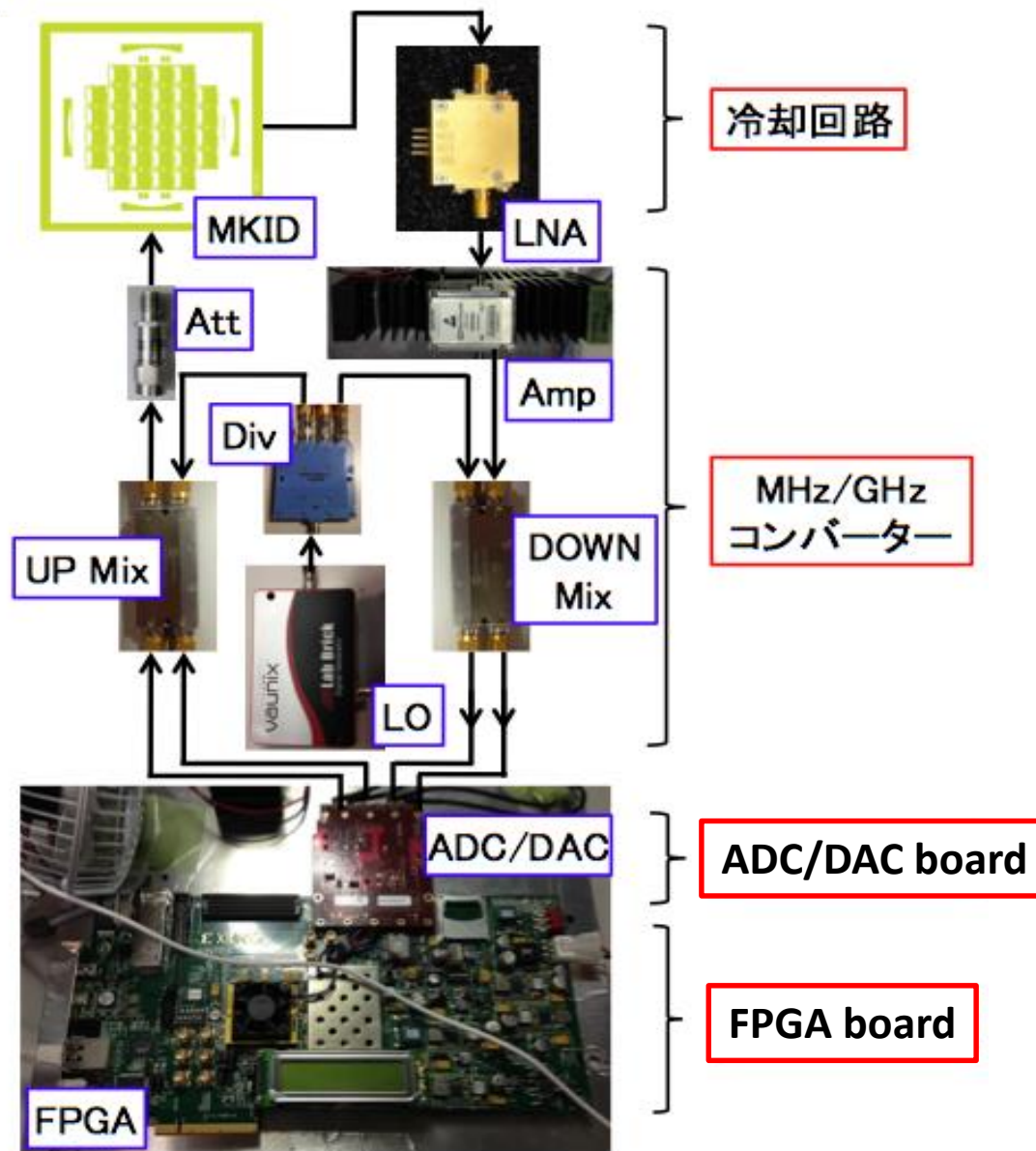
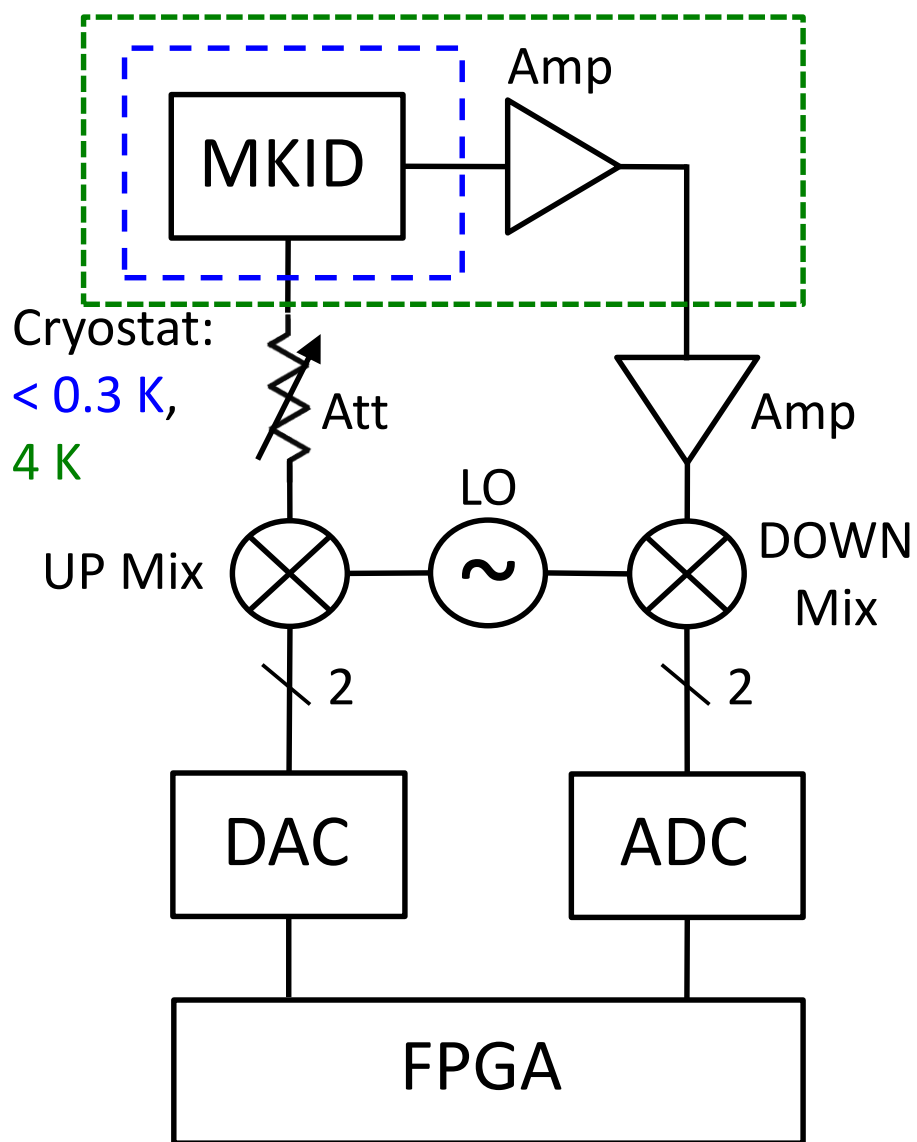
Antenna



共振器の長さを変えて、周波数空間へ信号を多重化:

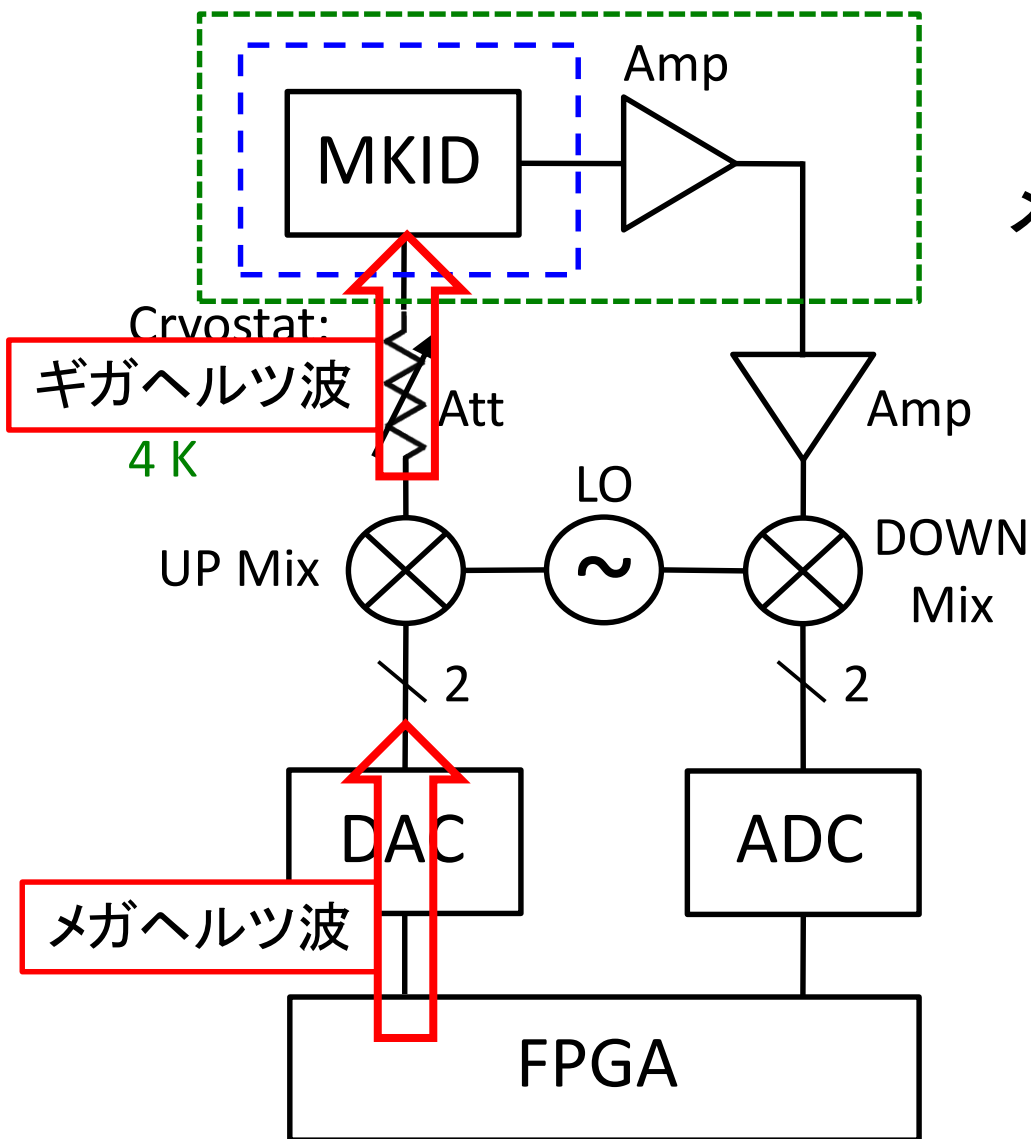
- 1本の Feed Line で多素子同時読み出し
- 冷凍機の熱流入を抑制

MKID 読み出し系



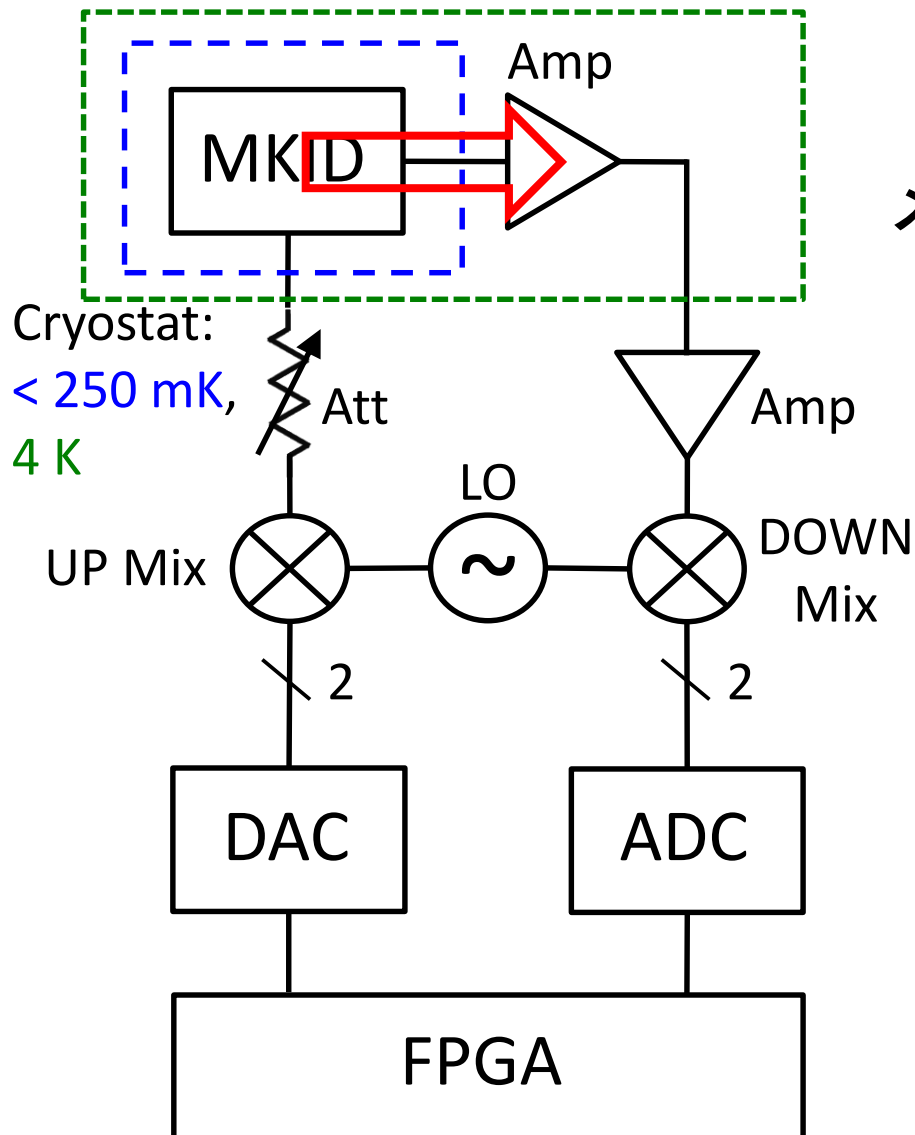
読み出し方法

FPGA でつくった波を DAC で出力し、
UP Mixer と LO (3–6 GHz) で、
メガヘルツをギガヘルツに Up-convert



読み出し方法

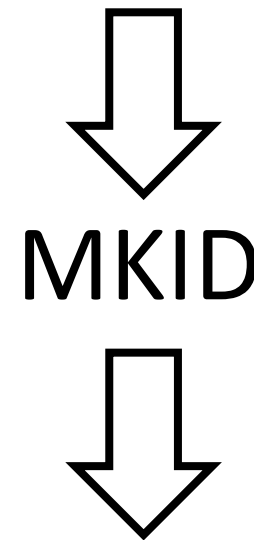
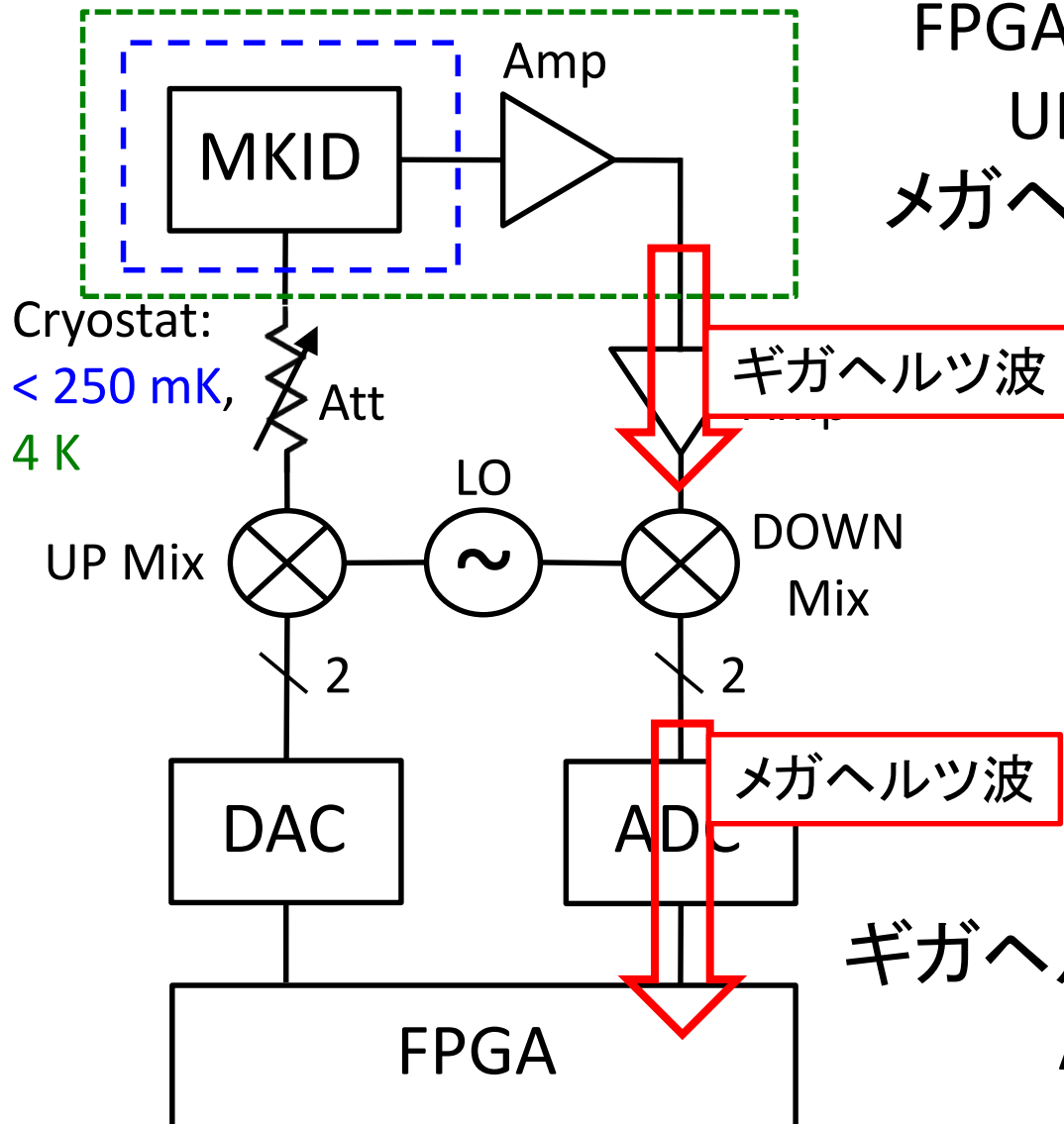
FPGA でつくった波を DAC で出力し、
UP Mixer と LO (3–6 GHz) で、
メガヘルツをギガヘルツに Up-convert



↓
MKID

読み出し方法

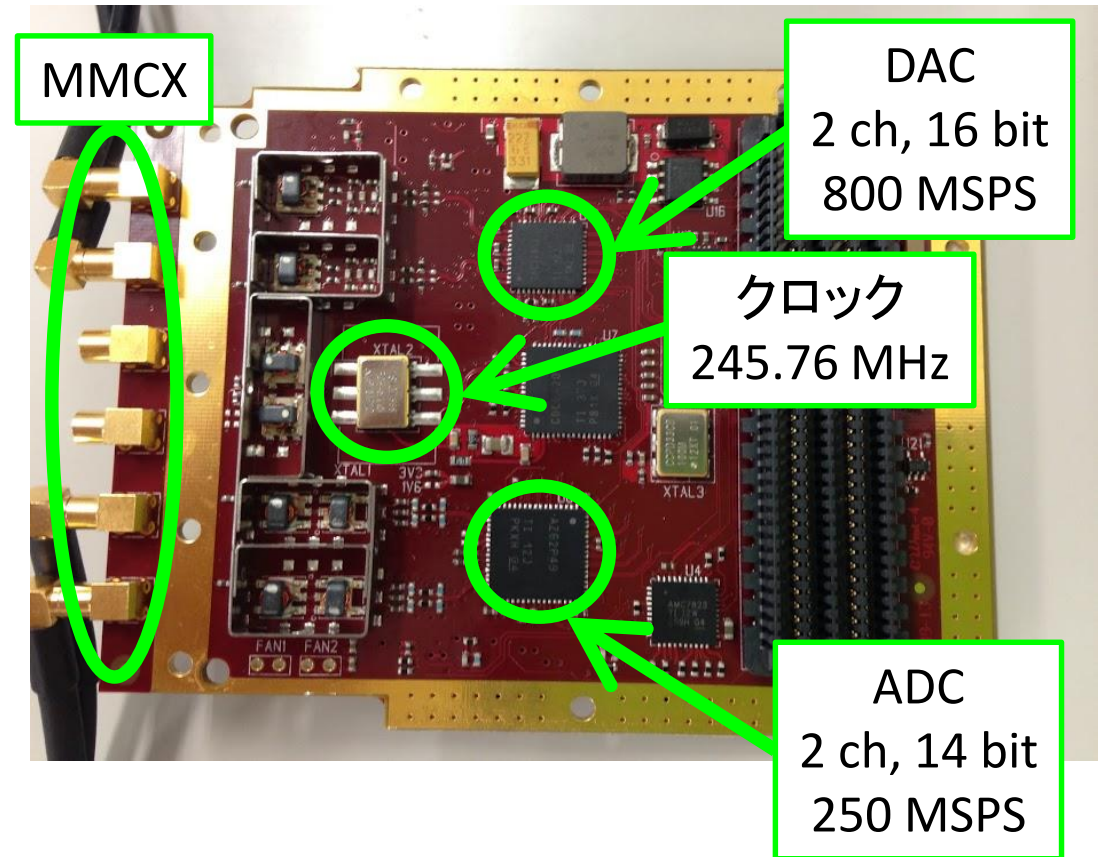
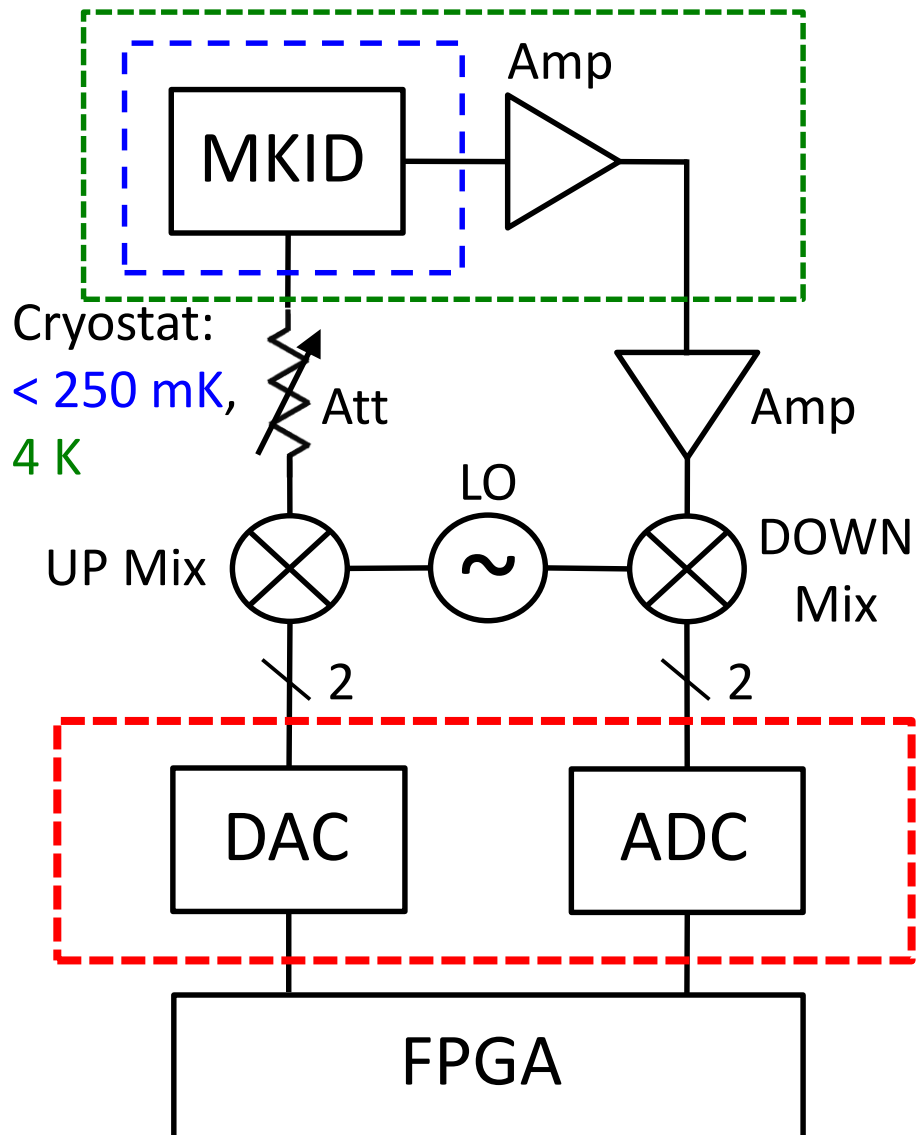
FPGA でつくった波を DAC で出力し、
UP Mixer と LO (3–6 GHz) で、
メガヘルツをギガヘルツに Up-convert



DOWN Mixer と LO で、
ギガヘルツをメガヘルツに Down-convert
ADC で FPGA に戻して検出

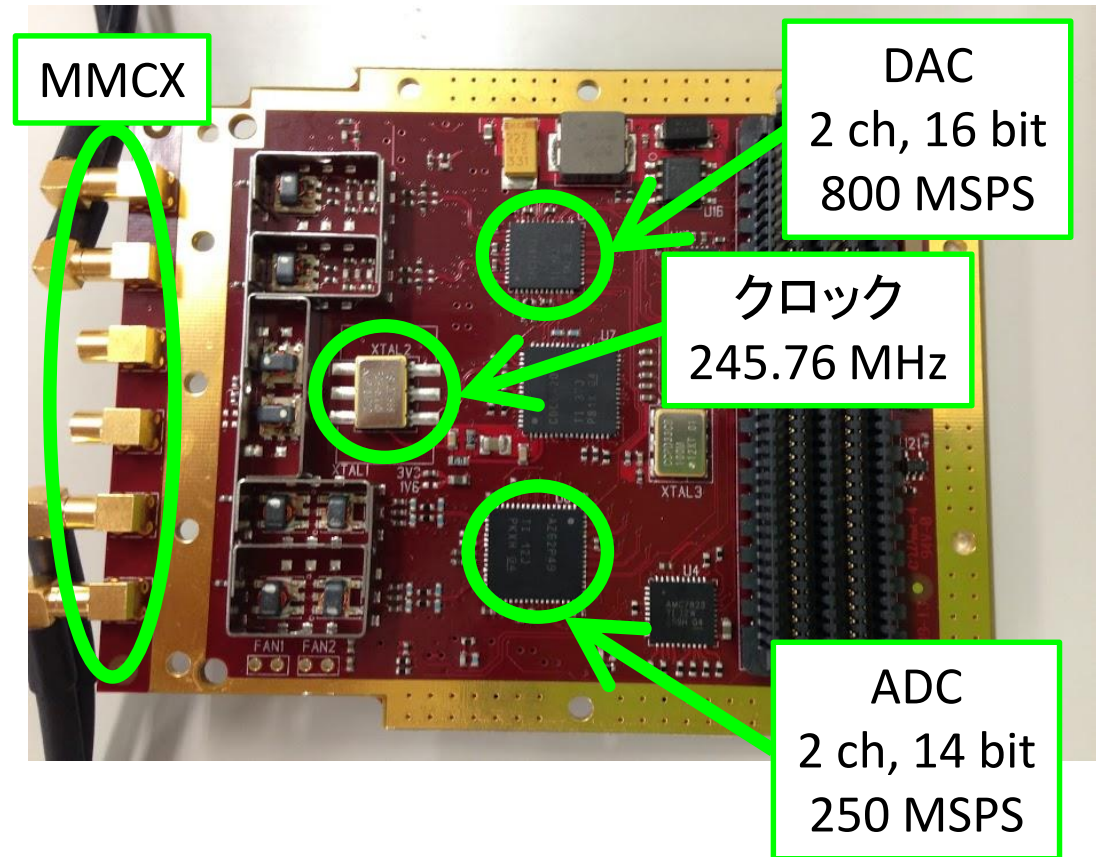
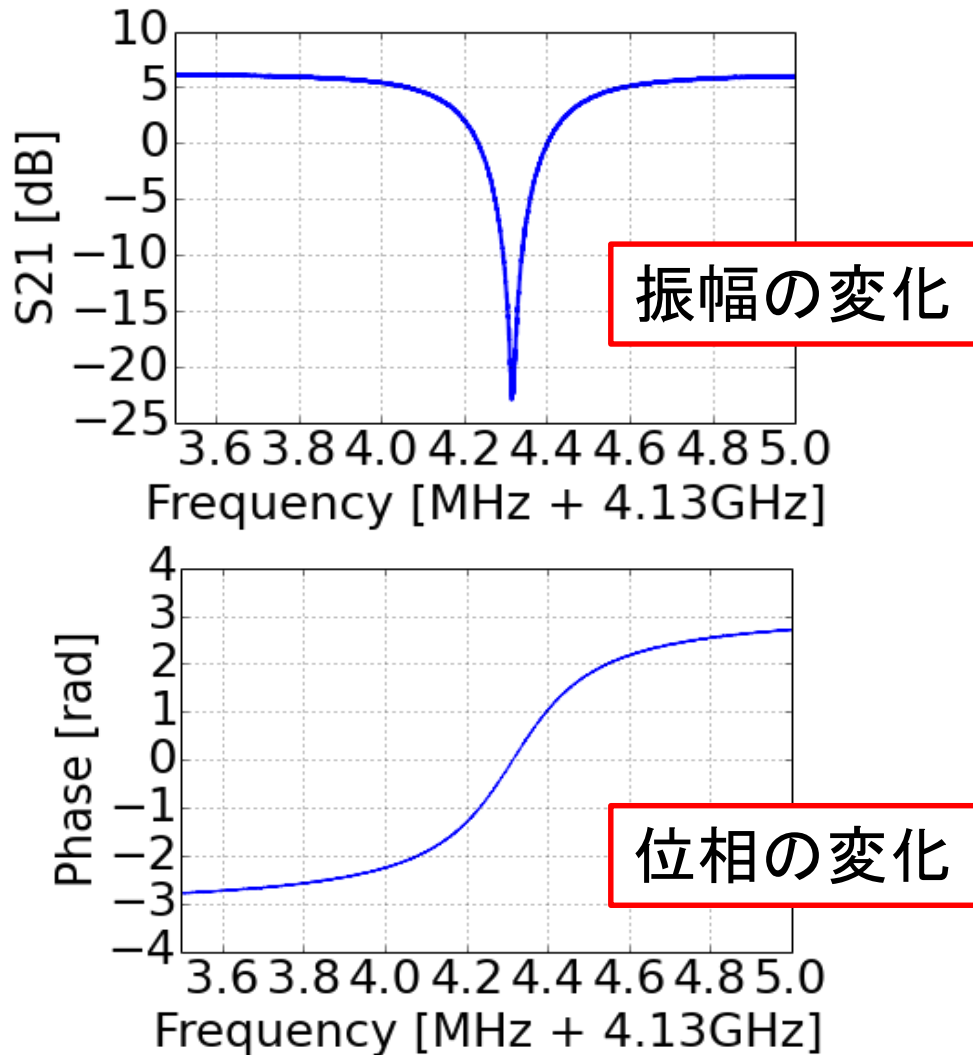
従来の ADC/DAC board – FMC150

<http://www.4dsp.com/FMC150.php>



FMC150 で MKID を読み出した例

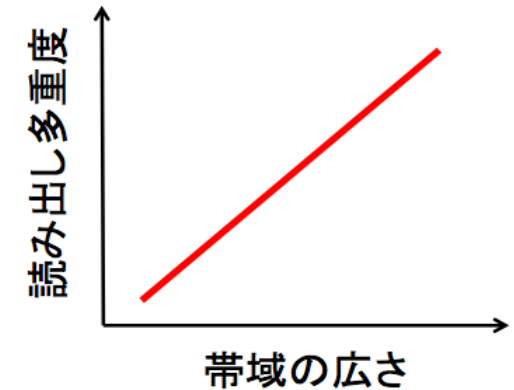
<http://www.4dsp.com/FMC150.php>



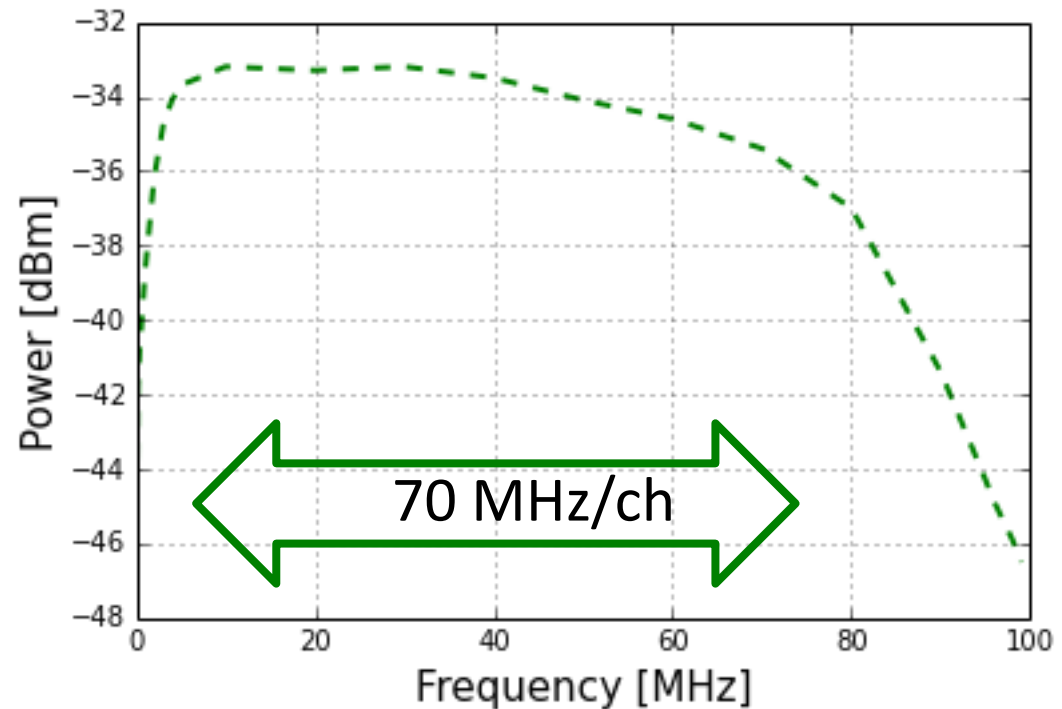
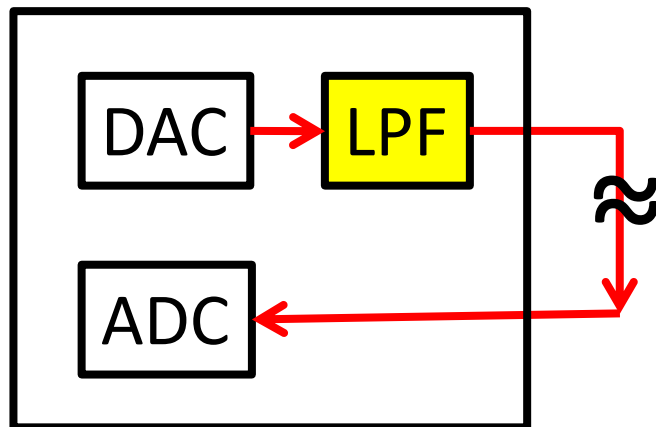
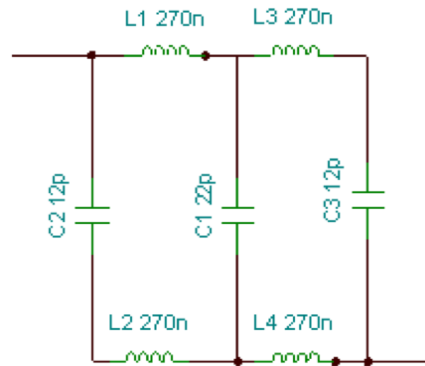
FMC150 は CMB 観測には使えない

ローパス・フィルタによる帯域の制限

帯域の広さは読み出し多重度に比例
しかし、DAC 出口にローパス・フィルタが実装
→ 帯域を実質 70 MHz 以下に制限



5th order
Chebyshev LPF

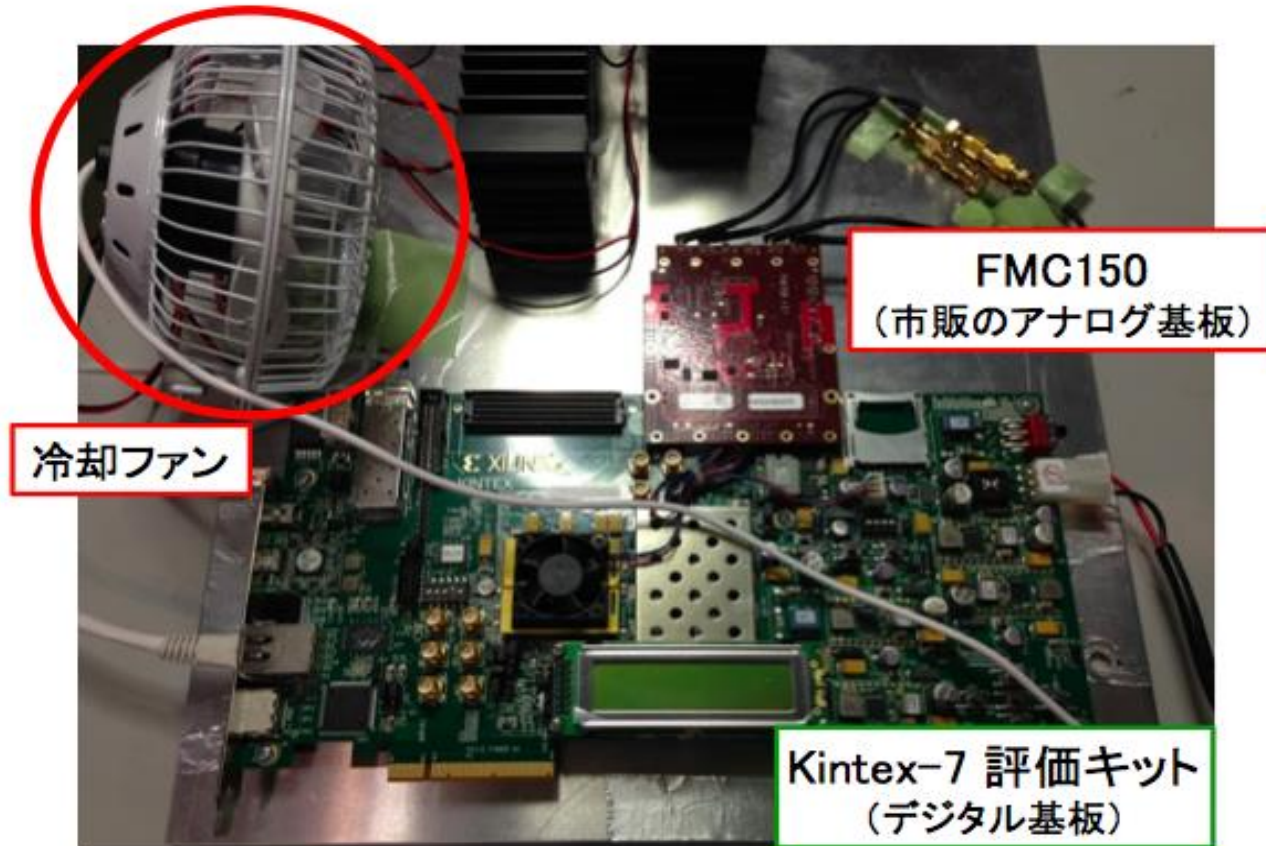


消費電力・発熱の過大

基板が消費電力過多で発熱 → FPGA board hung-up
特に PLL(位相同期回路)の消費電力が大きく、発熱量が大きい
→ 読み出し系の動作が不安定
→ deatime-less という CMB 実験の要求を満たさない

その他:

- 外付け冷却ファンが必須
- HDL コード増(1,000 行~)
- バグ増 etc.



ユーザビリティの損失

クロック周波数が人にやさしくない:

- 通信用なので、分周しやすい周波数(245.76 MHz)の発振器が搭載
- ユーザーが調整する周波数分解能が非直感的になる(12.288 kHz)

コネクタの規格が不揃い:

- アナログ基板のコネクタだけ、別の工具、ケーブルが必要
- コネクタの脱着は、開発時において日常茶飯事
- ユーザーに余計なストレスを与える

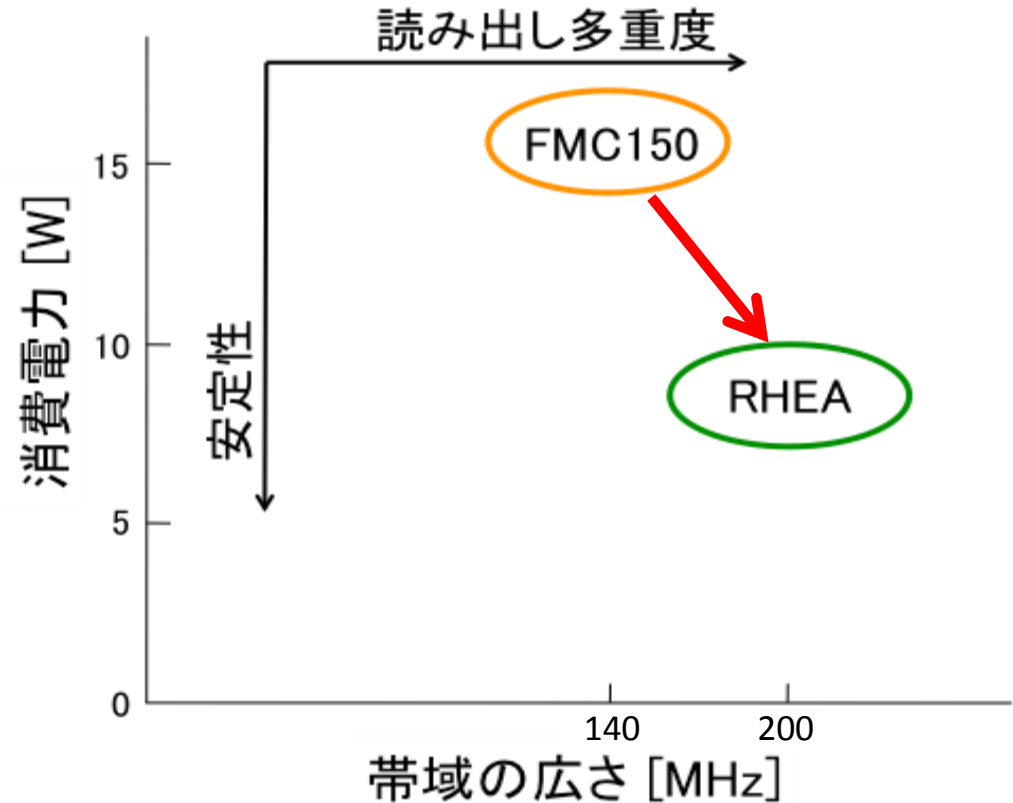
解決すべき課題

- 制限された帯域
- 消費電力・発熱の過多
- ユーザビリティの損失

ADC/DAC の性能を活かし、
無駄な機能を排除した
シンプルなボードが欲しい！



南米に住む陸鳥 (ground bird)
時速 60 km/h の俊足
(Wikipedia より)

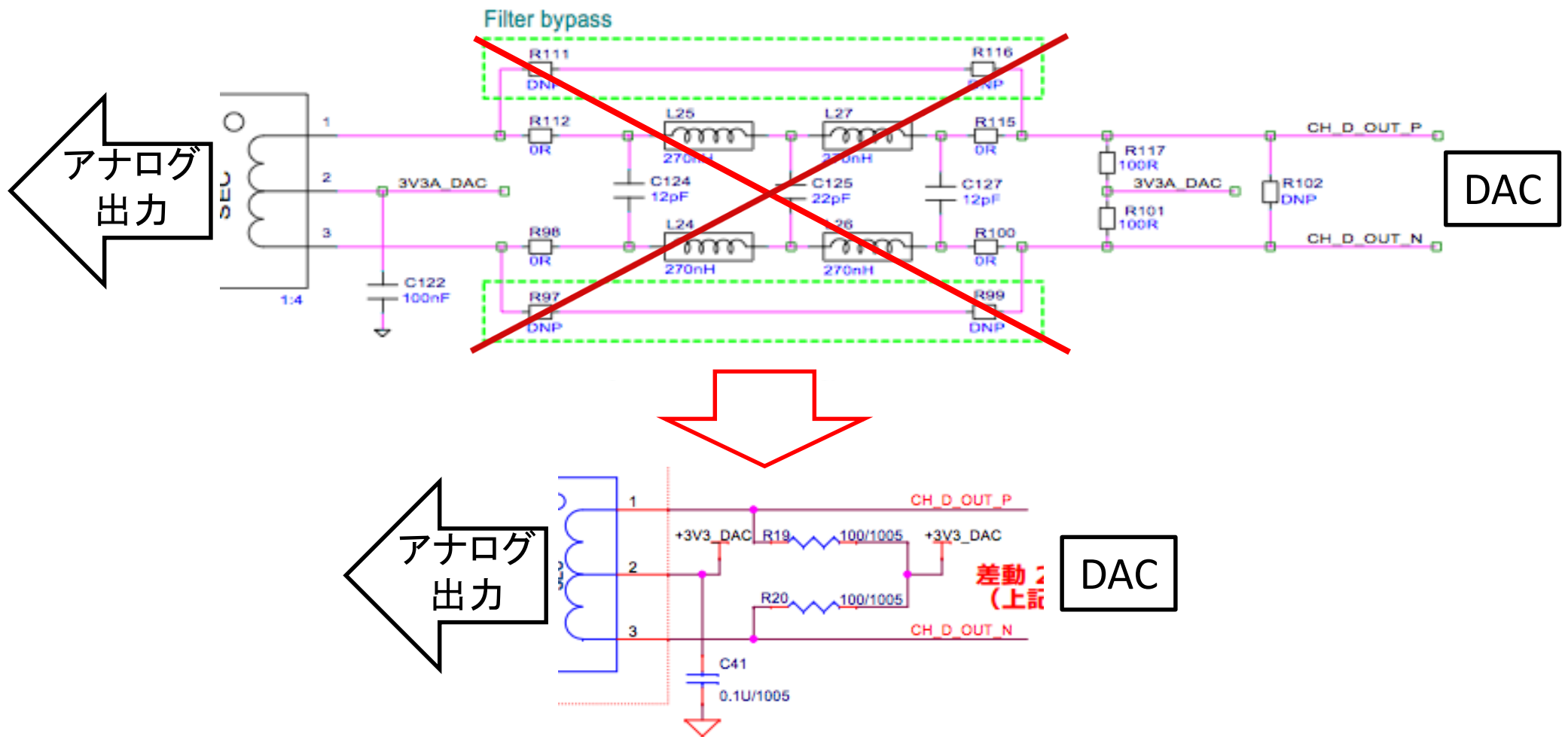


ADC/DAC board の開発

RHEA (Rhea is a High spEed Analog board)

広帯域化

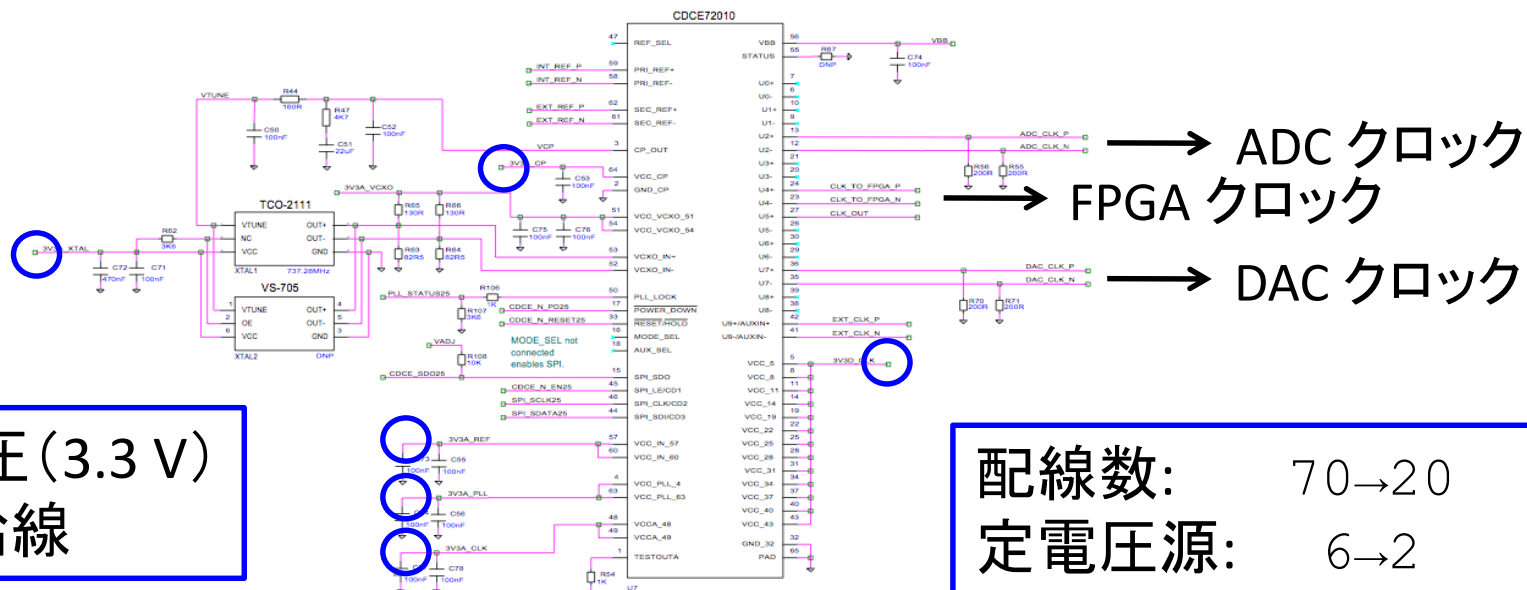
DAC 出力部分のキャパシタとインダクタからなるローパス・フィルタを排除



省電力・利便化

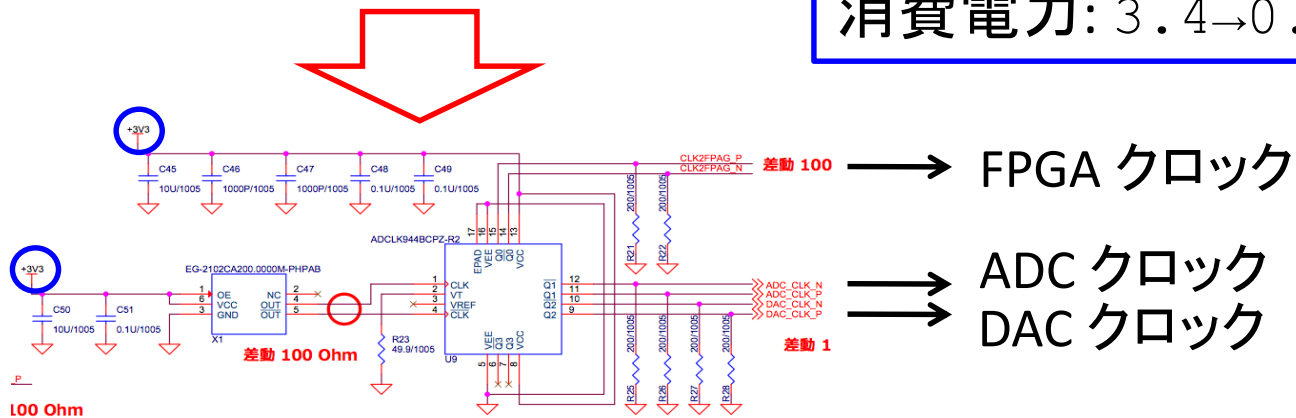
クロック分配の簡素化

PLL → Clock fanout buffer、周波数: 245.76 MHz → 200 MHz



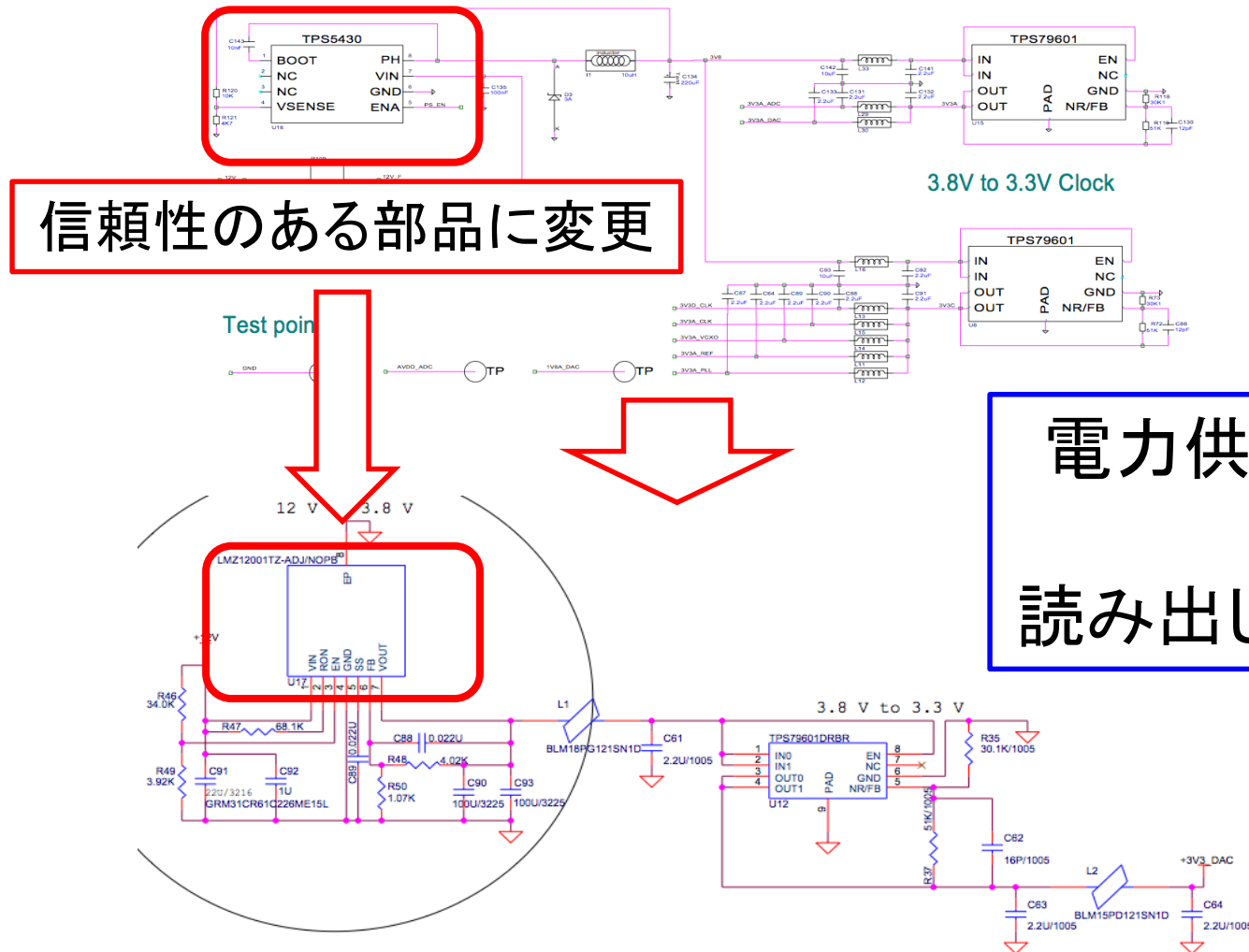
○: 定電圧 (3.3 V) 供給線

配線数: 70 → 20
 定電圧源: 6 → 2
 消費電力: 3.4 → 0.62 W



安定化

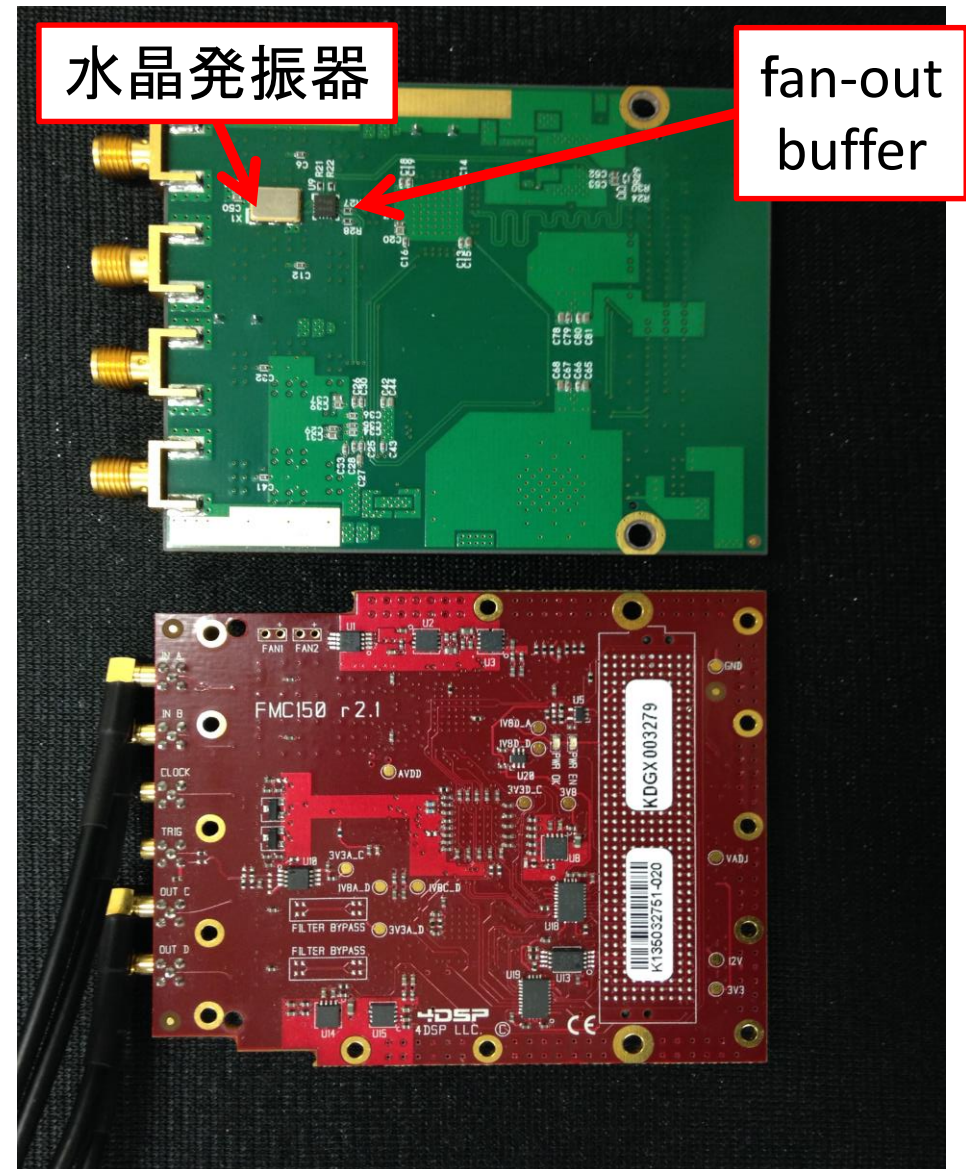
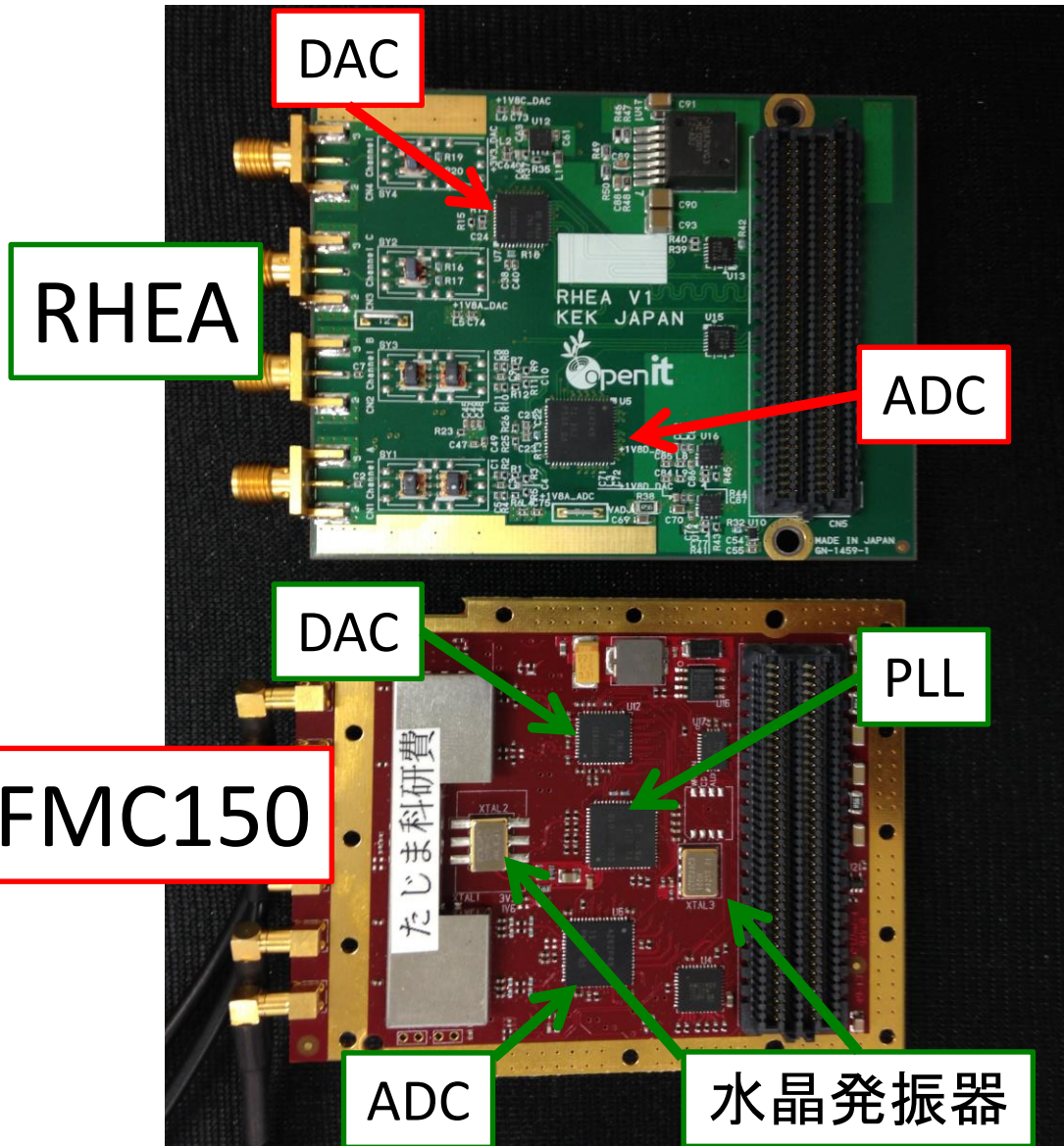
電源回路を簡素化 & IC の再選定

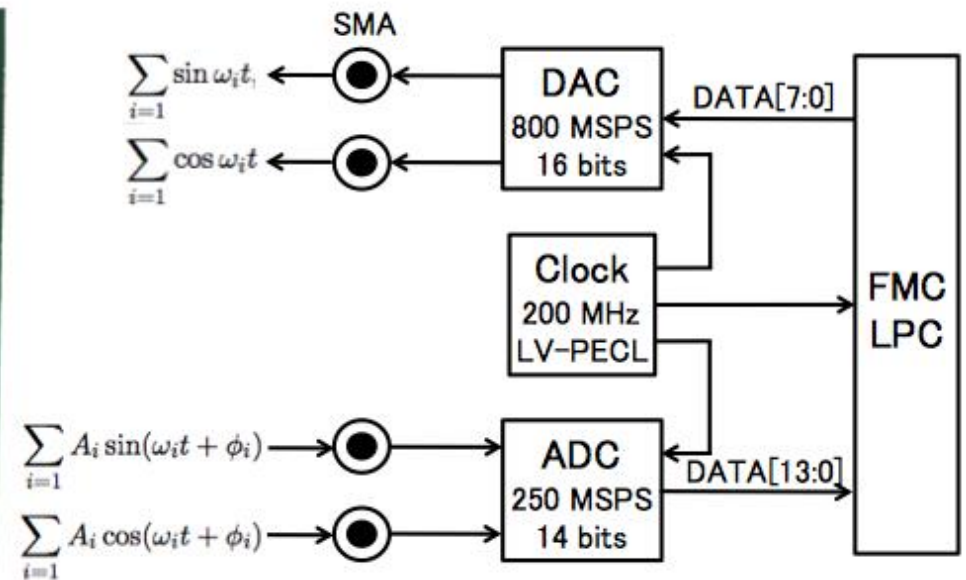
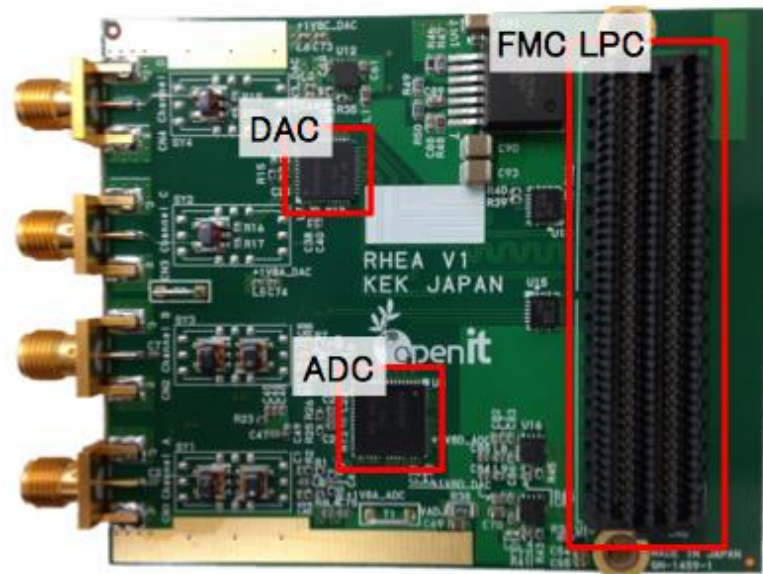


RHEA による解決案

- 広帯域化
 - ローパス・フィルタを排除
- 省電力化・安定化
 - PLL → Clock fan-out buffer を採用
 - 電源回路の見直し
- ユーザビリティの向上
 - 水晶発振器の変更 (245.76 MHz → 200 MHz)
 - コネクタ規格の統一 (MMCX → SMA)

RHEA と FMC150 の比較



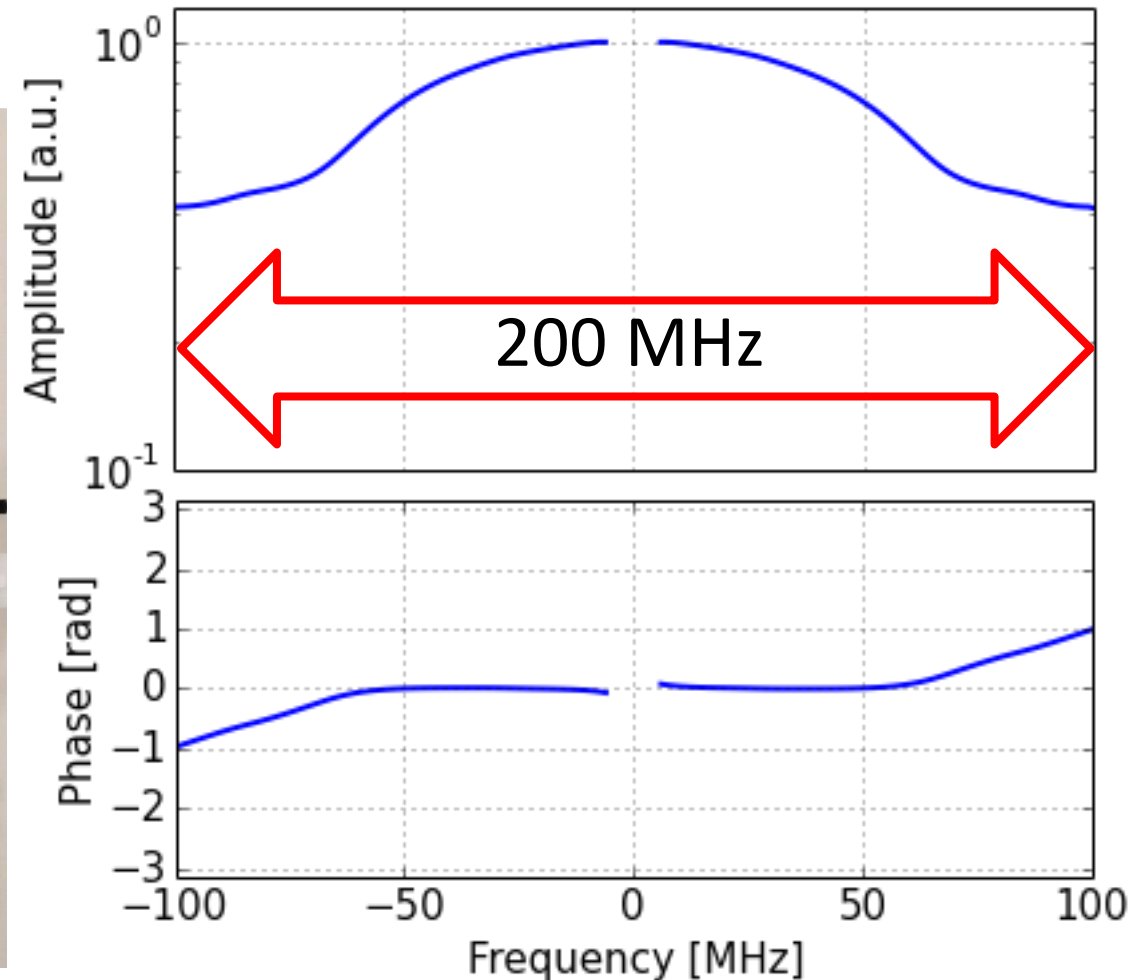
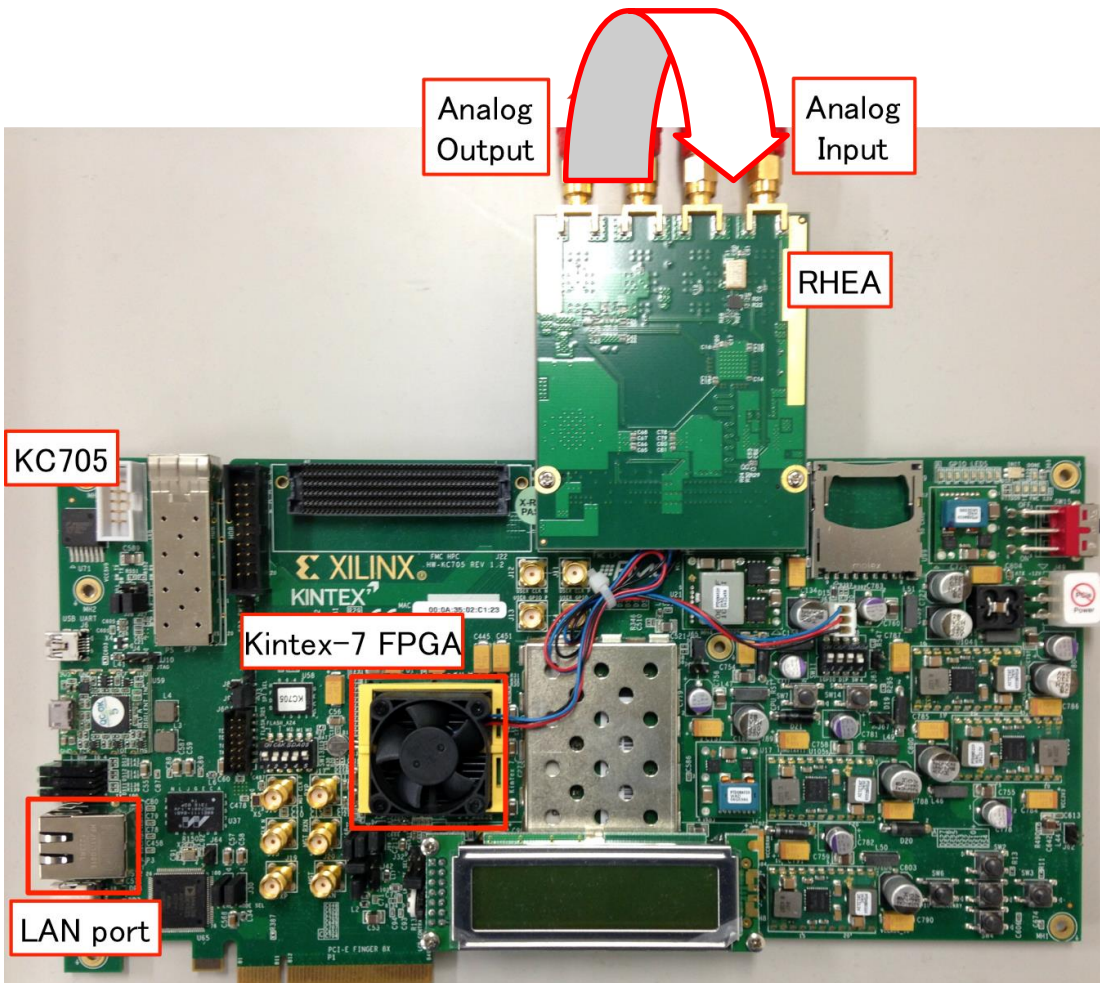


RHEA の評価

帯域の評価

DAC→ADCを直結、FPGAで demodulation (I/Qを計算)して最大使用帯域を測定

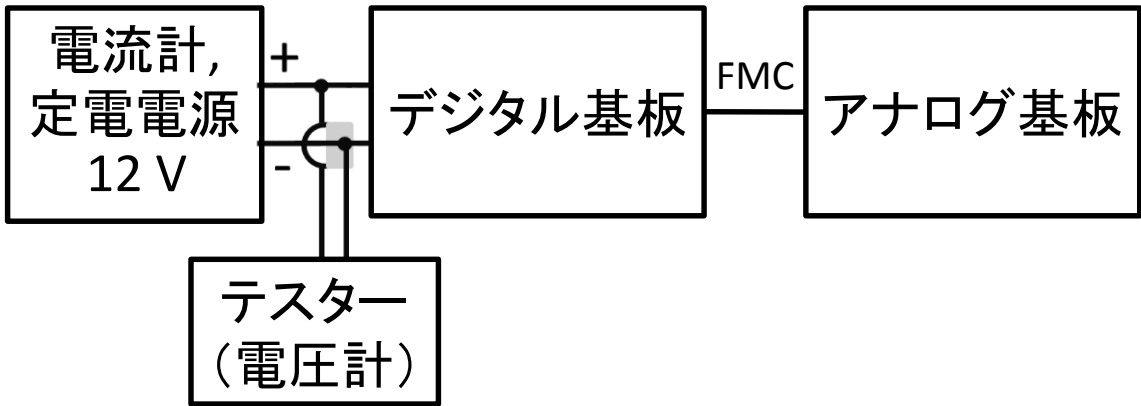
- AMP = $|I + iQ|$, (i: 虚数単位)
- PHA = $\text{angle}(I + iQ)$



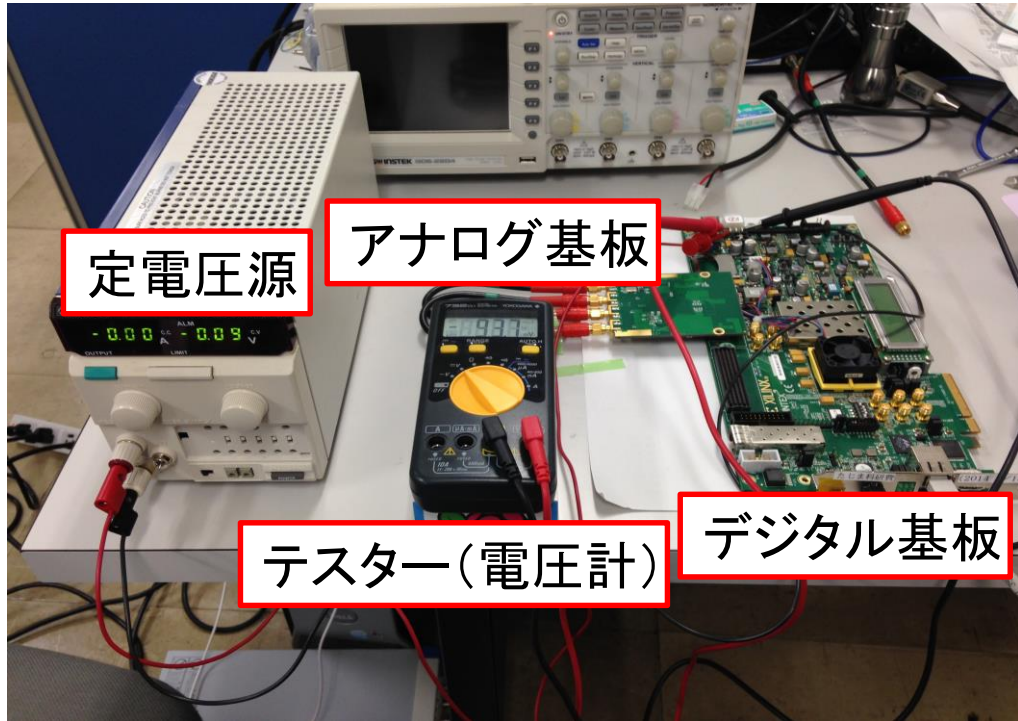
消費電力の評価

評価方法:

- 1. 定電圧源(12 V)で基板に電力を供給
- 2. フロントエンド回路に供給する電流量を計測
- 3. デジタル基板のみの電流量を差し引き、アナログ基板の消費電力を算出



	消費電力 [W]		電力比
	RHEA	FMC15	
		0	
待機状態	1.8	5.9	0.31
MUX 1	4.7	11.4	0.41
MUX 32	7.9	15.1	0.52



従来の半分の消費電力

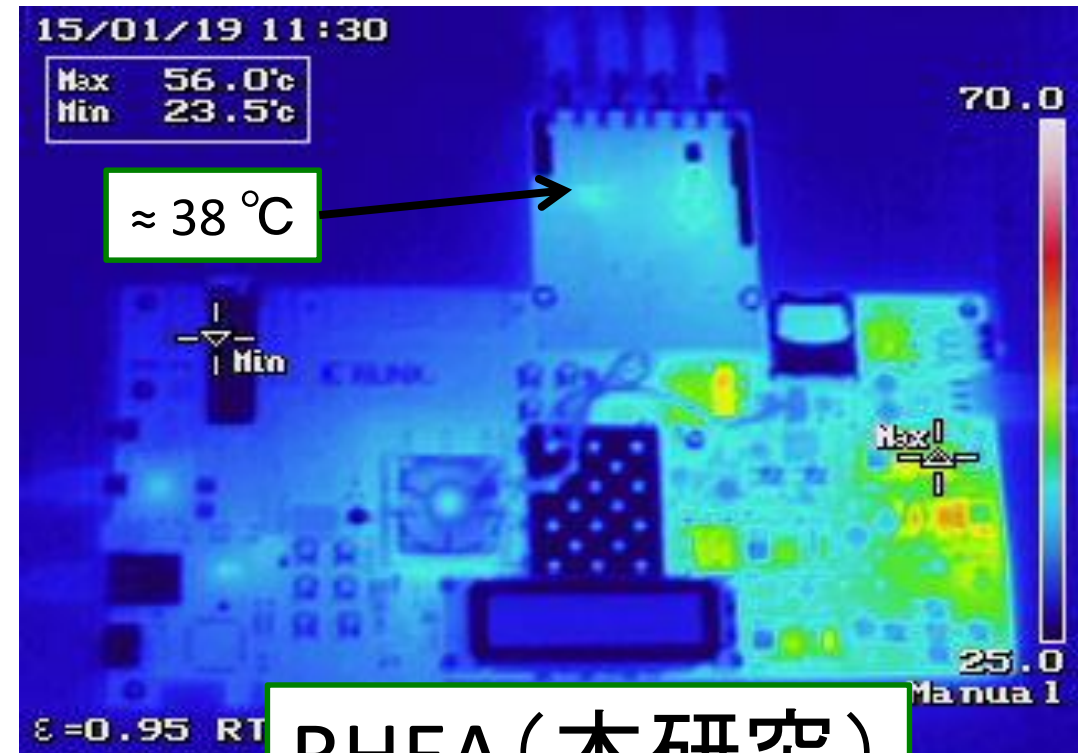
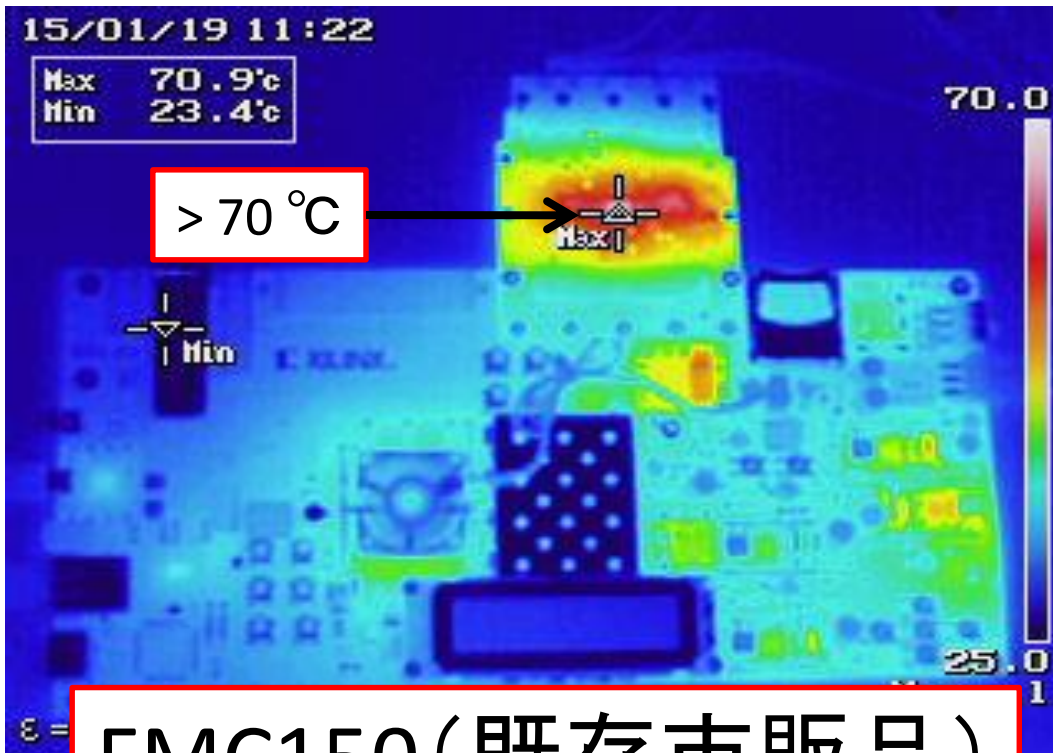
基板の発熱量

赤外線サーモグラフィを使って基板表面温度を測定

- RHEA と FMC150 を「読み出し多重度 32」で稼働し、それぞれについて冷却ファンあり/なしの温度を計測



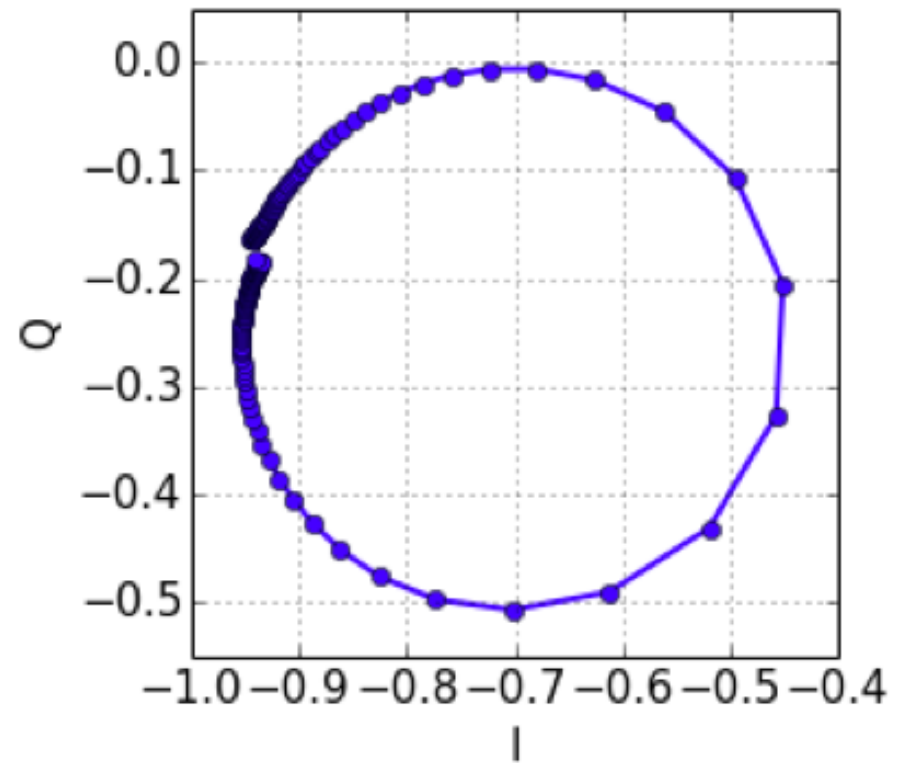
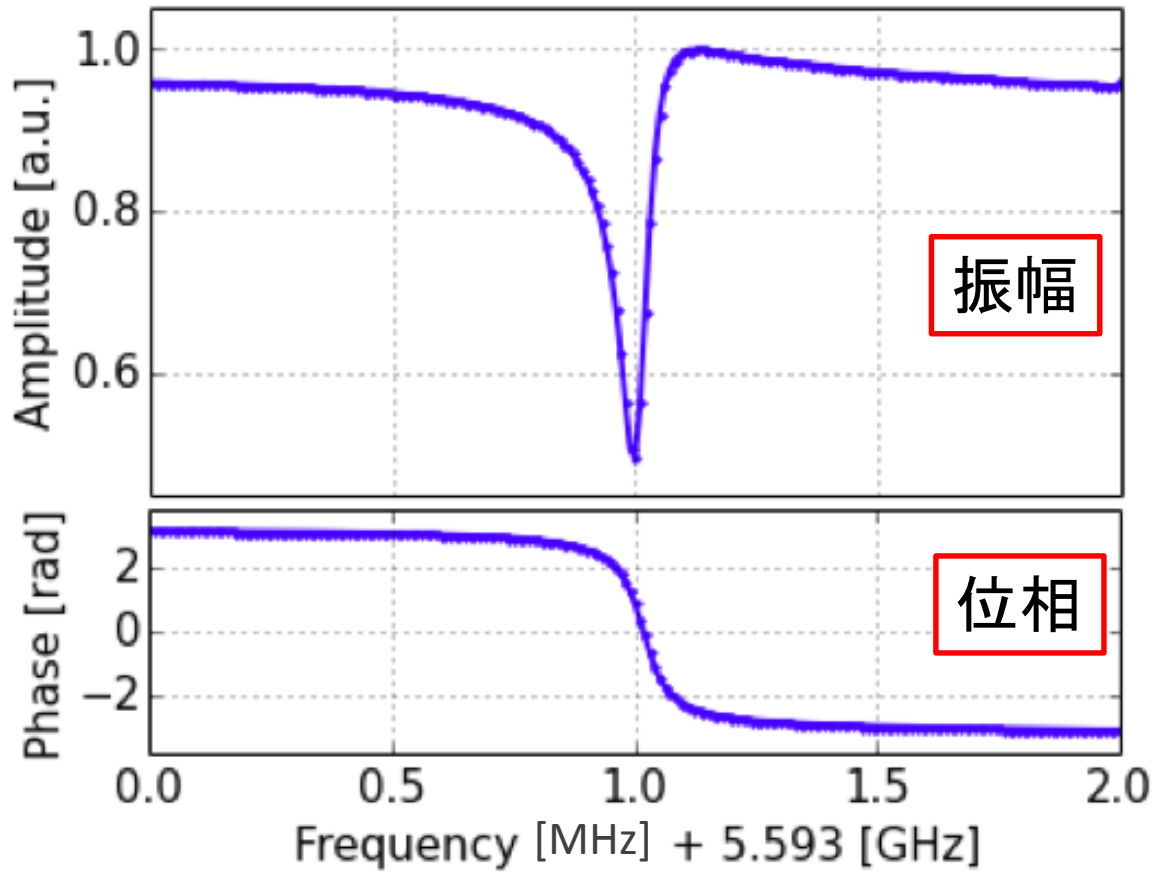
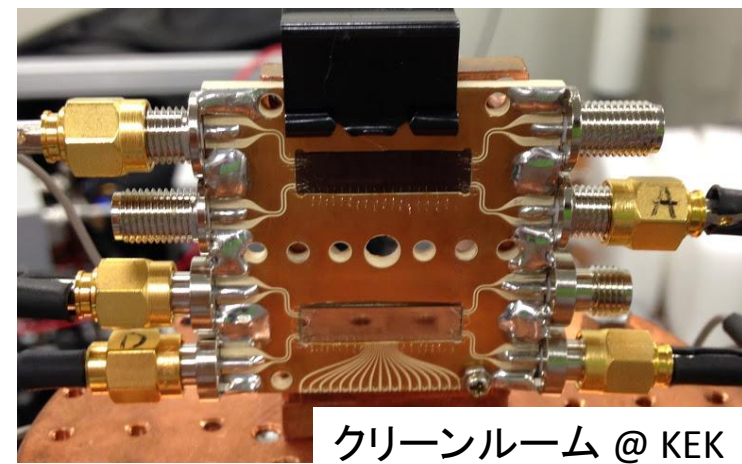
Keysight U5855A



基板上 IC の発熱量を大幅に削減

MKID の読み出し試験

- Nb-MKID を使って共振ピークを観測
- 振幅・位相読み出しで共振を確認



1 チャンネル読み出し OK → 多チャンネル化

まとめと今後の開発

- CMB 観測用 MKID の読み出しに用いる ADC/DAC board を開発
 - GroundBIRD が要求する帯域 200 MHz
 - deadtime-less かつ安定した読み出し
- 従来の ADC/DAC board の解決すべき課題:
 - 帯域が狭い
 - 消費電力・発熱の過大
 - user-unfriendly
- 新 ADC/DAC board 「RHEA」による改善:
 - 帯域: 200 MHz
 - 消費電力: 50% off
 - user-friendly
- RHEA が GroundBIRD 実験の要求を満たすことを確認
- 新フロントエンド回路で MKID の読み出し試験を行い信号を確認
- 今後の開発
 - ノイズスペクトルの測定
 - 多チャンネル化
 - FPGA ボードのアップグレード

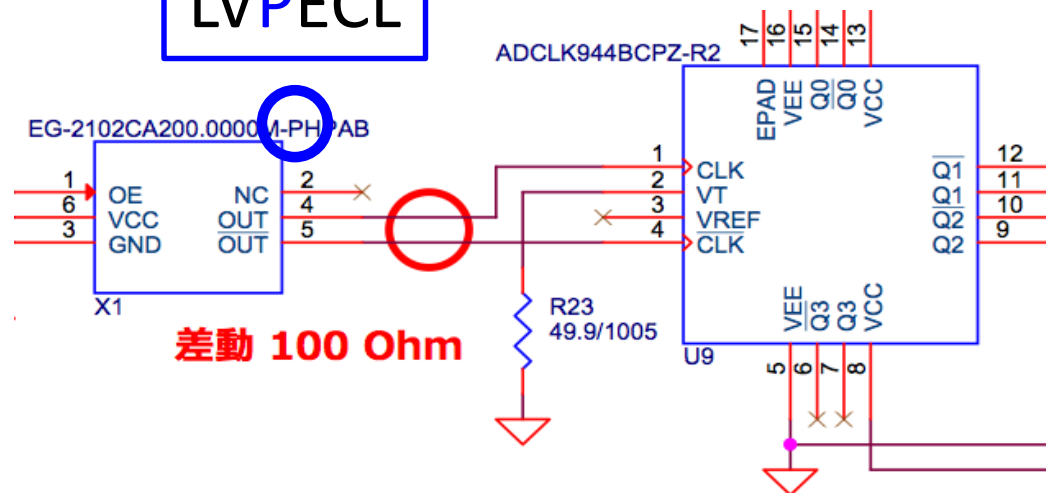
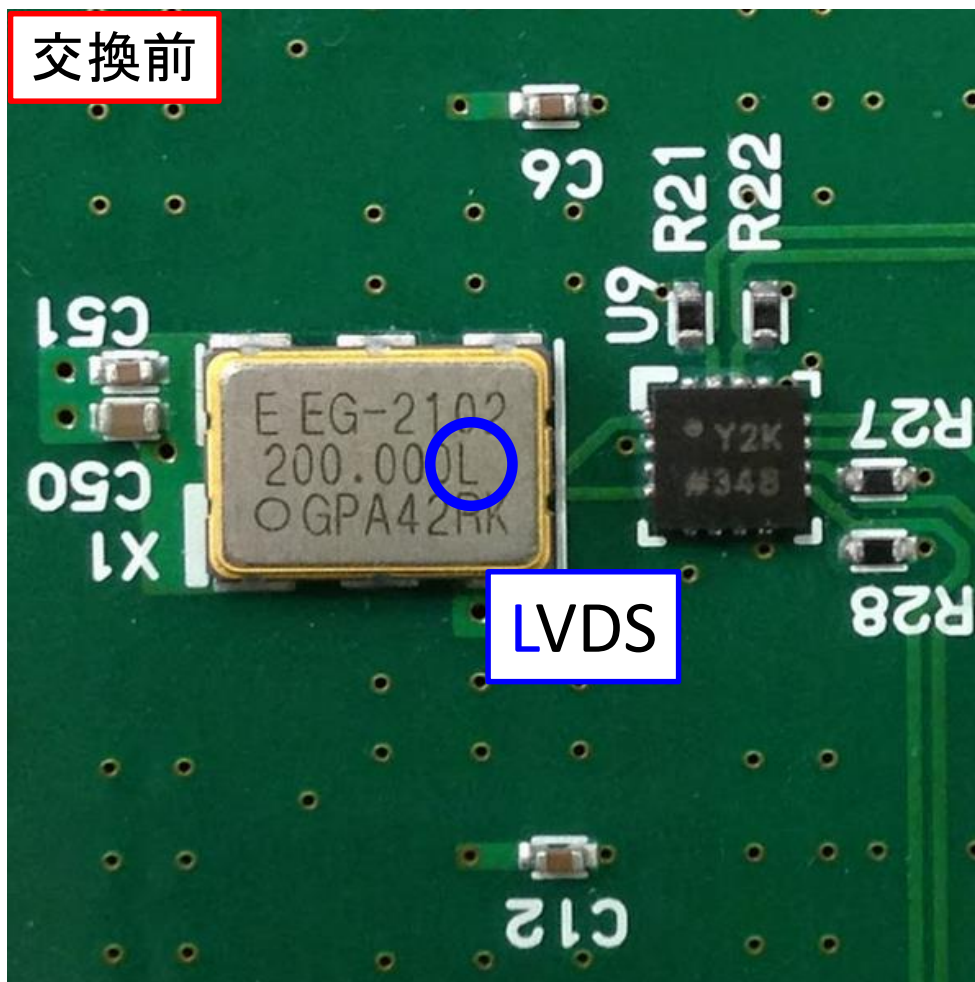
開発上の困難とその解決

クロックが出ない？

搭載している水晶発振器が回路図と違った

LVPECL

交換前



LVDS を ADCLK944 に入力するには、AC-Coupled する必要がある。
また、R23 により差動クロックの Common-mode が GND に落ちているため、閾値を超えない。
つまり、信号は出ない。

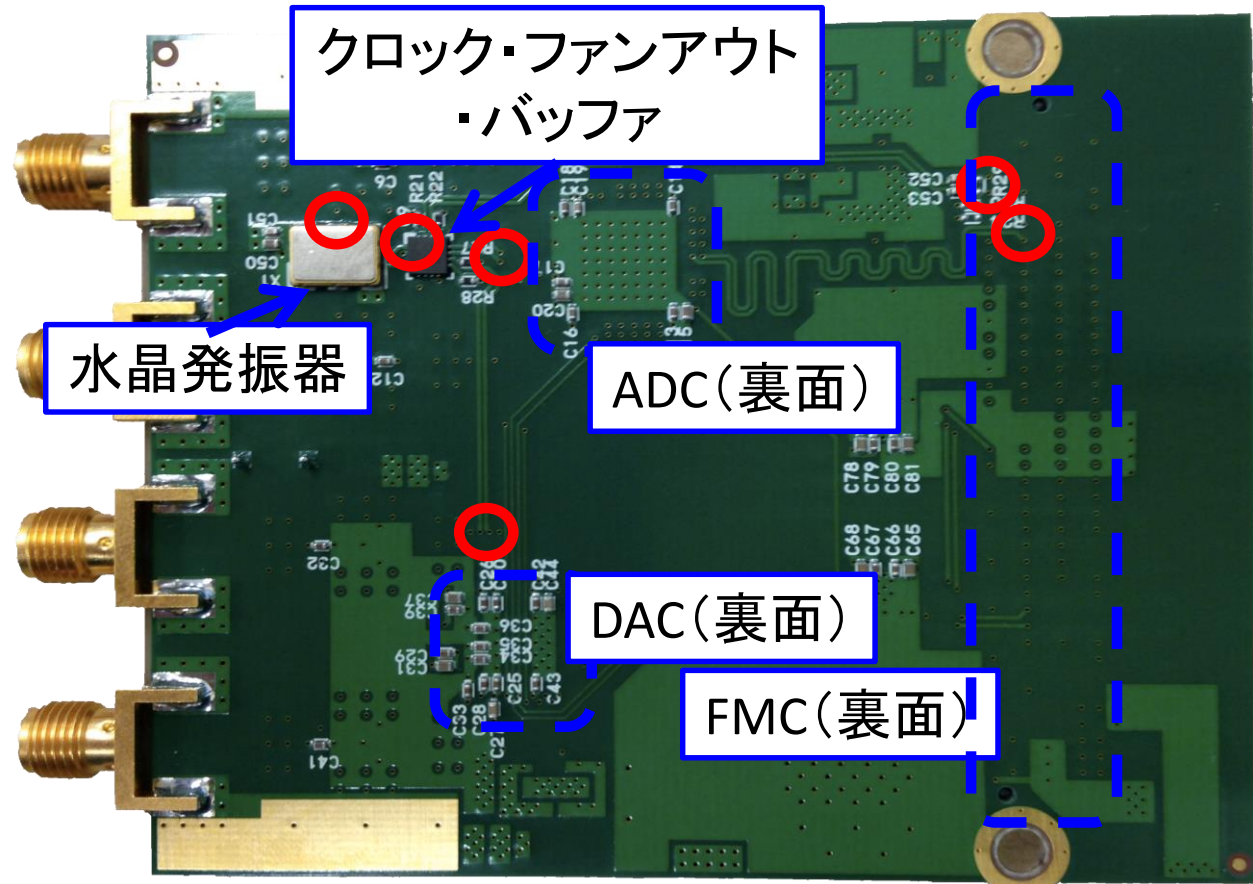
クロックの確認方法

確認方法:

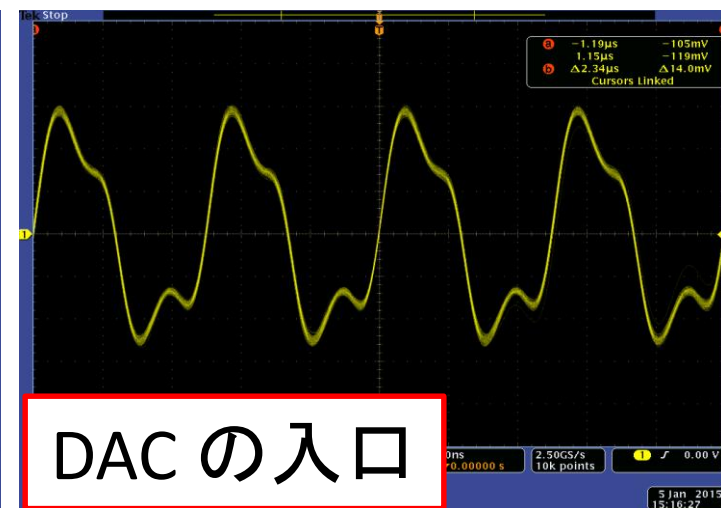
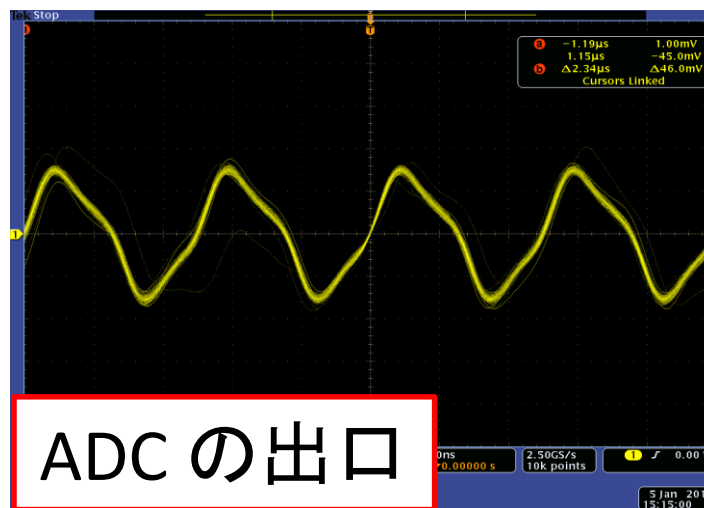
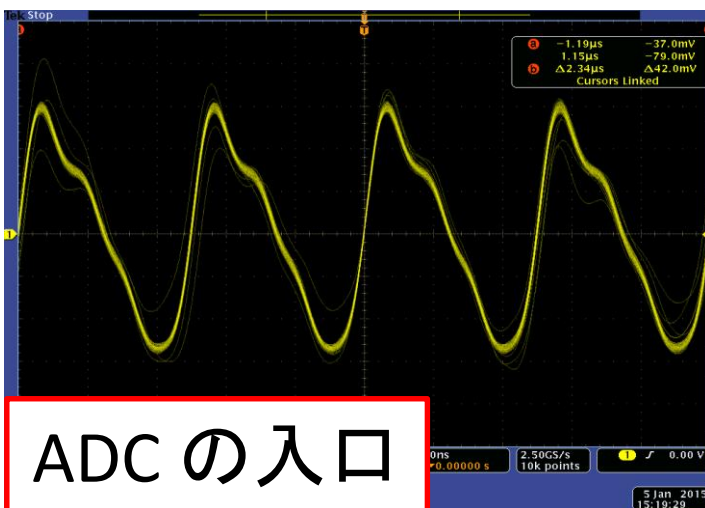
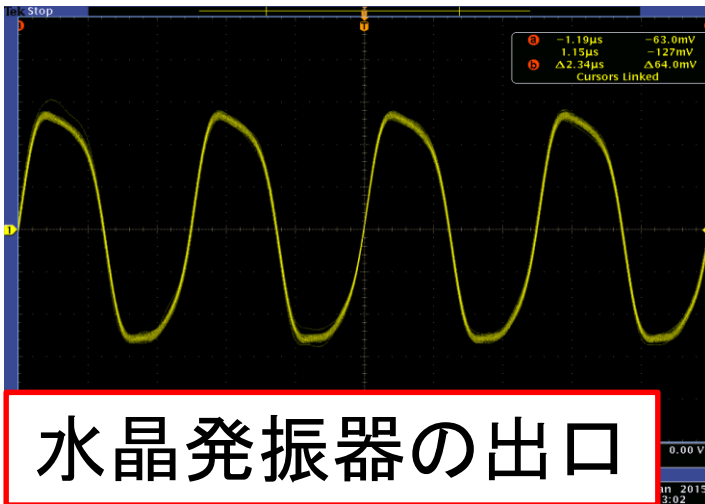
- ○ 部分をオシロスコープでプローブ
- + 厳密には、差動信号をプローブする際は差動プローブを用いるが信号の有無を確認することが目的のためパッシブ・プローブを使う

Probe point:

- 水晶発振器の出口
- ファンアウトの入口
- ファンアウトの出口
- ADC の入口
- ADC の出口
- DAC の入口



水晶発振器を交換



SiTCP の timing violation

- 開発環境 ISE → Vivado、制約方法が変わった UCF → XDC
- timing violation が大量に発生:
 - Total hold slack: -1462.473 ns
 - # of failing endpoints: **409**
- timing violation が検出されると bit file 生成に時間がかかり、開発効率が著しく落ちる

The screenshot shows the 'Design Timing Summary' window in Vivado. The window is titled 'Timing - Timing Summary - timing_1'. The left sidebar shows a tree view with 'Design Timing Summary' selected. The main area displays three columns of timing metrics:

Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 2.401 ns	Worst Hold Slack (WHS): -3.730 ns	Worst Pulse Width Slack (WPWS): 1.100 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): -1462.473 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 409	Number of Failing Endpoints: 0
Total Number of Endpoints: 7119	Total Number of Endpoints: 7119	Total Number of Endpoints: 4236

Below the metrics, it states: **Timing constraints are not met.**

The 'Hold' column values (-3.730 ns and -1462.473 ns) are circled in red in the original image. The left sidebar also shows 'Inter-Clock Paths' with two entries: 'phy_rxclk to phy_txclk' (Hold -0.447 ns (10)) and 'clk_out2_clk_wiz_0 to phy_txclk' (Hold -3.730 ns (10)).

SiTCP timing violation

phy_rxclk → phy_txclk, 125 MHz → phy_txclk

From Clock	To Clock	Edges (WNS)	WNS (ns)	TNS (ns)	Failing Endpoints (TNS)	Total Endpoints (TNS)	Edges (WHS)	WHS (ns)	THS (ns)	Failing Endpoints (THS)	Total Endpoints (THS)
phy_rxclk	phy_txclk	rise - rise	7.750	0.000	0	18	rise - rise	-0.447 -7.926		18	18
clk_out2_clk_wiz_0	phy_txclk	rise - rise	8.718	0.000	0	408	rise - rise	-3.730 -1462.026		408	408
phy_rxclk	clk_out2_clk_wiz_0	rise - rise	3.984	0.000	0	18	rise - rise	1.485 0.000		0	18
phy_txclk	clk_out2_clk_wiz_0	rise - rise	2.401	0.000	0	408	rise - rise	1.718 0.000		0	408

phy_rxclk → phy_txclk

Name	Slack	Levels	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Source Clock	Destination Clock	Exception
Path 91	-0.447	0		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacPause/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseExe_0/D	0.379	0.199	0.180	phy_rxclk	phy_txclk	
Path 92	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_0/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_0/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 93	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_1/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_1/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 94	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_10/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_10/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 95	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_11/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_11/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 96	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_12/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_12/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 97	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_13/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_13/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 98	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_14/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_14/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 99	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_15/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_15/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	
Path 100	-0.444	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXCNT/orMacTim_2/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/irMacPauseTime_2/D	0.491	0.299	0.192	phy_rxclk	phy_txclk	

125 MHz → phy_txclk

Name	Slack	Levels	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Source Clock	Destination Clock	Exception
Path 111	-3.730	1		2 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/ipeCnt_8/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXCNT/ipeOk_0/D	0.456	0.214	0.242	clk_out2_clk_wiz_0	phy_txclk	
Path 112	-3.717	1		5 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/memRdAddr_1/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/stdDec_0/D	0.470	0.214	0.256	clk_out2_clk_wiz_0	phy_txclk	
Path 113	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_0/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_0/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	
Path 114	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_1/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_1/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	
Path 115	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_10/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_10/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	
Path 116	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_2/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_2/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	
Path 117	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_3/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_3/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	
Path 118	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_4/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_4/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	
Path 119	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_5/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_5/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	
Path 120	-3.706	1		1 SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/rsmpBank1LastWAddr_6/C	SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/lastWAddr_6/D	0.480	0.299	0.181	clk_out2_clk_wiz_0	phy_txclk	

Open-It forum でコメントをもらう

SiTCP 内部の信号に timing violation → 内田さん相談
→ Open-It forum にスレッドを作ってもらう

現在位置: [ホーム](#) > [Tips](#) > [member](#) > [FPGA & PCB](#) > [FPGA](#) > [S i T C P タイミングエラー](#)

[Subscribe](#)

S i T C P タイミングエラー

作者: [Tomohisa Uchida](#) — 最終変更 2015年03月31日 14時36分 — [履歴](#)

[Up to FPGA](#)

 Posted by [Tomohisa Uchida](#) at March 19, 2015

SiTCPライブラリ内でタイミングエラーが発生する時があります。

SiTCPでは複数のクロックを使用しているため非同期処理を行っている回路があります。その回路の信号をタイミング計算するとエラーになります。



回避するためには下の制約をかけてください。

```
NET "SiTCP/GMII/GMII_TXBUF/memRdReq*" TIG;  
NET "SiTCP/GMII/GMII_TXBUF/orRdAct*" TIG;  
NET "SiTCP/GMII/GMII_TXBUF/dlyBank0LastWrAddr*" TIG;  
NET "SiTCP/GMII/GMII_TXBUF/dlyBank1LastWrAddr*" TIG;  
NET "SiTCP/GMII/GMII_TXBUF/muxEndTgl" TIG;  
NET "SiTCP/GMII/GMII_RXBUF/cmpWrAddr*" TIG;
```

内田 Esys

<http://openit.kek.jp/tips/member/fpga-pcb/fpga/741101568>

Timing constraints for SiTCP

```
create_clock -period 8.000 -name phy_rxclk -waveform {0.000 4.000} [get_ports phy_rxclk]
create_clock -period 40 [get_ports phy_txclk]
```

Open-It Forum で教えてもらった制約(XDC)

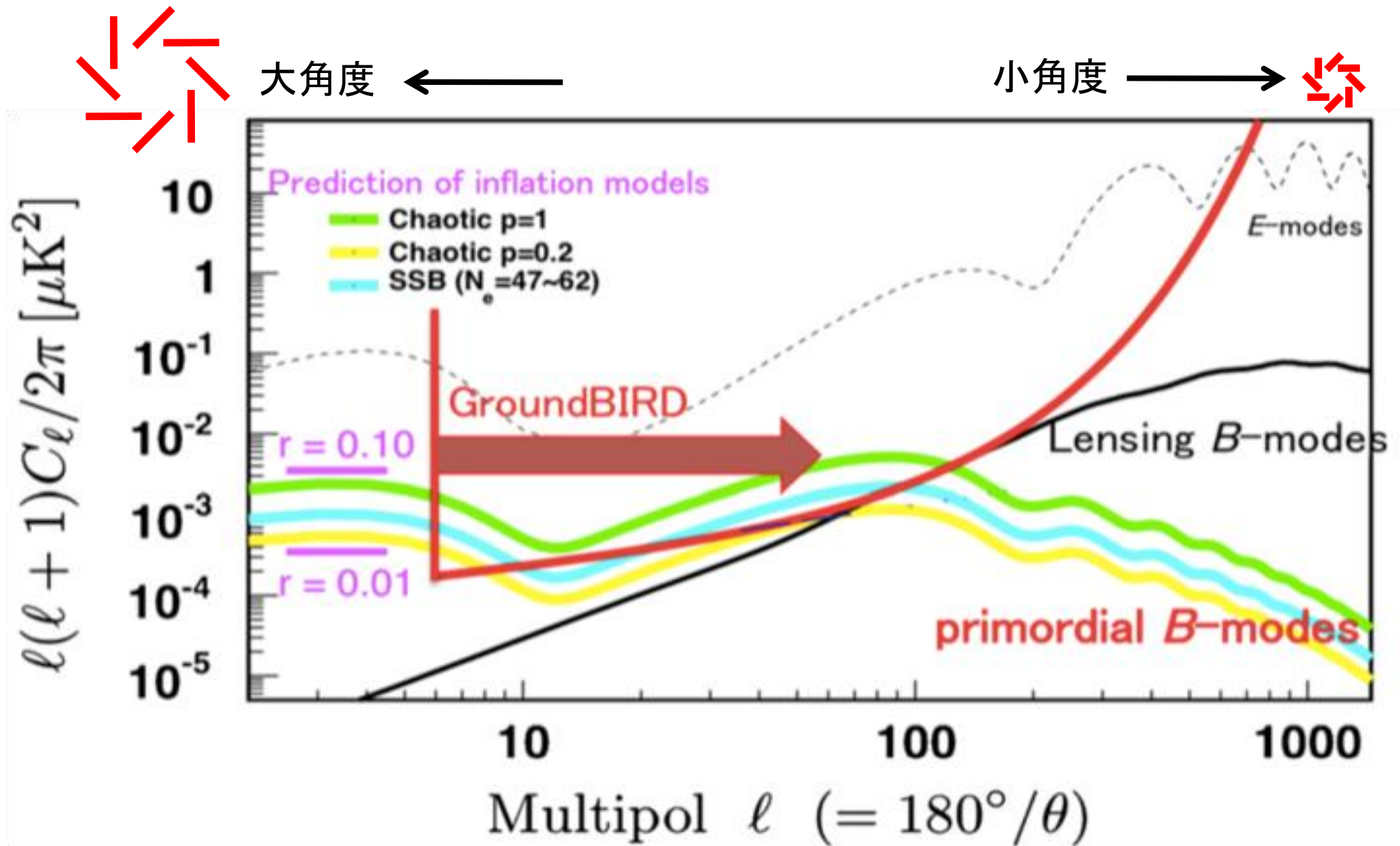
```
# Timing constraints
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX10Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX11Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX12Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX13Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX14Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX15Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX16Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX17Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX18Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX19Data*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX1AData*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/SiTCP_INT/SiTCP_INT_REG/regX1BData*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/BBT_SiTCP_RST/resetReq*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/memRdReq*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/orRdAct*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/dlyBank0LastWrAddr*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/dlyBank1LastWrAddr*]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_TXBUF/muxEndTgl]
set_false_path -through [get_nets SiTCP_inst/Wrapper_SiTCP/SiTCP/GMII/GMII_RXBUF/cmpWrAddr*]
```

of failing endpoints 0

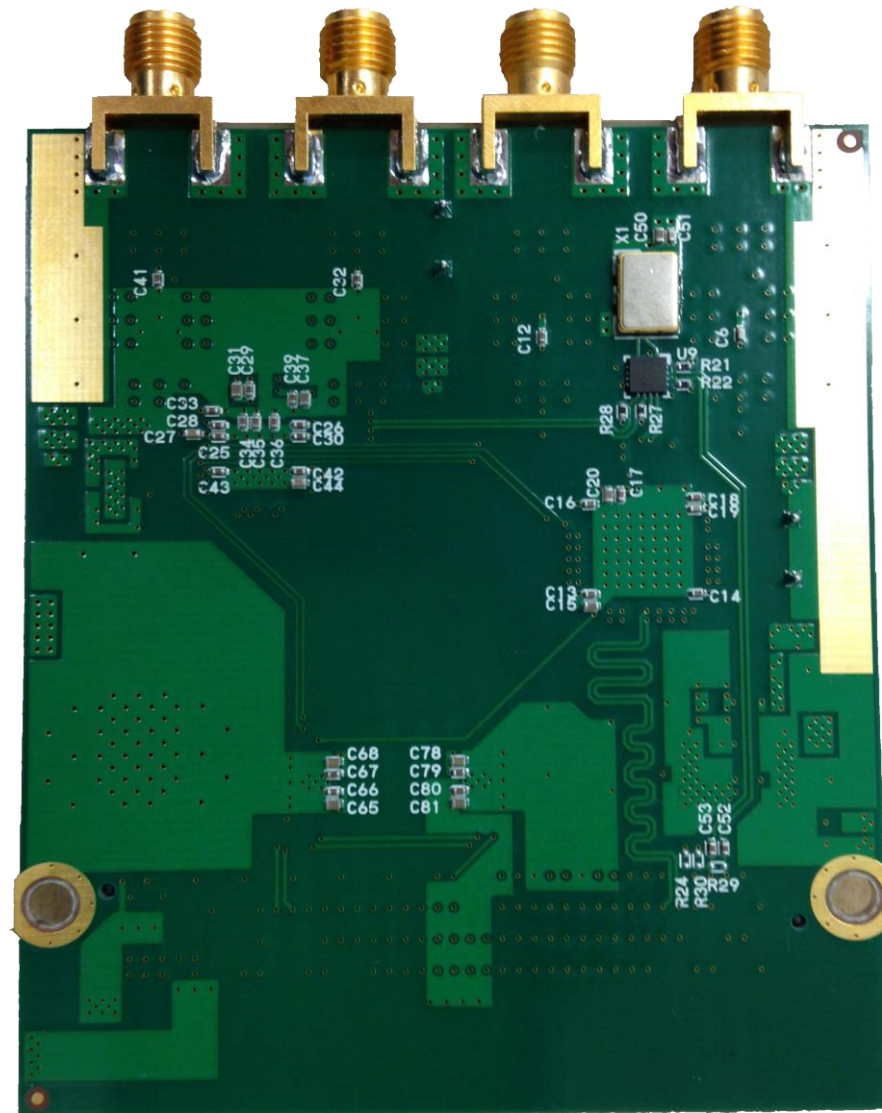
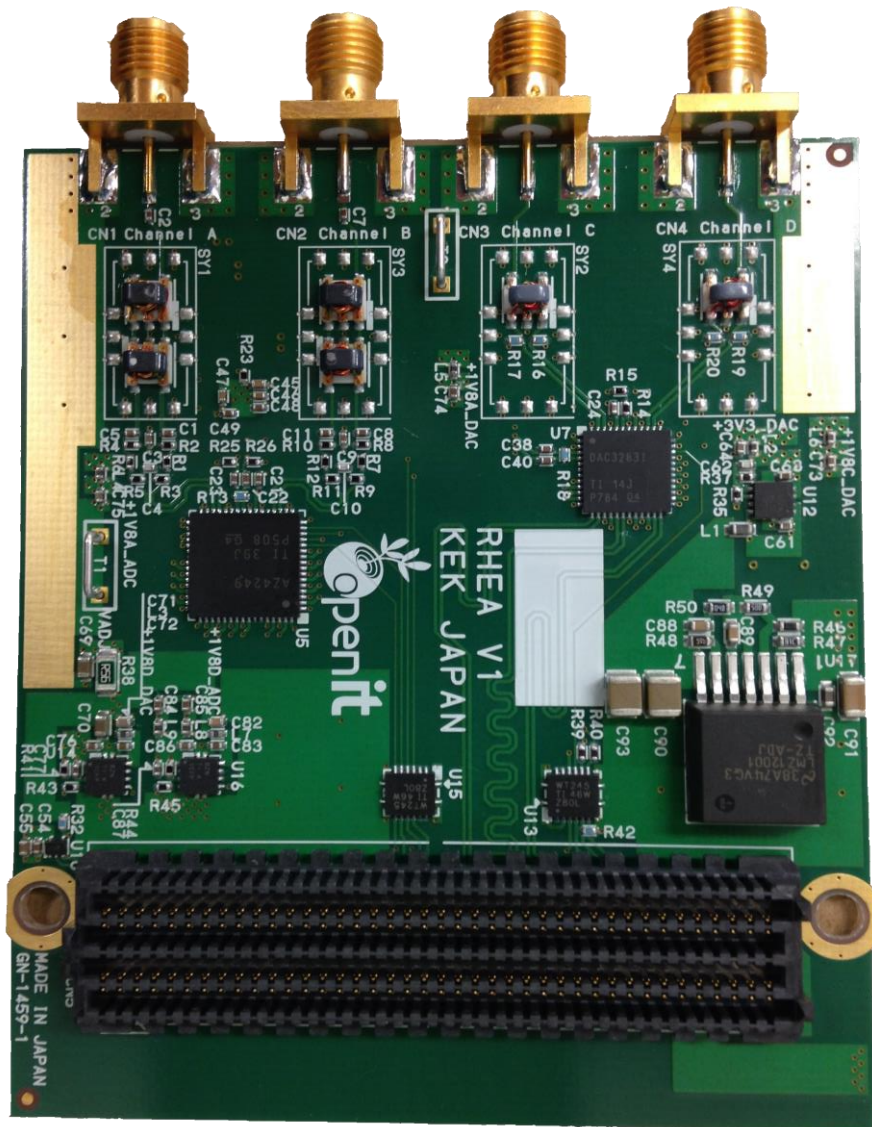
Setup	Hold	Pulse Width
Worst Negative Slack (WNS): 1.984 ns	Worst Hold Slack (WHS): 0.066 ns	Worst Pulse Width Slack (WPWS): 1.100 ns
Total Negative Slack (TNS): 0.000 ns	Total Hold Slack (THS): 0.000 ns	Total Pulse Width Negative Slack (TPWS): 0.000 ns
Number of Failing Endpoints: 0	Number of Failing Endpoints: 0	Number of Failing Endpoints: 0
Total Number of Endpoints: 6522	Total Number of Endpoints: 6522	Total Number of Endpoints: 3904

BACKUP

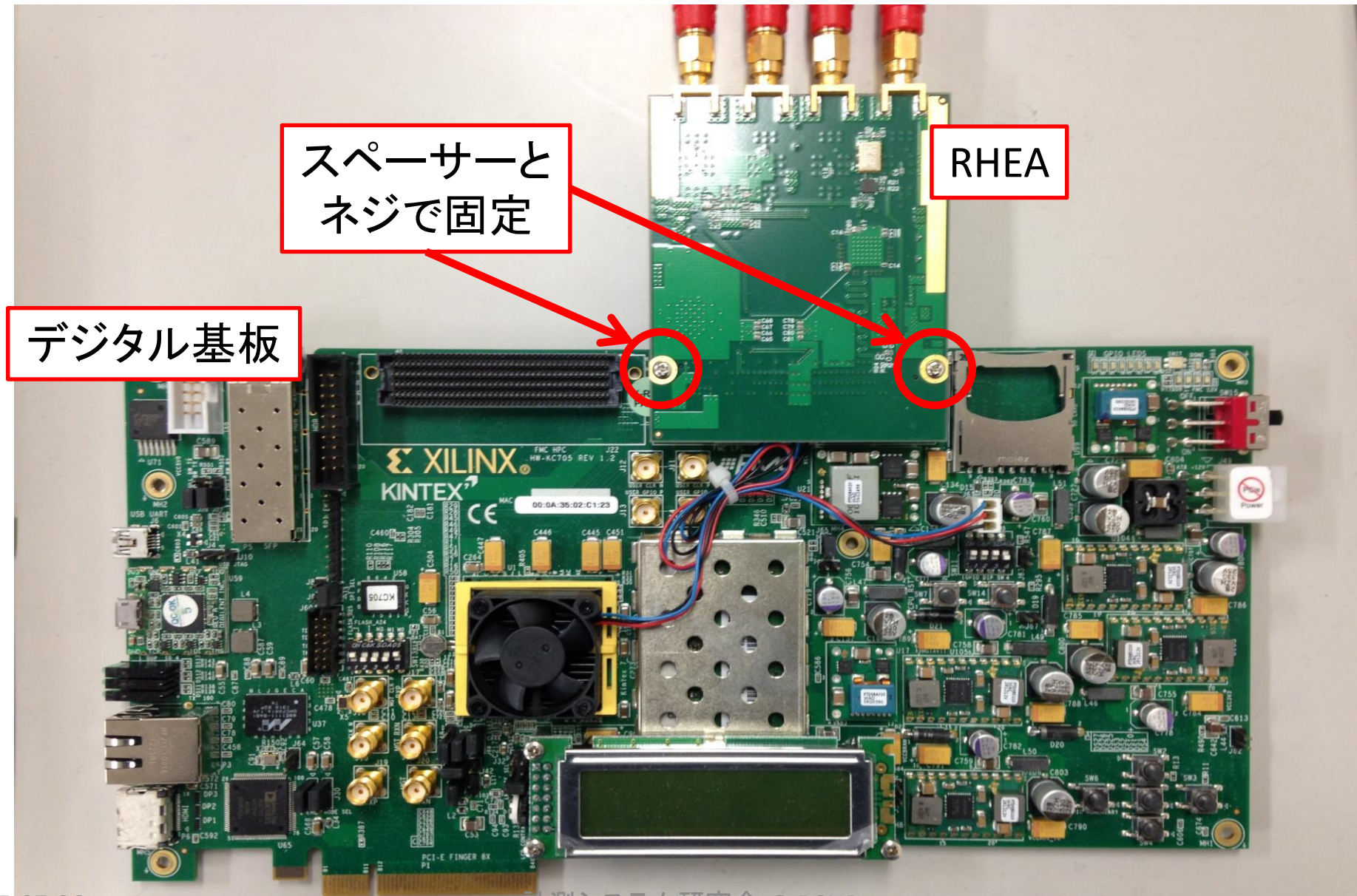
GroundBIRD 実験 - 感度



新アナログ基板 RHEA Ver. 1.0



新フロントエンド回路

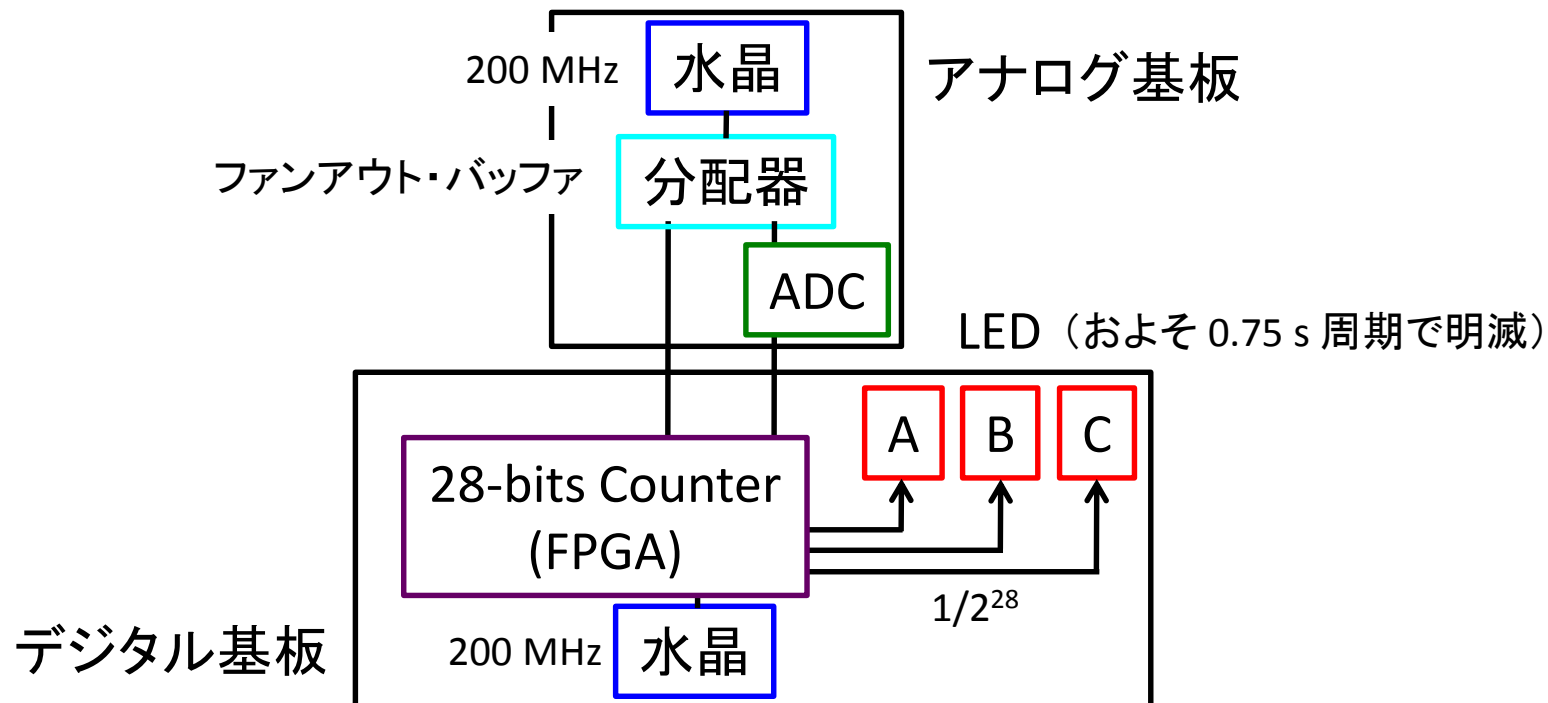


クロック分配の安定性確認

アナログ基板からのクロックとデジタル基板上のクロックを比較:

1. 28-bits counter を FPGA に実装、MSB を LED に出力 ($1/2^{28}$ に down-sample)
2. 3 つのクロックを同時にカウント・アップ
3. 1 日放置して、ズレを確認

もし、クロック抜け等があれば、そのクロックは大きくズれる



クロック分配の安定性確認

アナログ基板からのクロックとデジタル基板上的クロックを比較:

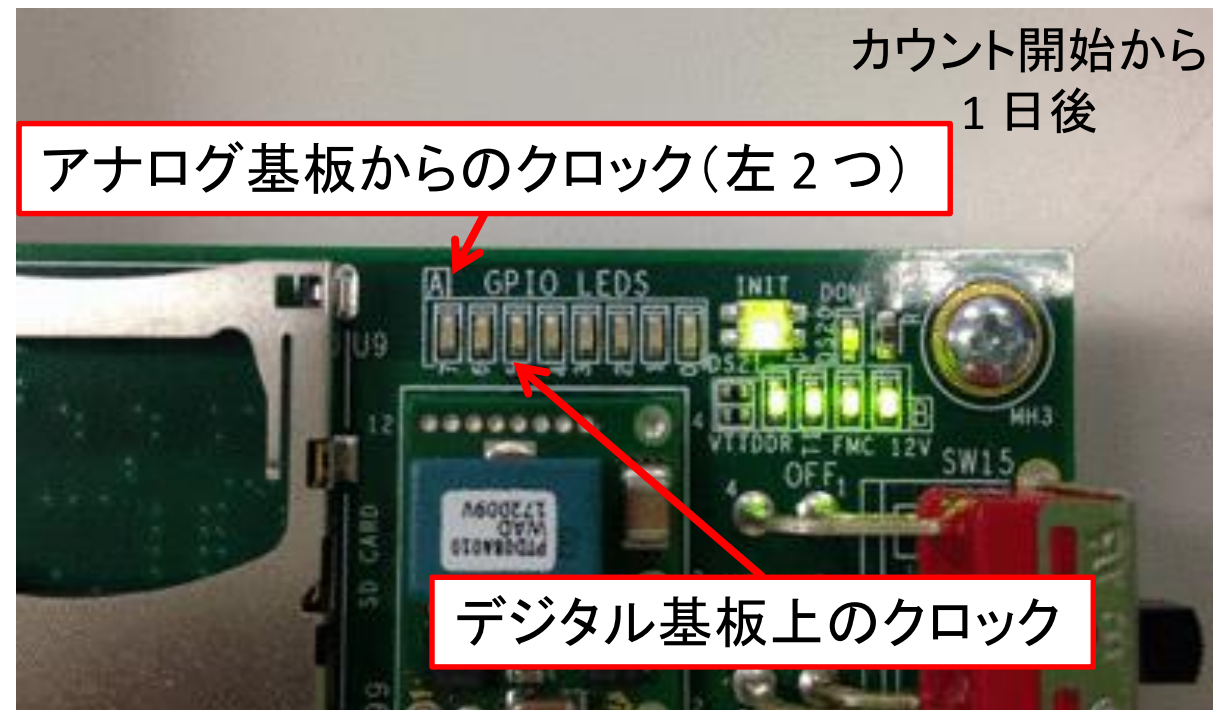
1. 28-bits counter を FPGA に実装、MSB を LED に出力 ($1/2^{28}$ に down-sample)
2. 3 つのクロックを同時にカウント・アップ
3. 1 日放置して、ズレを確認

もし、クロック抜け等があれば、そのクロックは大きくズレル

アナログ基板からのクロック
とデジタル基板上的クロック
のズレ:

$\sim 10^{-5} < \text{水晶の仕様} (10^{-4})$

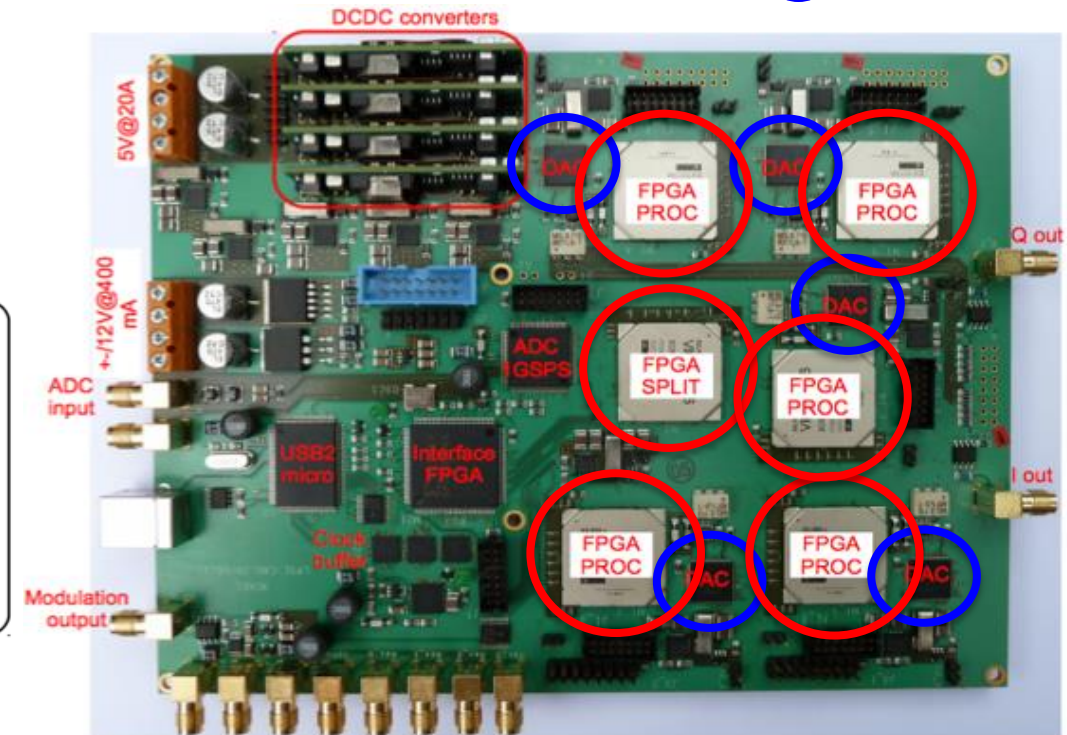
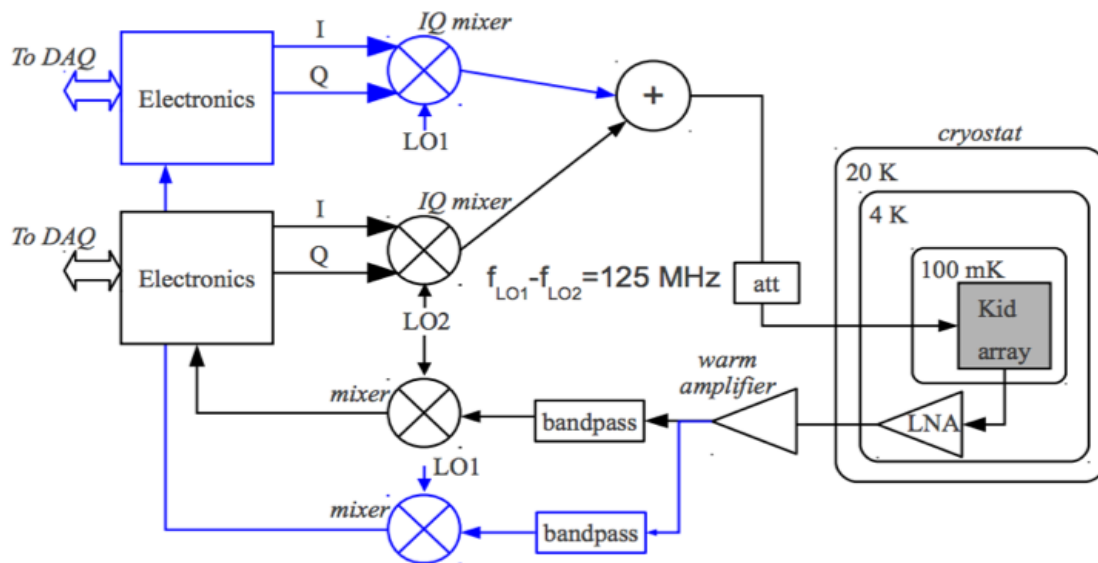
差動クロック信号がきれいに
分配されていることを間接的に確認



NIKEL

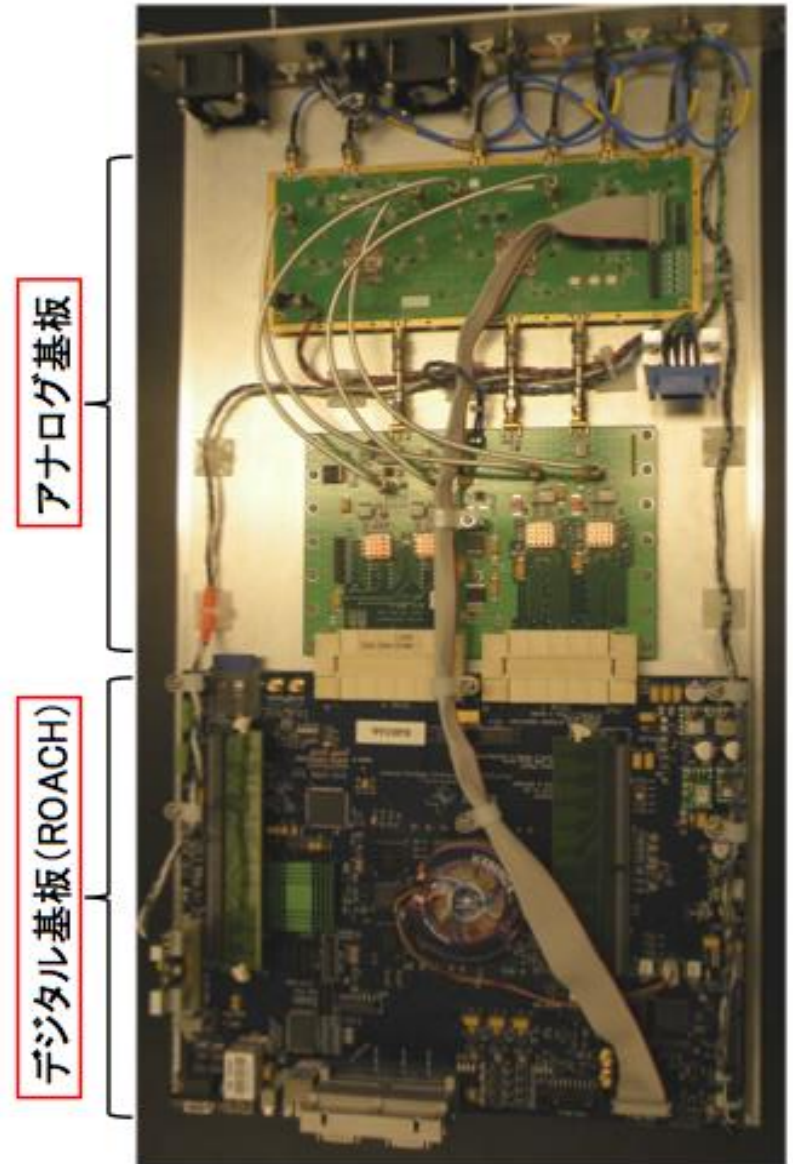
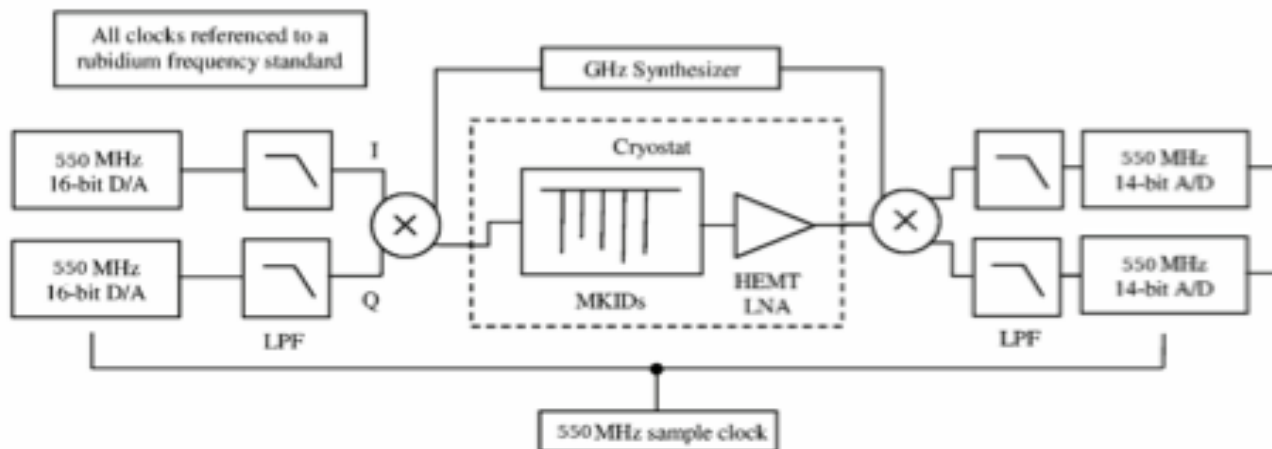
実験: NIKA
 読み出し方式: DDC
 帯域: 500 MHz
 読み出しレート: 953 Hz
 消費電力: 100 W

○ FPGA
 ○ DAC



MUSIC Readout

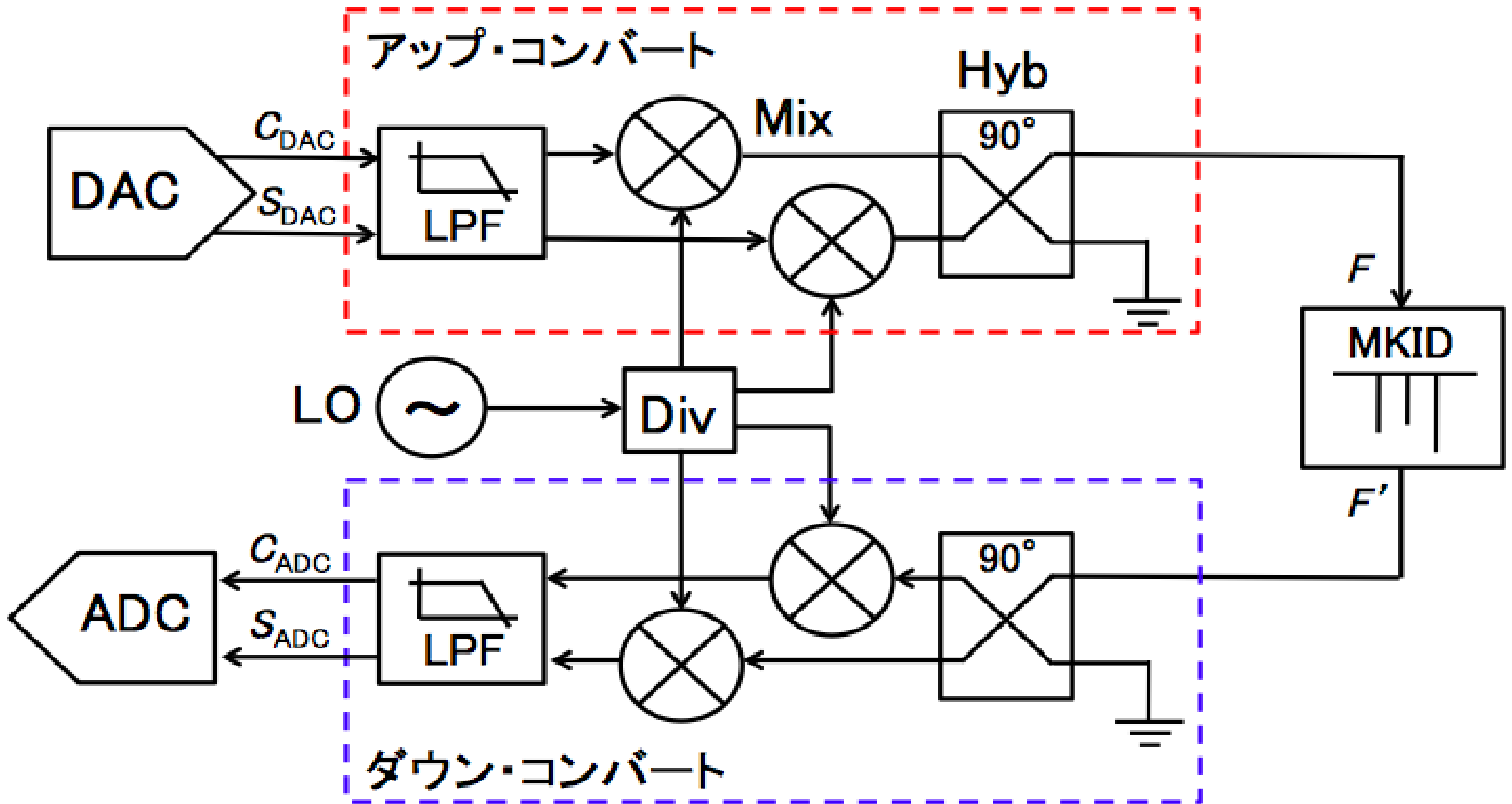
実験: MUSIC
読み出し方式: FFT
帯域: 550 MHz
読み出しレート: 100 Hz
消費電力: 38 W



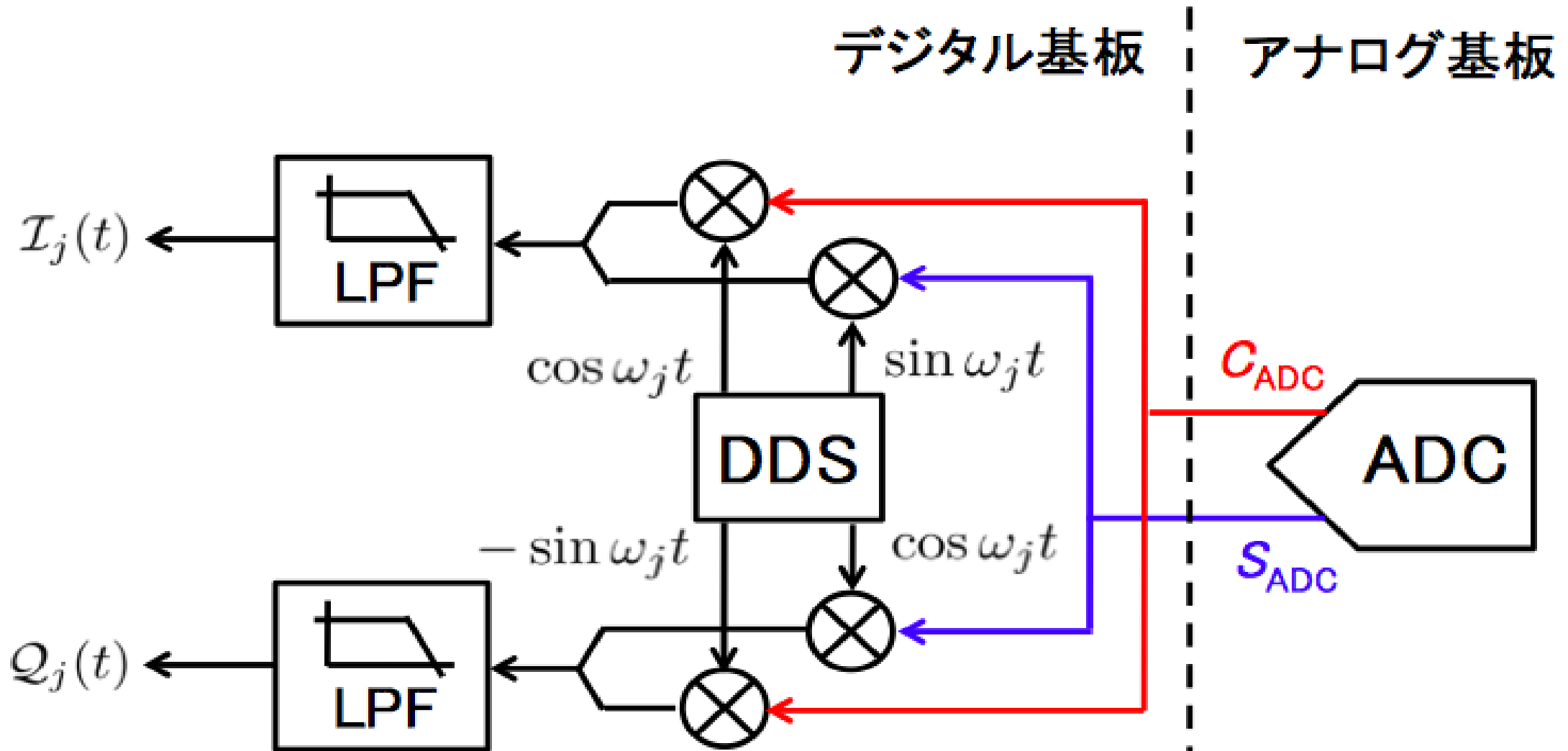
本研究との比較

		本研究	NIKEL	MUSIC
読み出し方式		DDC	DDC	FFT
実効総帯域 [MHz]		200	500	550
FPGA	Family	Kintex-7*	Vertex-6	Vertex-5
	搭載総数	1	6	1
ADC	チャンネル数	2	1	1
	分解能 [bit]	14	12	12
	Sample Rate [MSPS]	200	1,000	550
	搭載総数	1	1	2
	チャンネル数	2	2	1
DAC	分解能 [bit]	16	16	16
	Sample Rate [MSPS]	200	250	550
	搭載総数	1	5	2
	通信規格	GbE	USB 2.0	GbE**
復調信号の読み出しレート [Hz]		10,000	953	100
消費電力 [W]		23	100	38

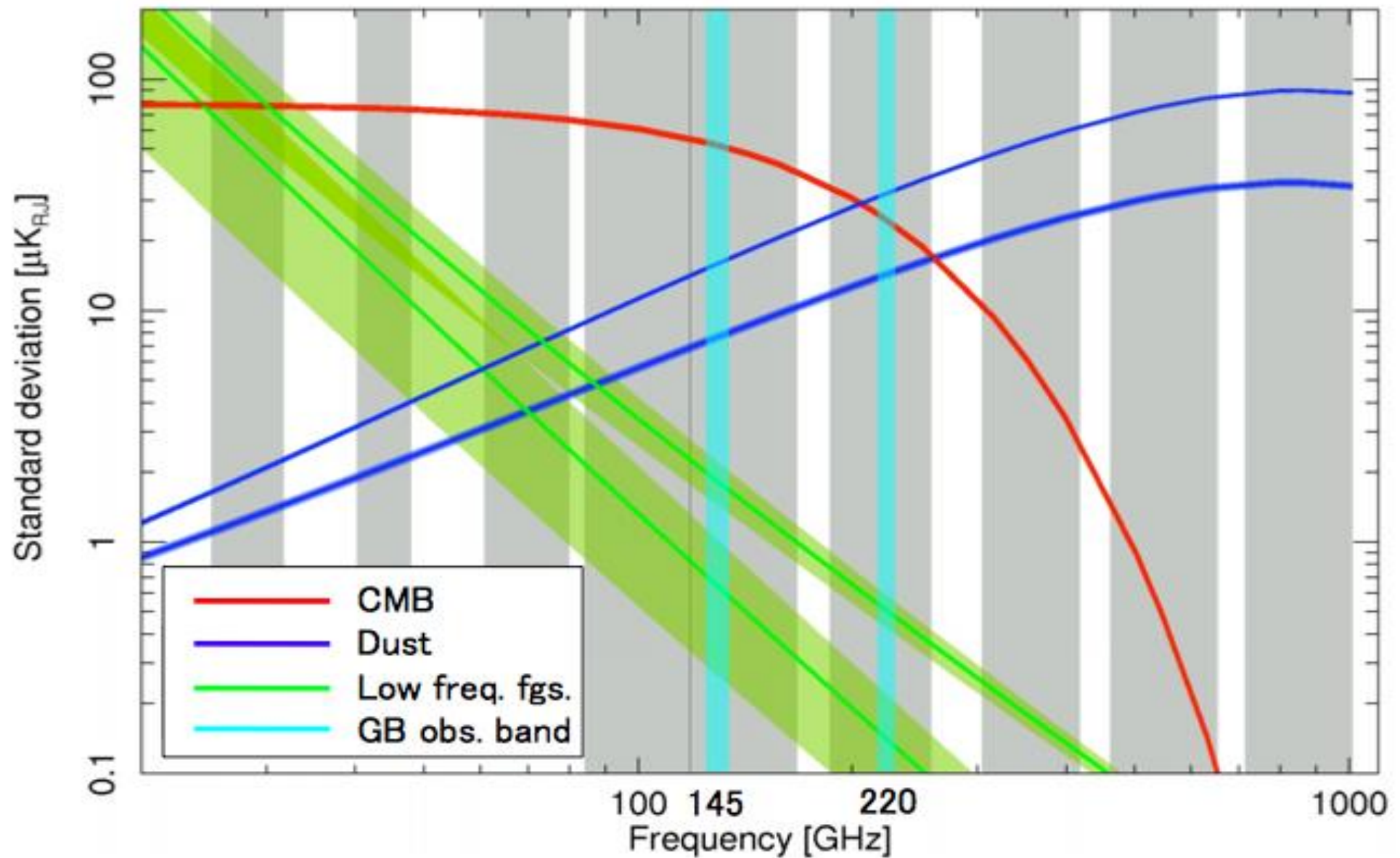
MKID Readout



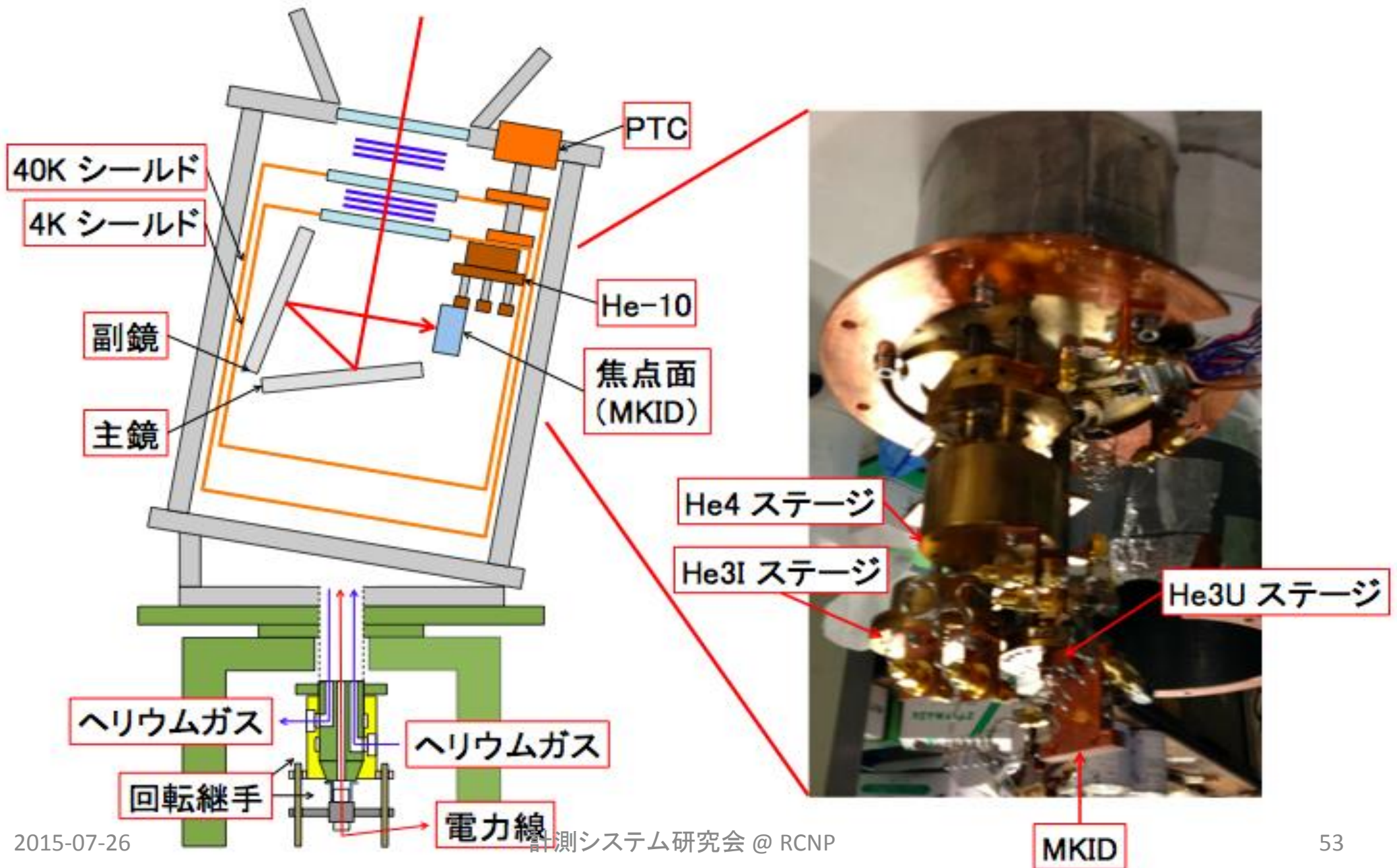
Demodulation



CMB と前景放射のスペクトル



回転冷却光学系



MKID for GB

観測帯域 [GHz]	$D_{\text{pixel}}(3\lambda)$ [mm]	NET [$\mu\text{K}\sqrt{s}$]	ピクセル [pix/枚]	ウエハー [枚]	MKID [個]	NET _{array} [$\mu\text{K}\sqrt{s}$]
145	6.0	250	52	6	624	10
220	4.1	380	112	1	224	26

