

2015/7/25

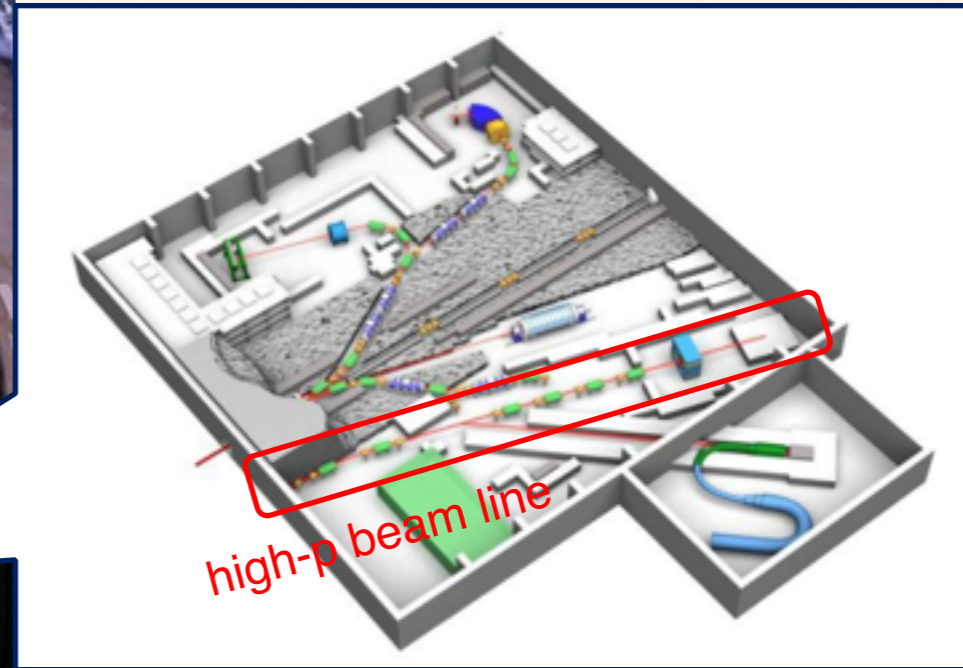
J-PARC E16実験におけるGEM検出器 のトリガーシステムの開発

小原裕貴 (東京大学)

Contents

- ❖ Introduction
 - ▶ J-PARC E16実験
 - ▶ E16 spectrometer
 - ▶ DAQ and Trigger system
- ❖ Trigger of GEM Tracker
 - ▶ Development of ASIC
 - ▶ Trigger Merger Board
- ❖ Summary & Outlook

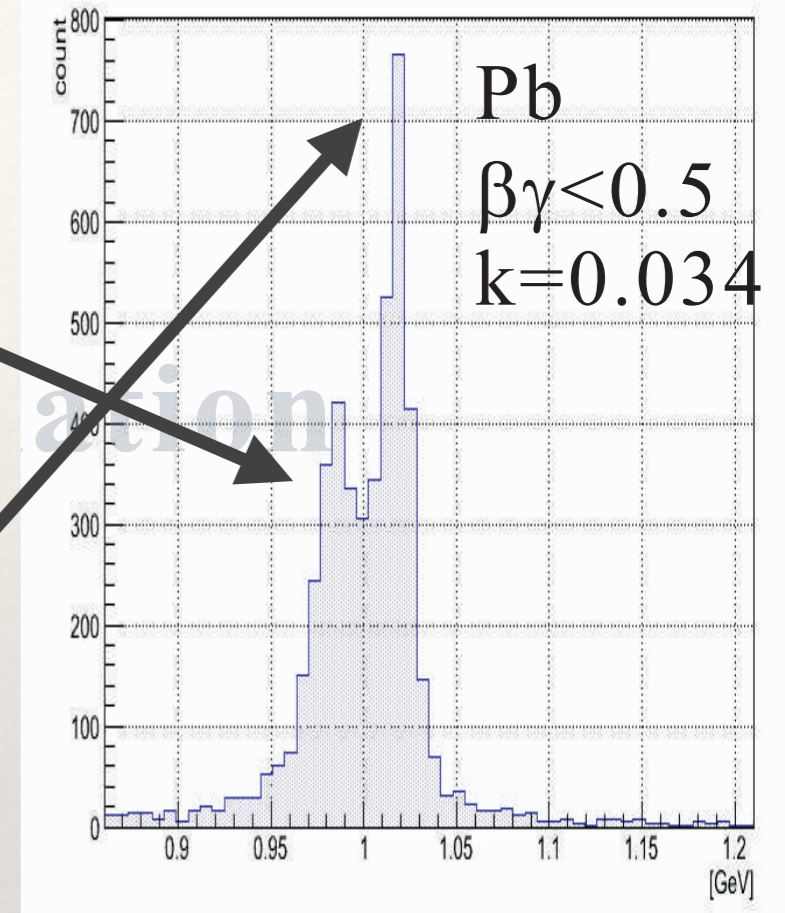
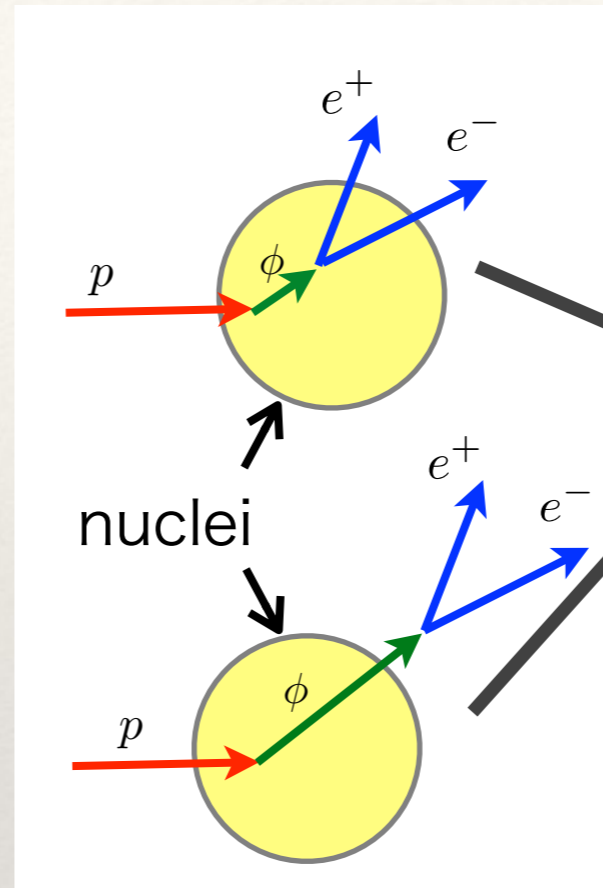
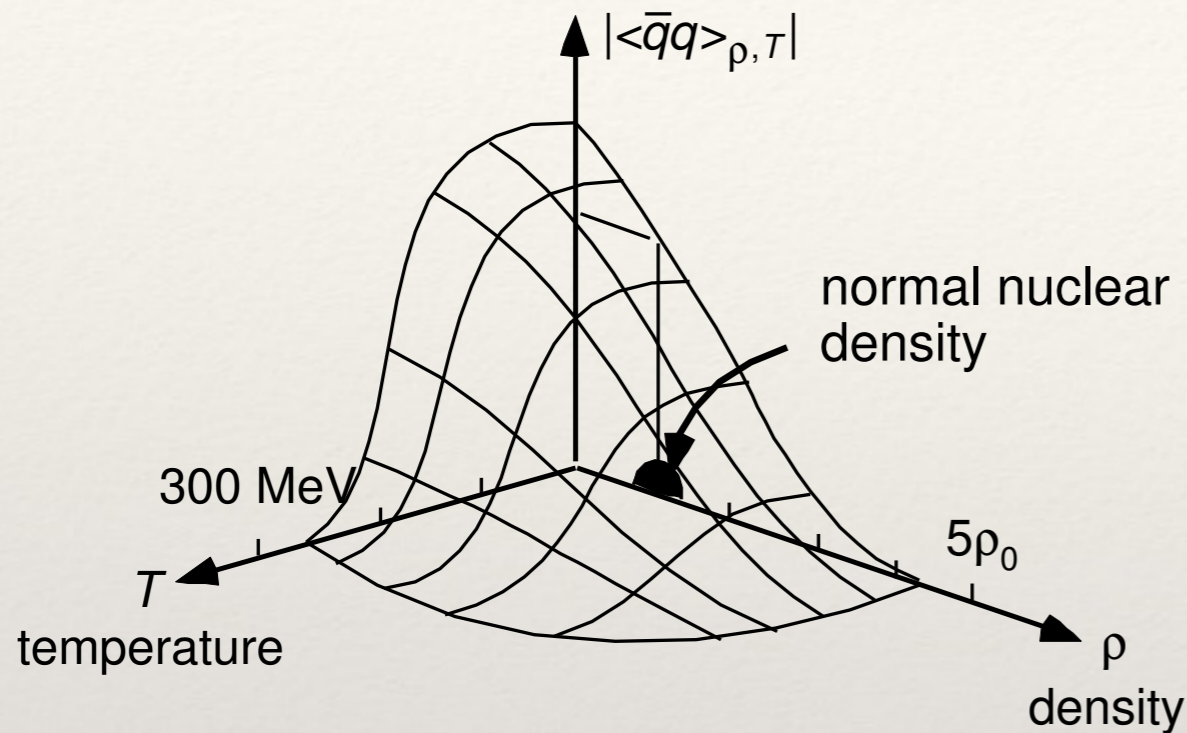
J-PARC E16 実験



- high-p beam line
 - J-PARC MRから1次陽子ビームの一部を取り出す
 - proton : Max. 30 GeV - 10^{10} /sec
- Key words
 - High precision
 - High statistics
- 電磁石が組み上がったところ



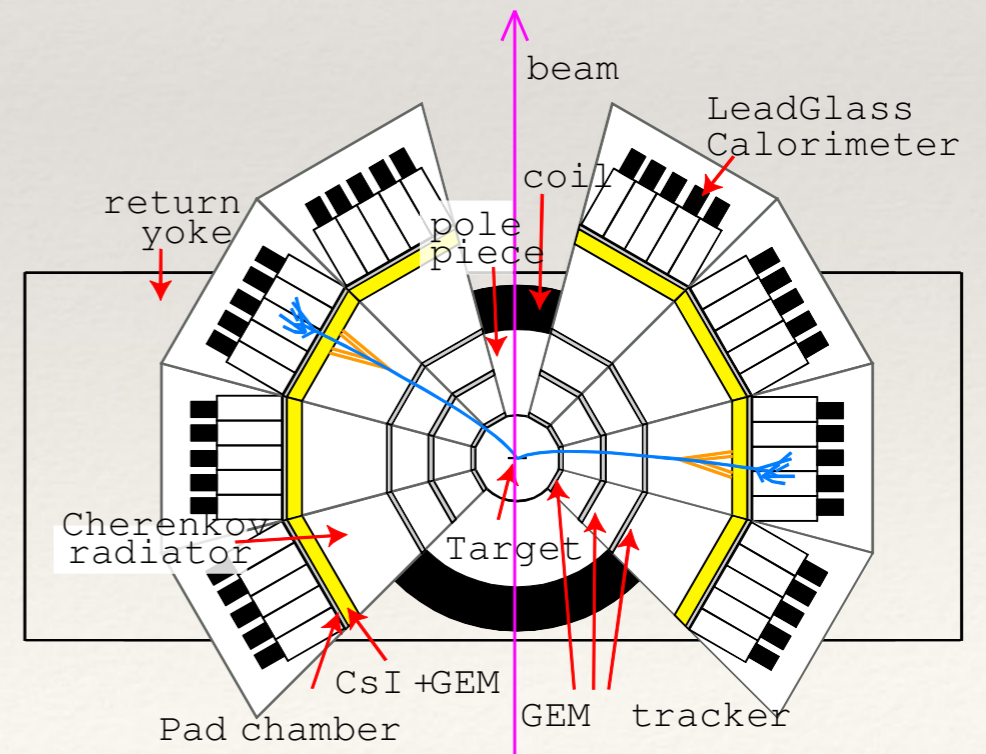
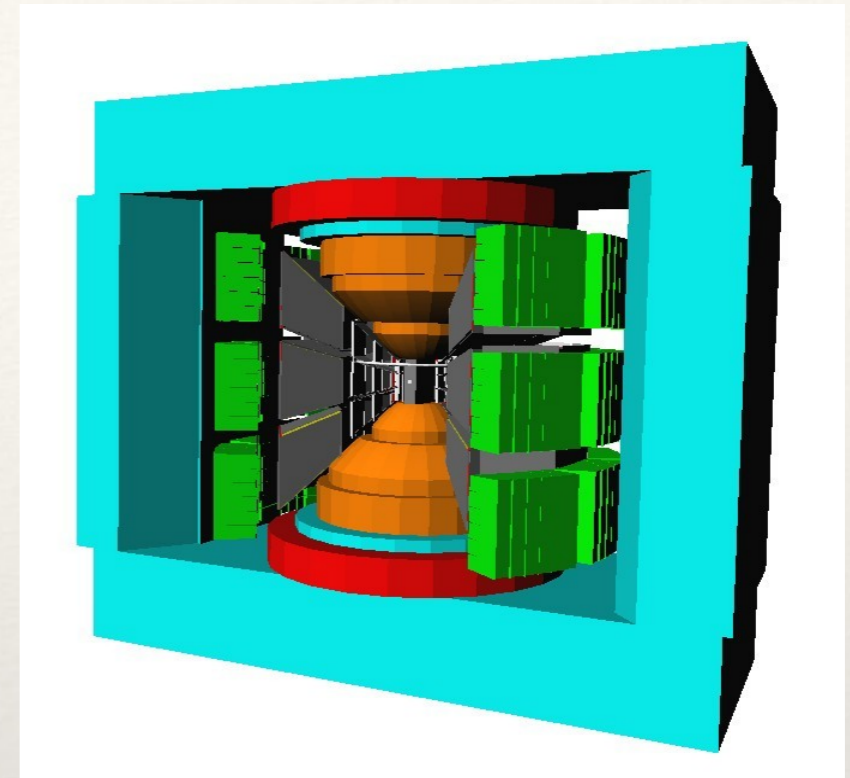
J-PARC E16 実験



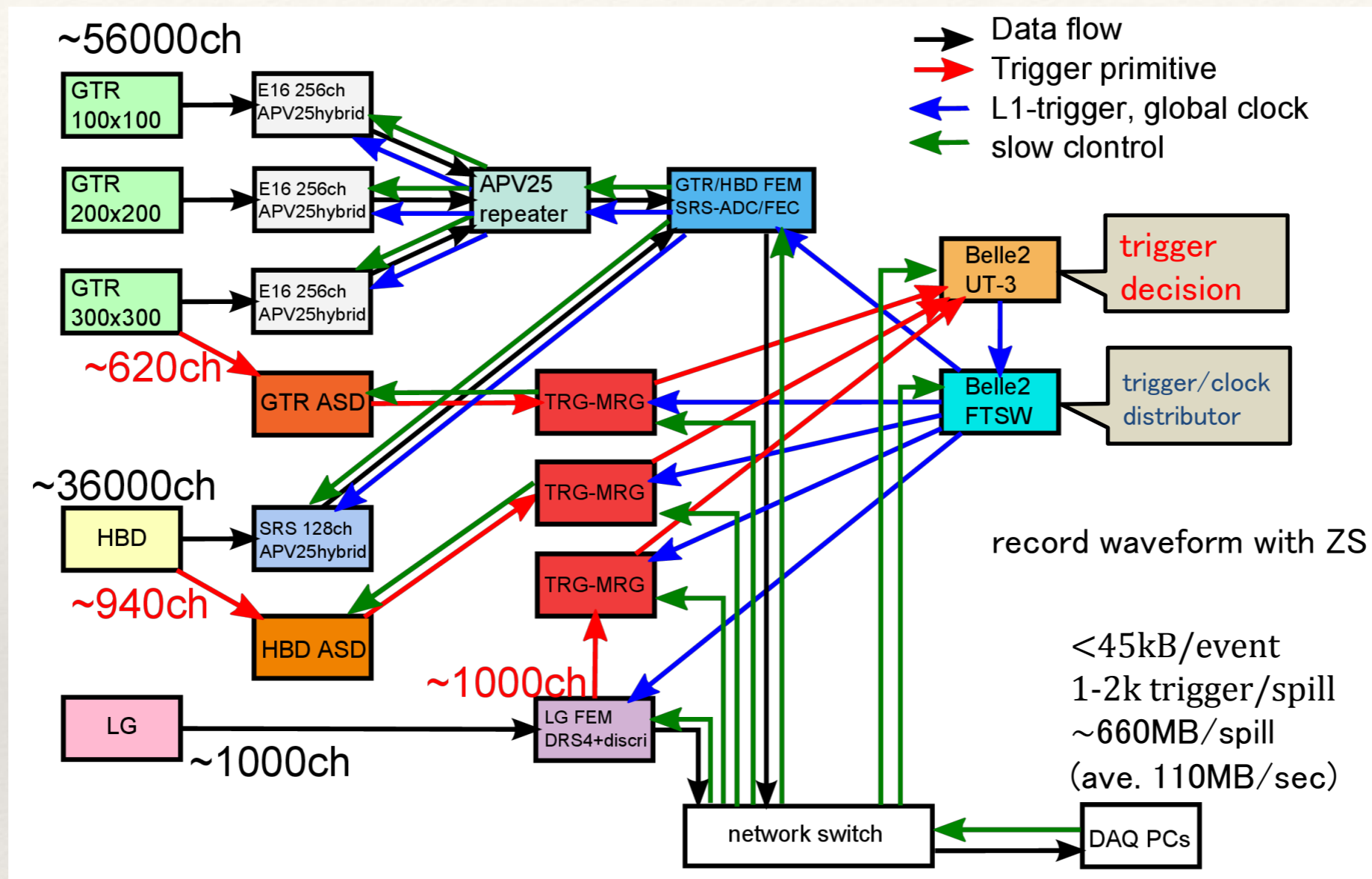
- Quark condensate $\langle \bar{q}q \rangle$: order parameter of the chiral symmetry
- 高温 and/or 高密度下で, $|\langle \bar{q}q \rangle|$ が減少する
- chiral symmetryが部分的に回復することで、ハドロンのmassとwidthが変化する
- E16実験ではvector mesonの e^+e^- pairへの崩壊を測定することで質量分布の変化を調べる

E16 Spectrometer

- Beam
 - proton, high intensity ($\sim 10^{10}$ Hz)
- Target
 - C, Cu, Pb, CH₂
- GEM tracker
 - tracking detector
 - mass resolution $\sim 5 \text{ MeV}/c^2$
- Hadron Blind Detector
 - electron identification
 - hadron rejection factor ~ 100
 - efficiency $\sim 70\%$
- Lead Glass
 - electron identification
 - hadron rejection factor ~ 20
 - efficiency $\sim 90\%$

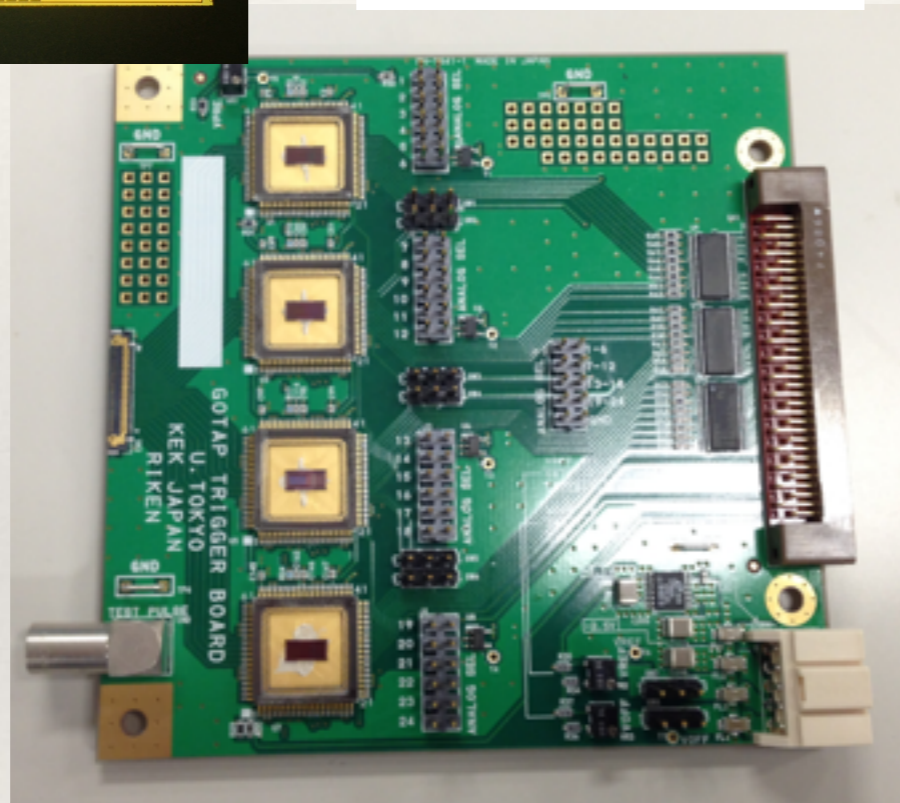
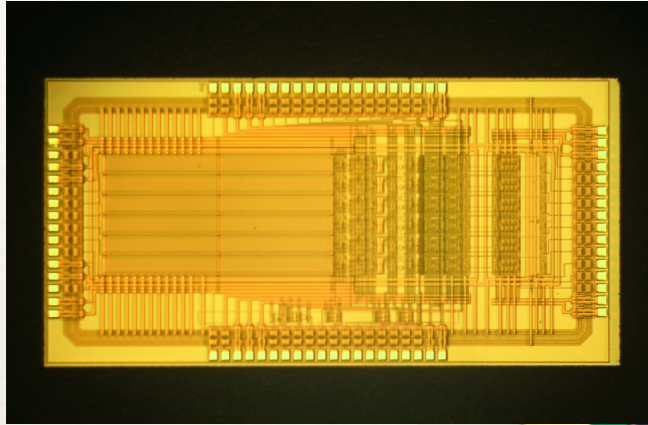


DAQ & Trigger system



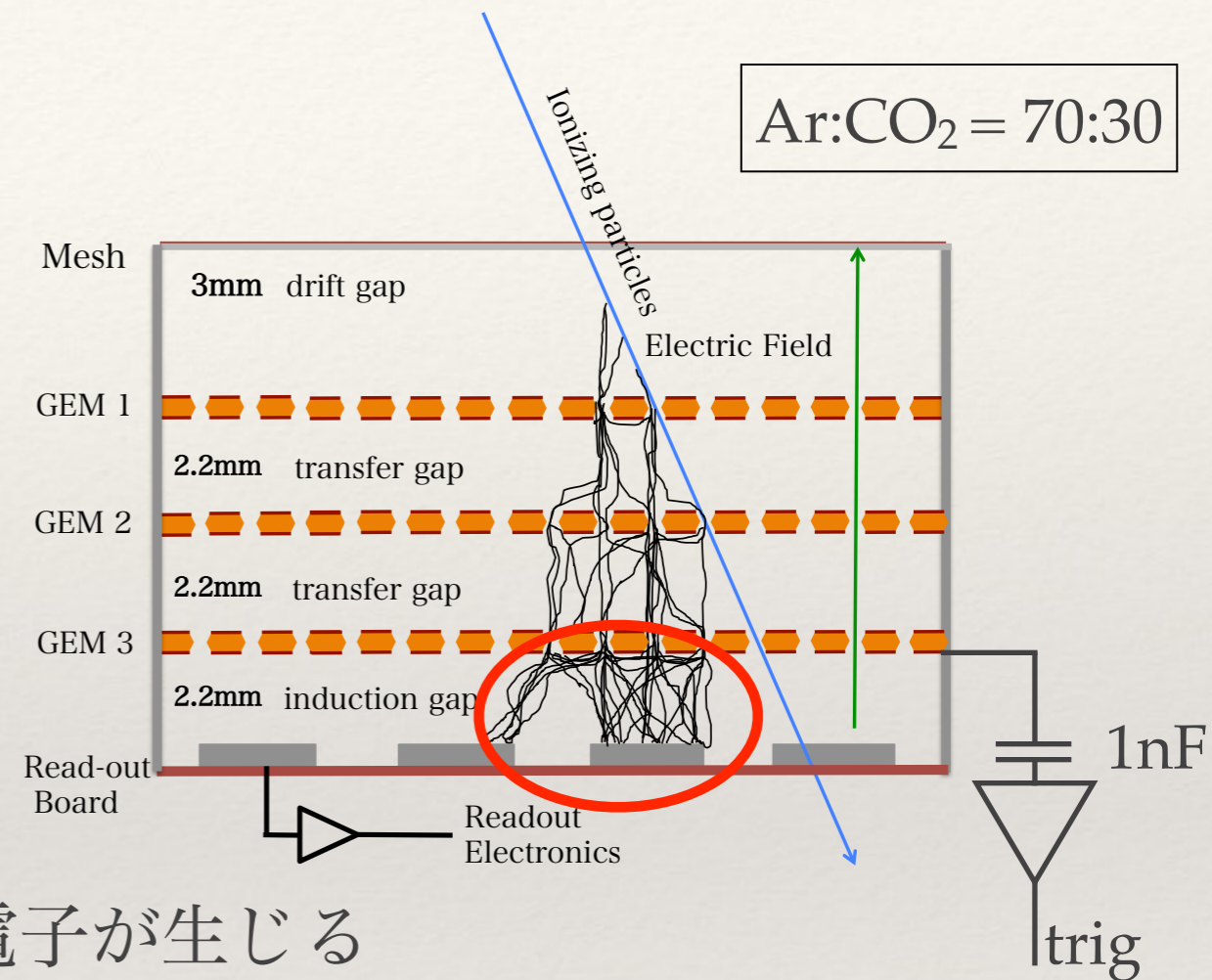
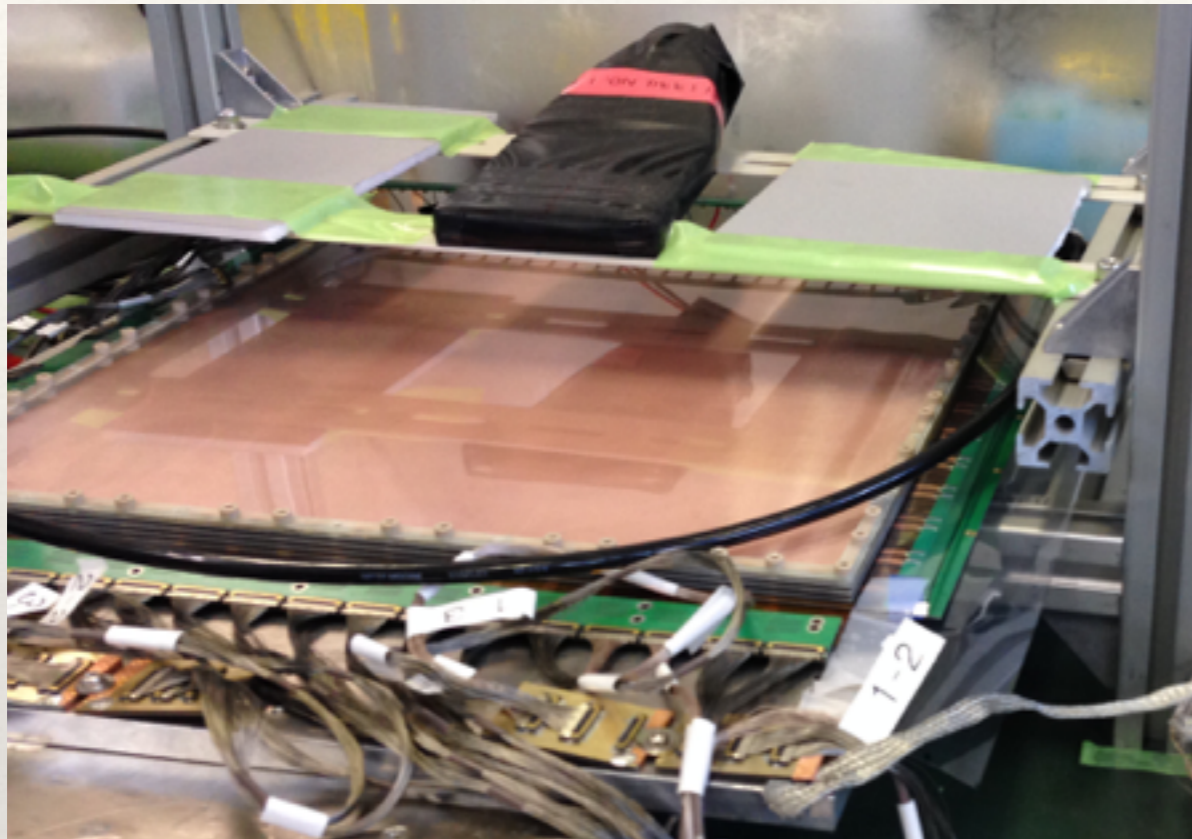
- Level-1 trigger
 - GTR300 (624 ch) × HBD(936 ch) × LG(988 ch) のtrigger segmentの3 coincidence
 - e^+e^- のopening angle $> 60^\circ$

Trigger system of GEM Tracker



- 本講演では主にGEM TrackerのTrigger systemに関するモジュールについて話す
 - ASIC for GEM Tracker
 - Trigger board
 - Trigger Merger Board (TRG-MRG)

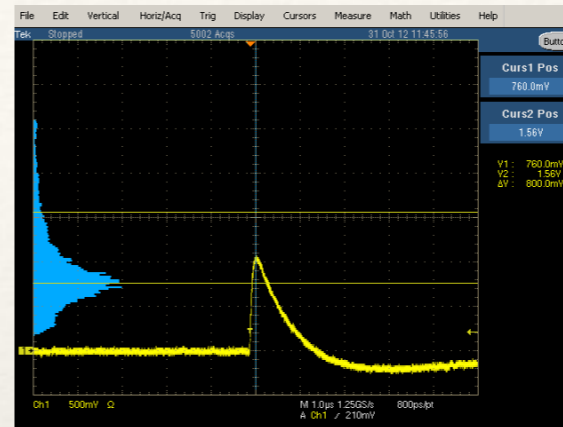
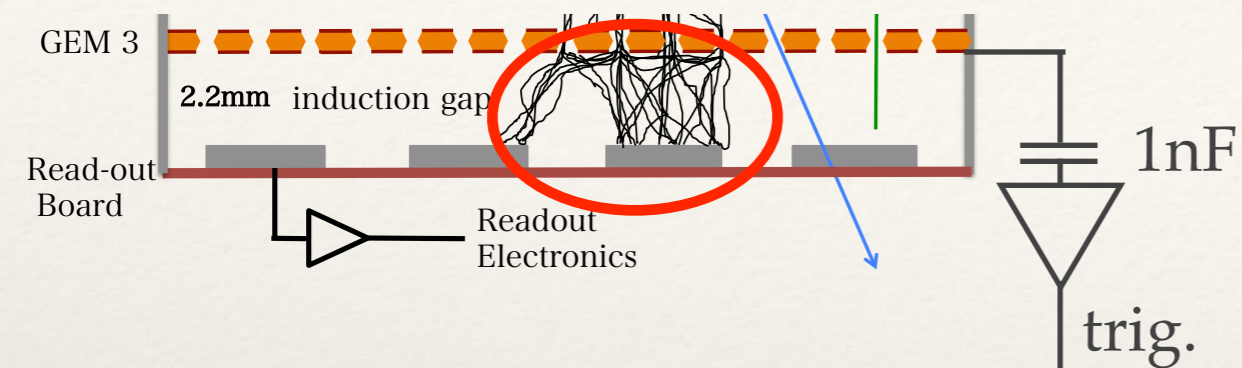
GEM Tracker



- Drift gapに荷電粒子の通過による電離電子が生じる
- GEM3枚で電子を約 10^4 倍に増幅する
- 増幅された電子が2D Readoutに落ちることで信号が得られる → tracking
- Induction gapでの電子のドリフトは3枚目のGEMの裏側にも信号を生成する → trigger

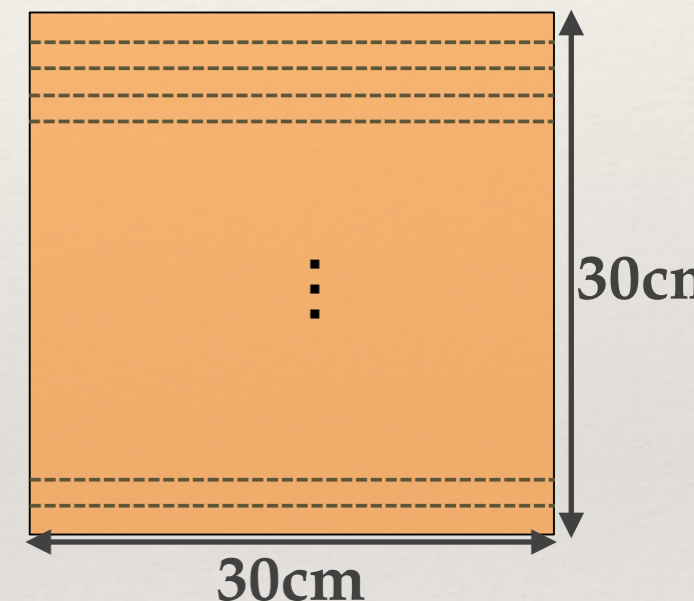
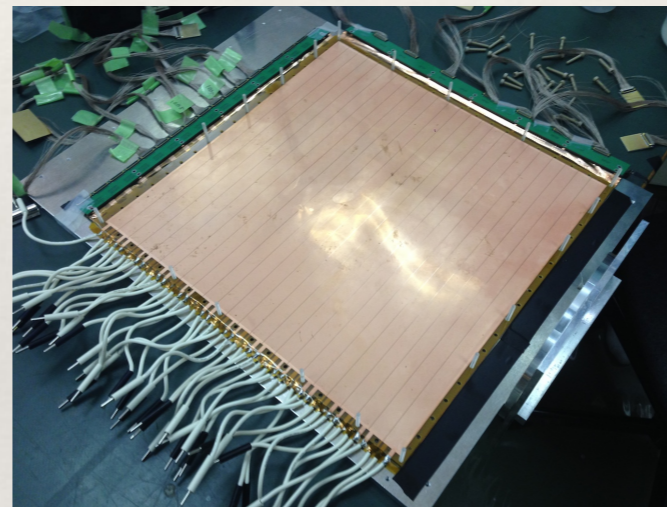
Trigger of GEM Tracker

❖ Cathode側 (3枚目GEM foilの裏側) から信号を用いる



• Trackerのトリガーに要求されること

- Rough tracking
- High counting rate (~ Max. 1MHz) に対応
- Large detector capacitance に対応



▶ 300mm×300mm GEM foilを24分割

- counting rateを減少
- detector capacitanceを減少

▶ New ASD ASICを開発

- 低ノイズ、大検出器容量対応、短いパルス幅で高計数対応

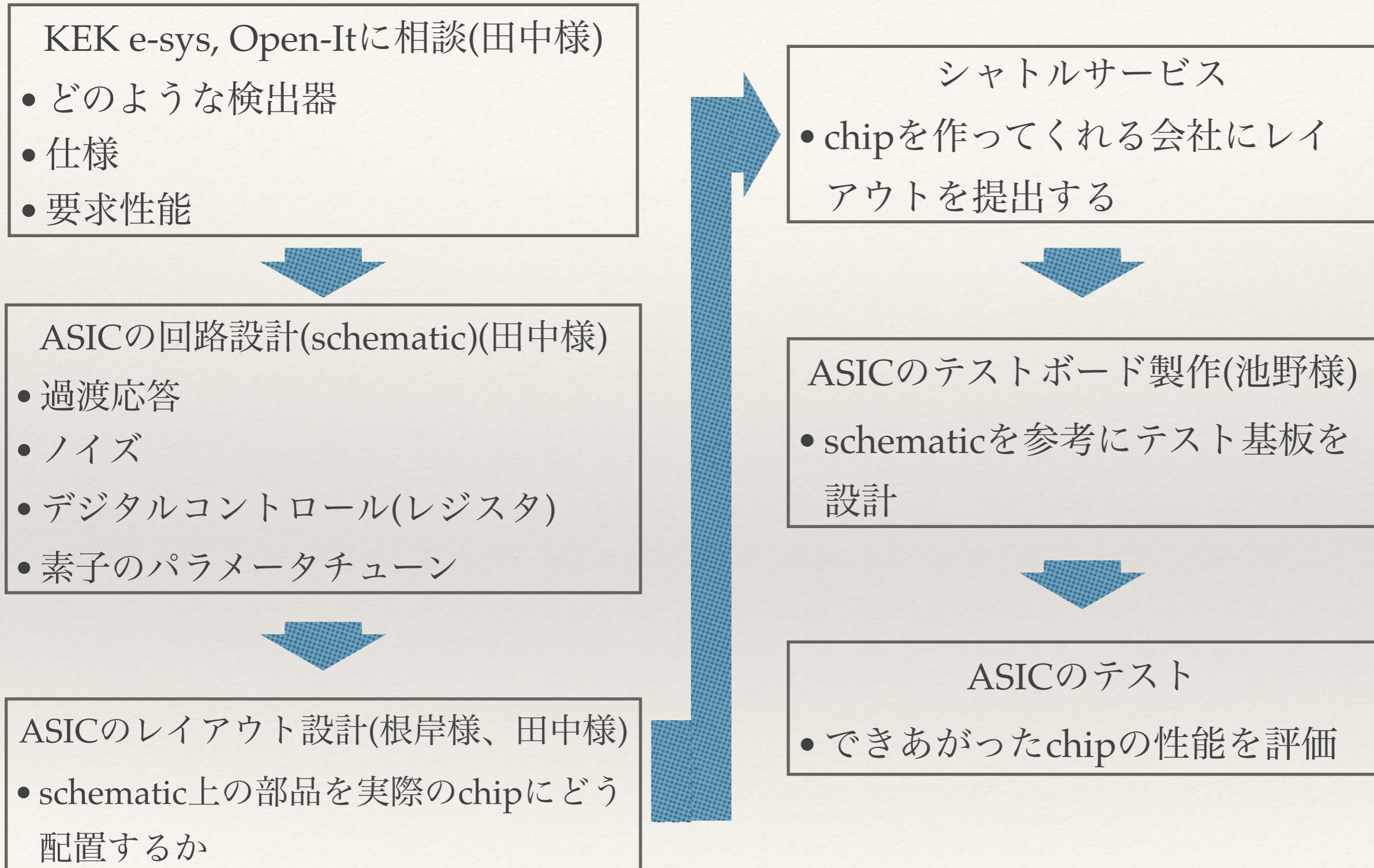
ASICにする理由

- 既存のプリアンプではfoilのsignalを読み出せても、noiseが大きいおよびpulse幅が大きい
- ASICの低ノイズ性
- triggerのch総数 : 624ch
- プリアンプボードの小型化

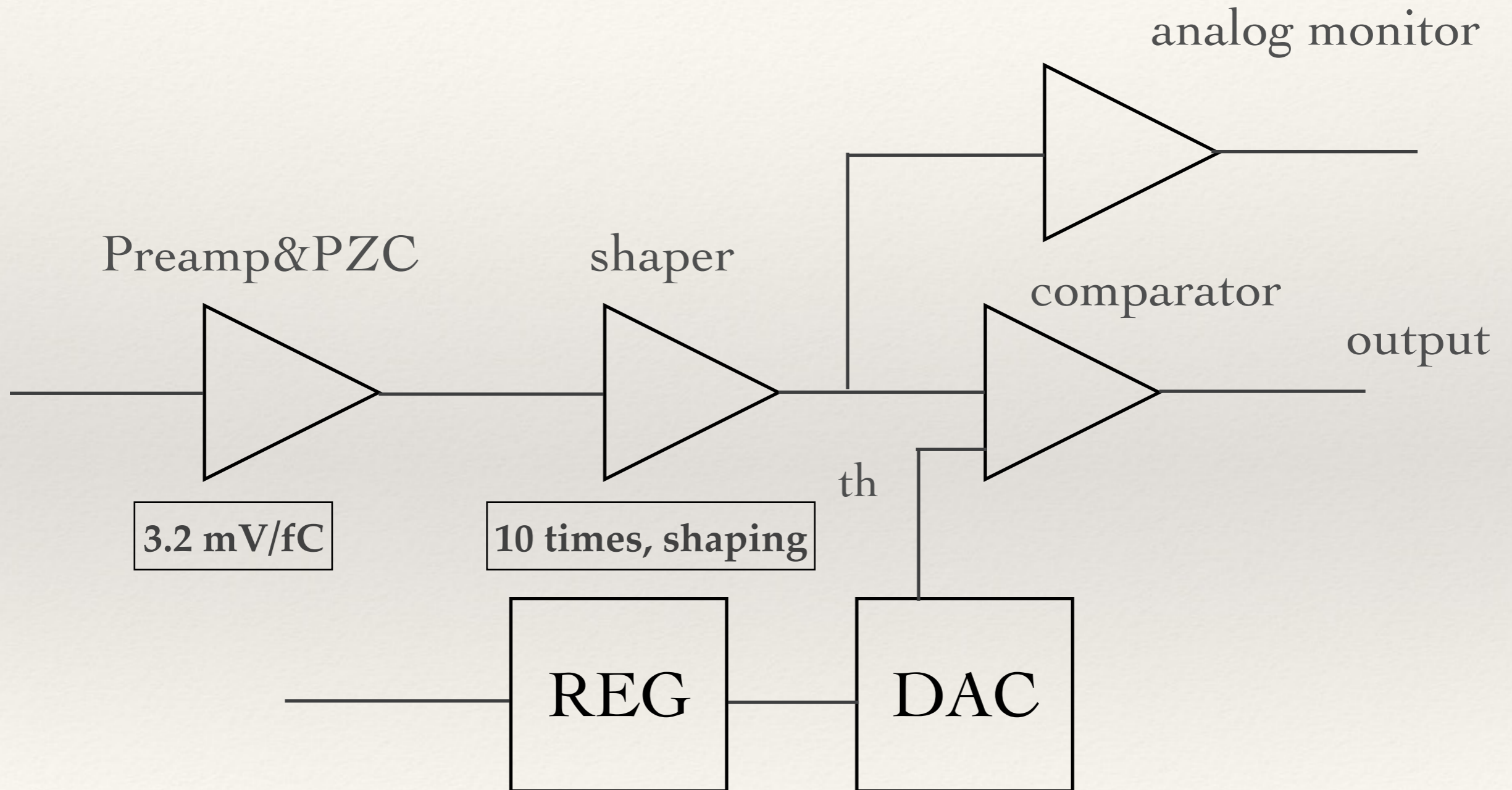
ASICの要求性能・仕様

- 大検出器容量に対応 : $C_{\text{det}} = 2 \text{ nF}$ (GEM 1 segmentあたり)
 - ▶ stripの $C_{\text{det}} = 50 \text{ pF}$
- 集積度 : 6ch/chip (消費電力による制限)
- 構造 : Amp, Shaper, and Discrim.
- Analog pulse width : 200 ns (shaper time constant = 25 ns)
- 10fCの相当の信号に対してS/N ~ 3
- Thresholdは外部から各ch制御できる

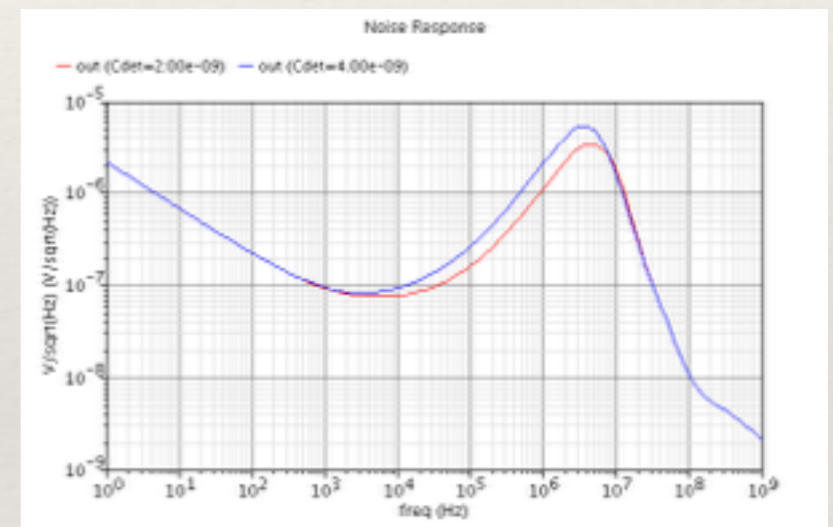
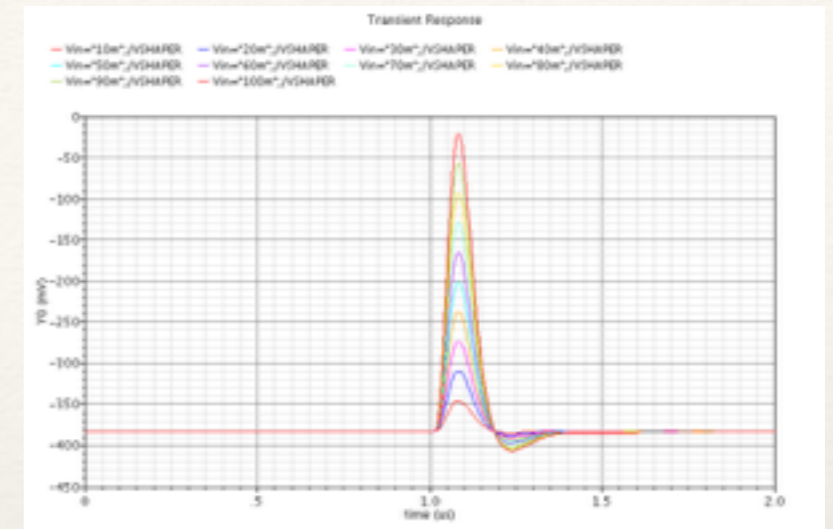
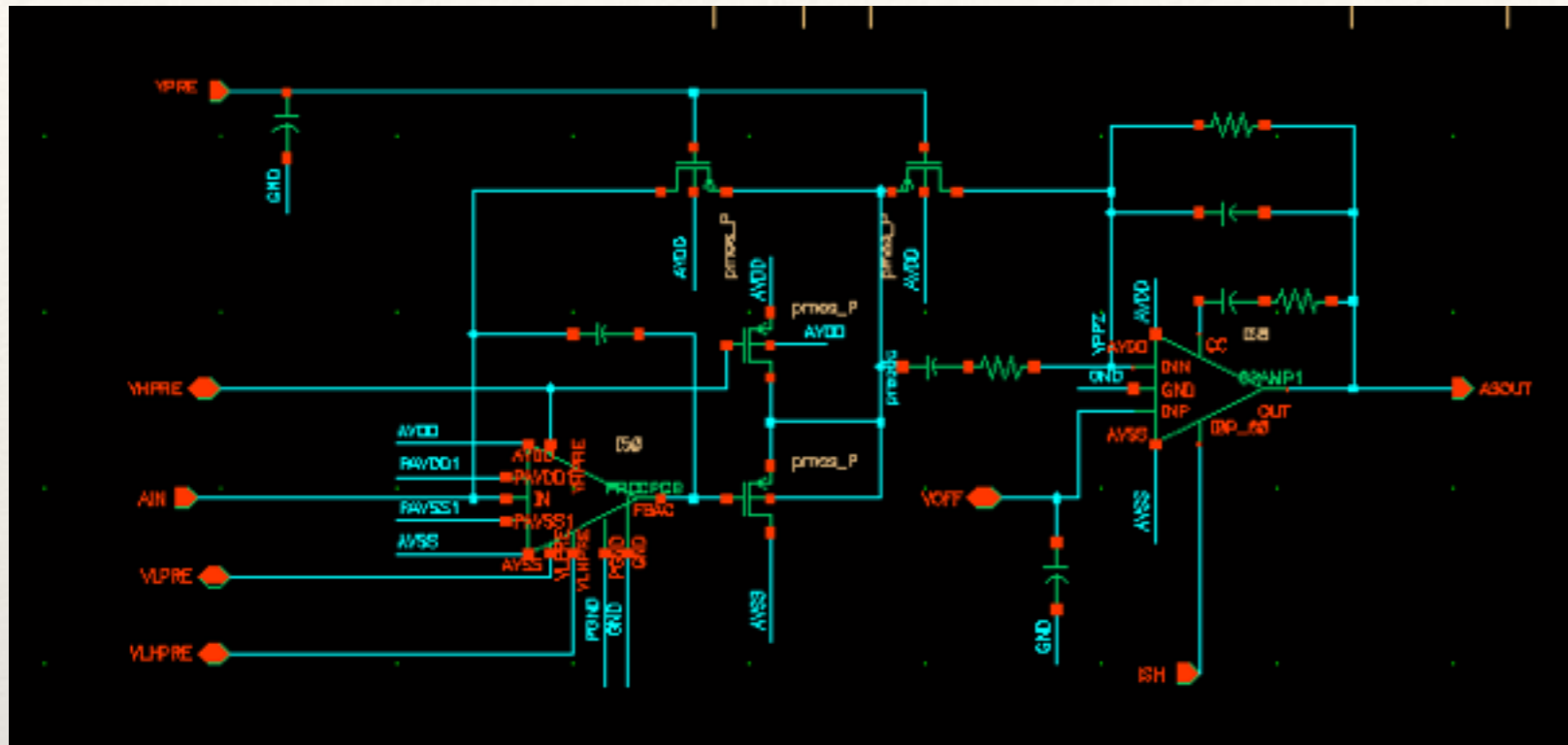
ASIC開発の流れ



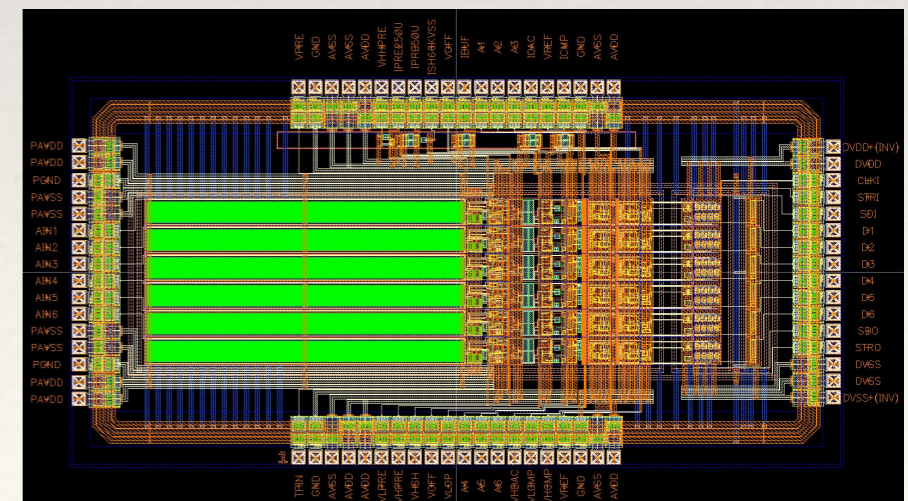
ASICの構造



ASICの回路設計

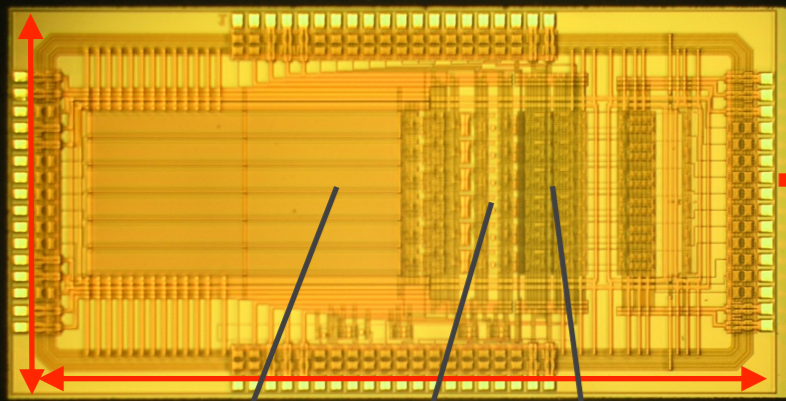


- schematicのシミュレーションを走らせる
 - 過渡応答でgain, pulse width
 - noise の大きさ
 - slow controlでregisterに値を書き込めるか
- schematicの修正 -> ASIC のレイアウト
- Process : MXIC 0.5 um

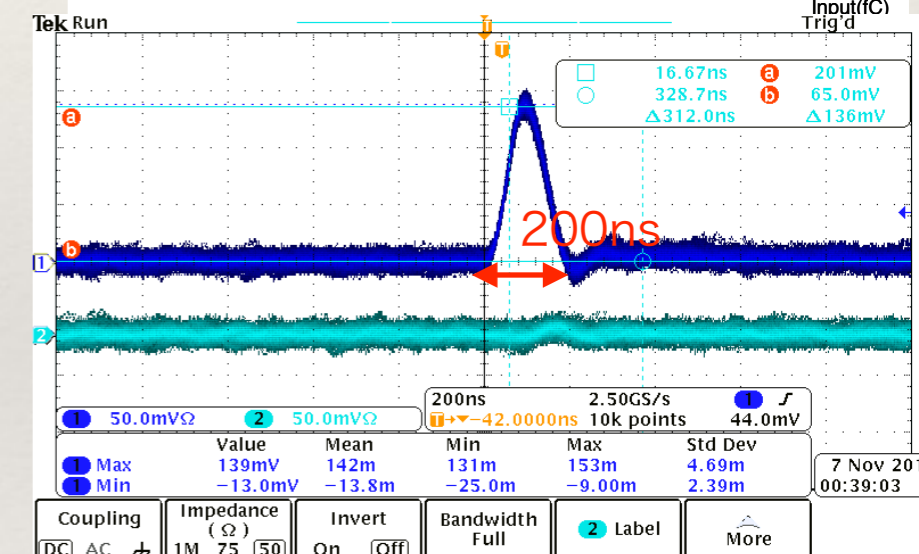
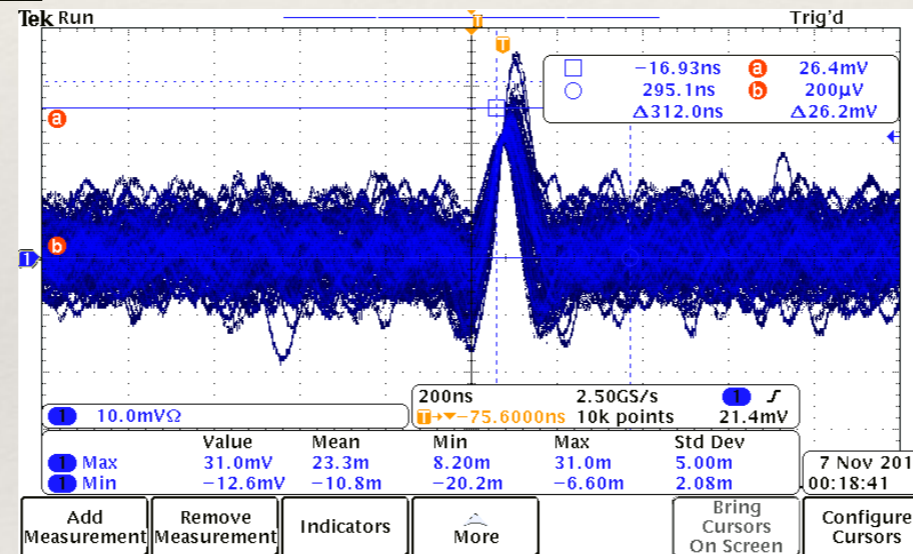
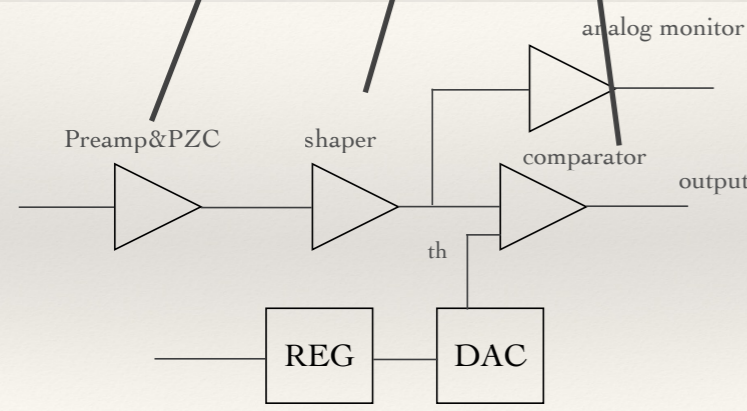
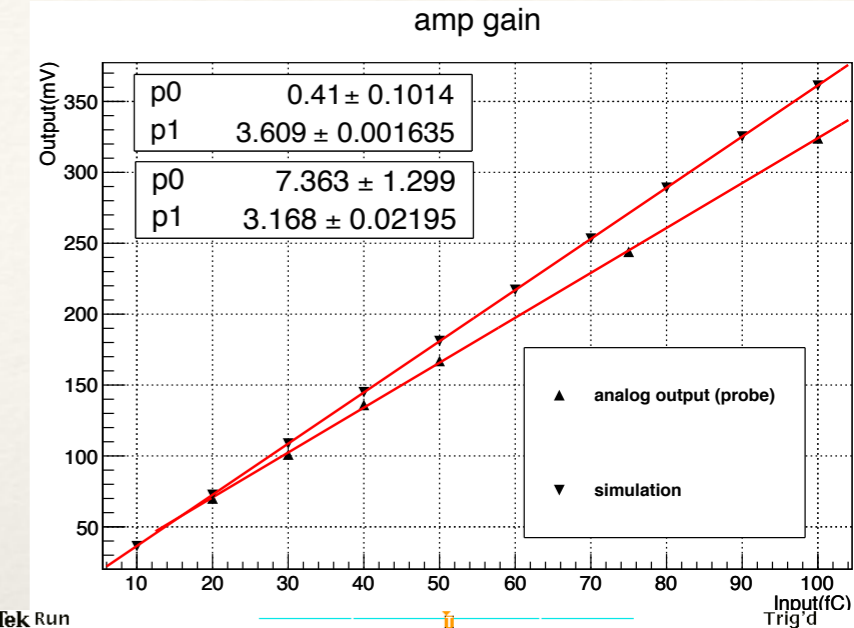
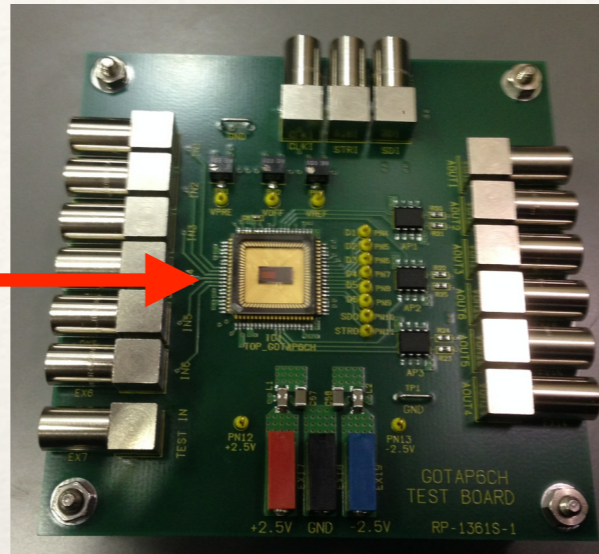


Chip test (analog)

2.8 mm

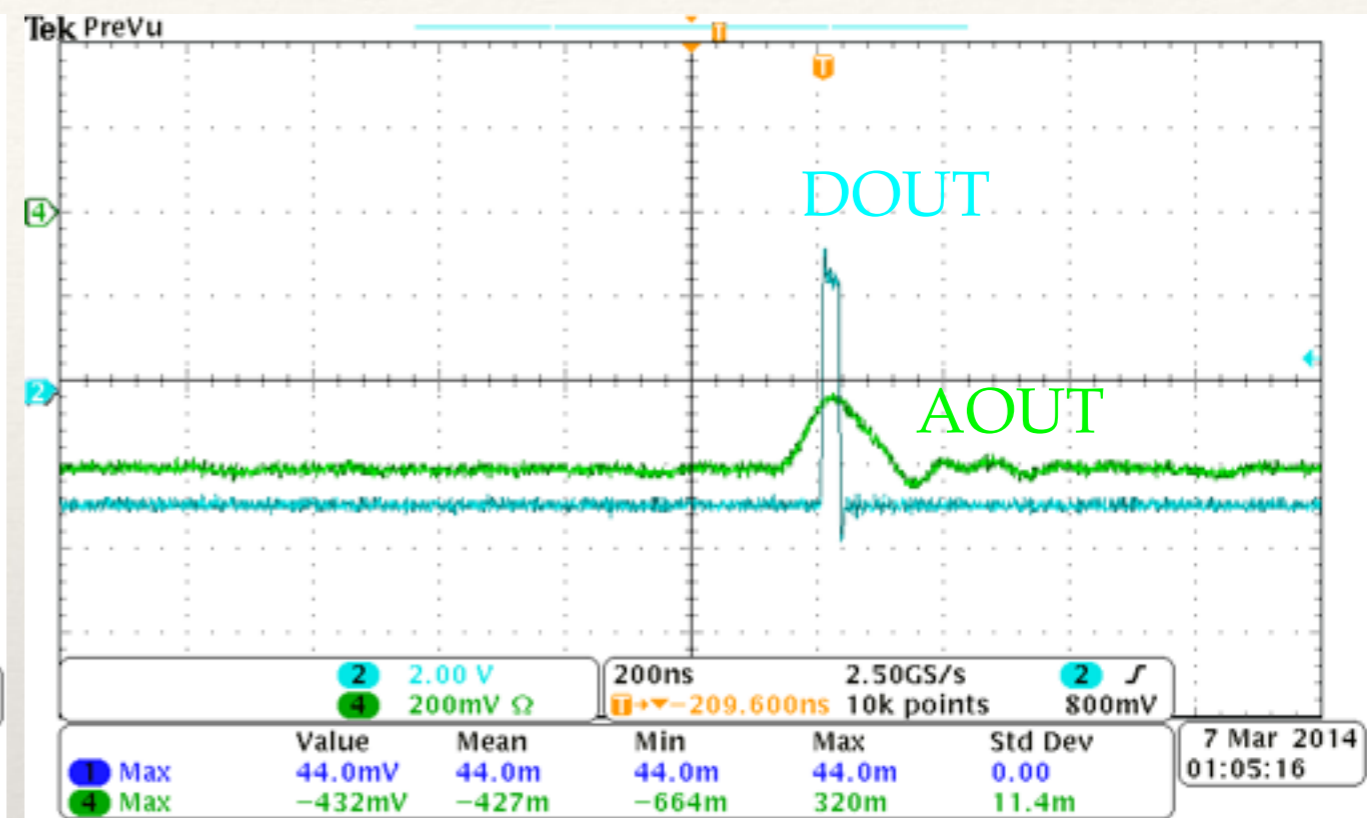
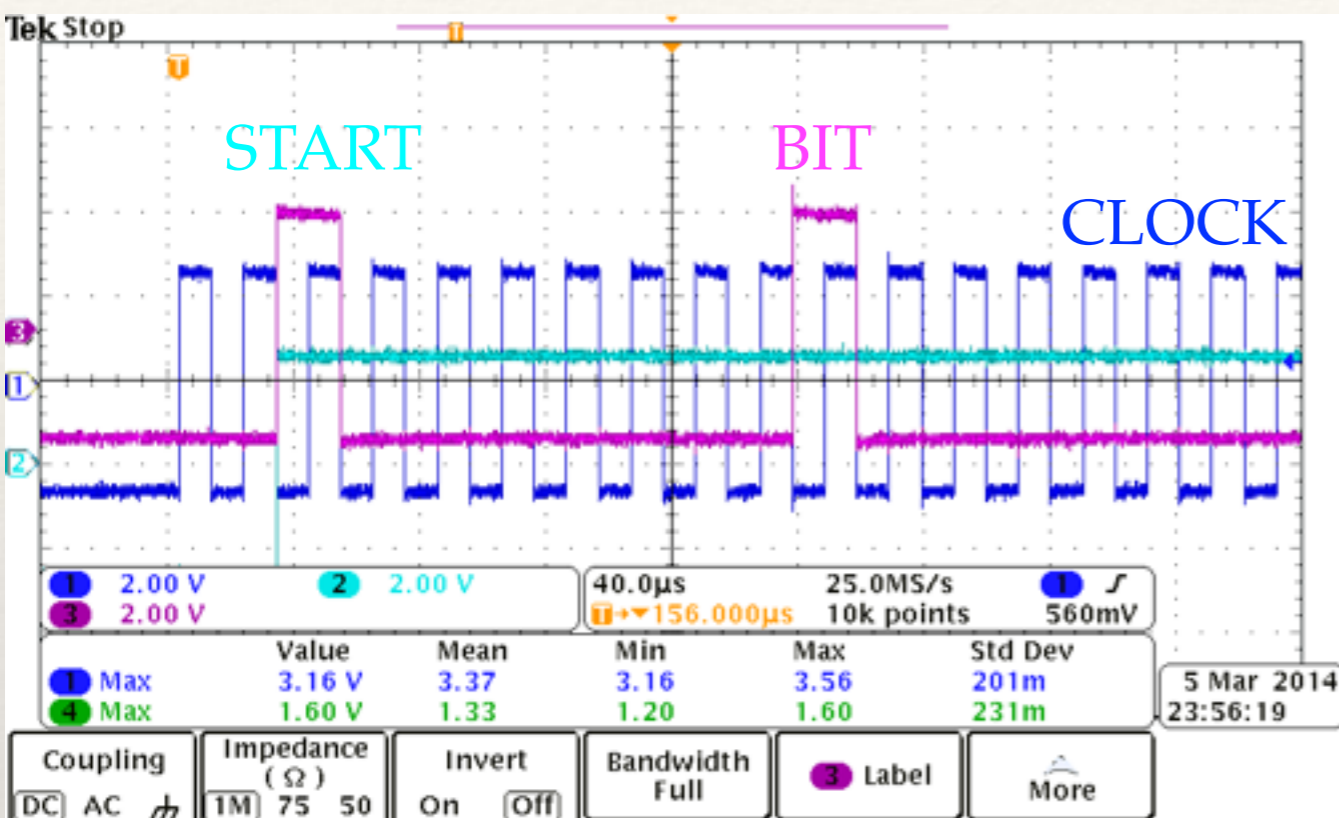


5.6 mm



- できあがったchipとそのテストボードで性能評価
 - テストボードには負荷容量相当および発振防止用のコンデンサ1 nF
- 10fCおよび100fCのテストパルスに対するアナログ出力波形
- conversion gain : 3.2 mV/fC (sim. : 3.6 mV/fC)

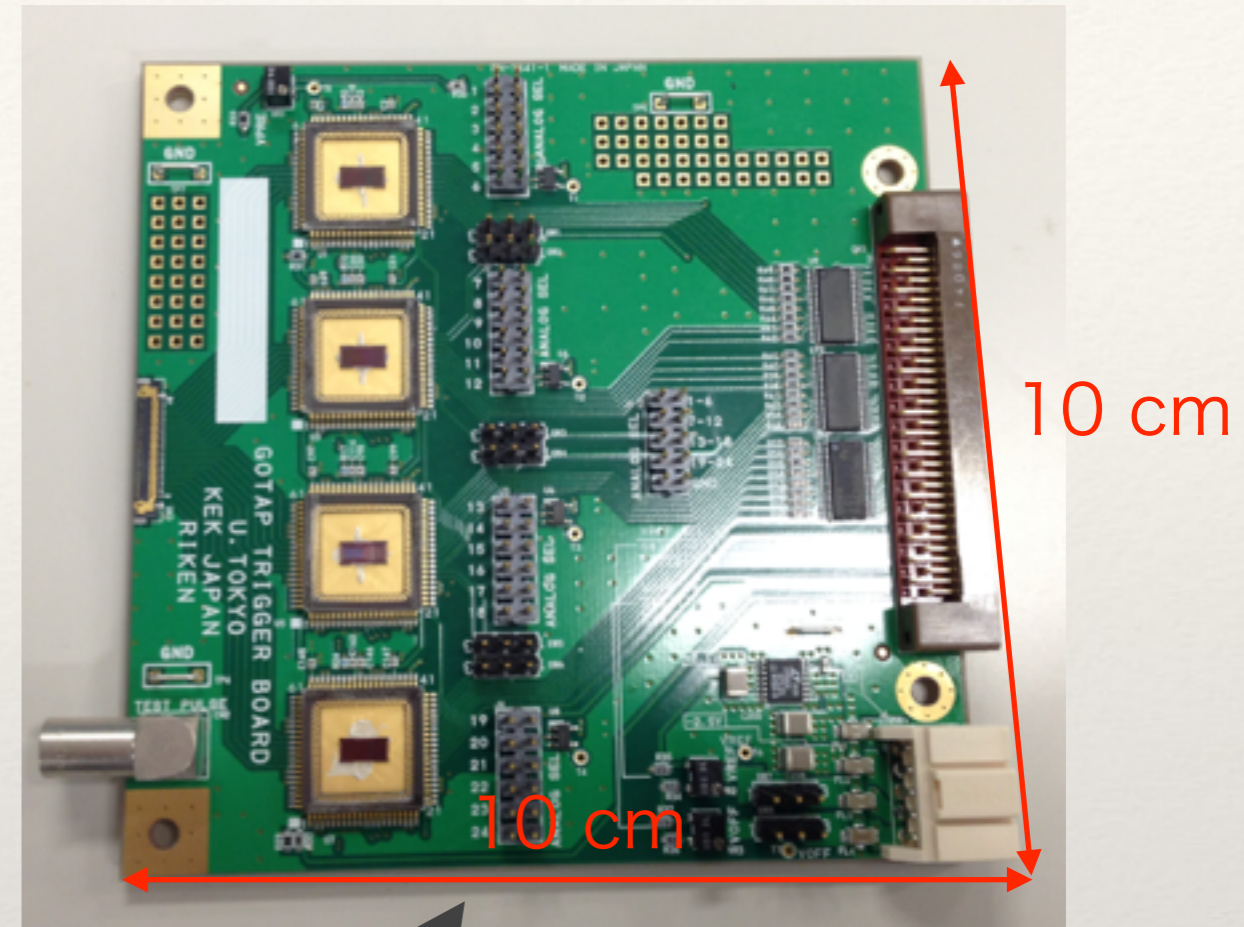
Digital control (SLOW)



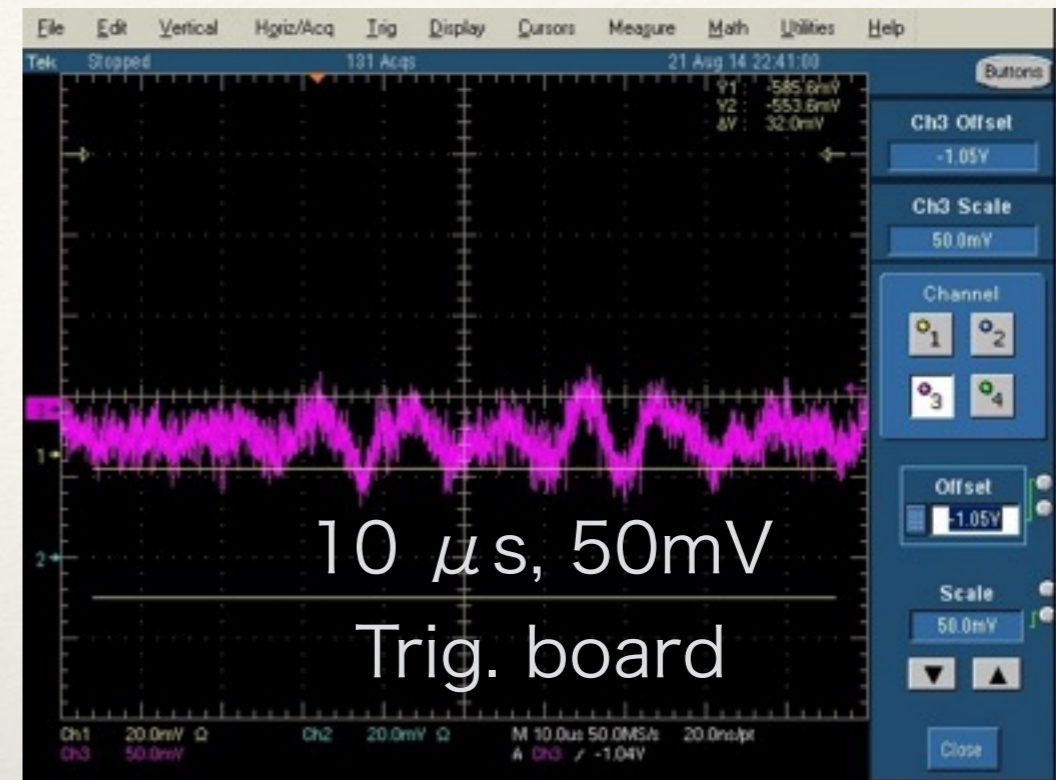
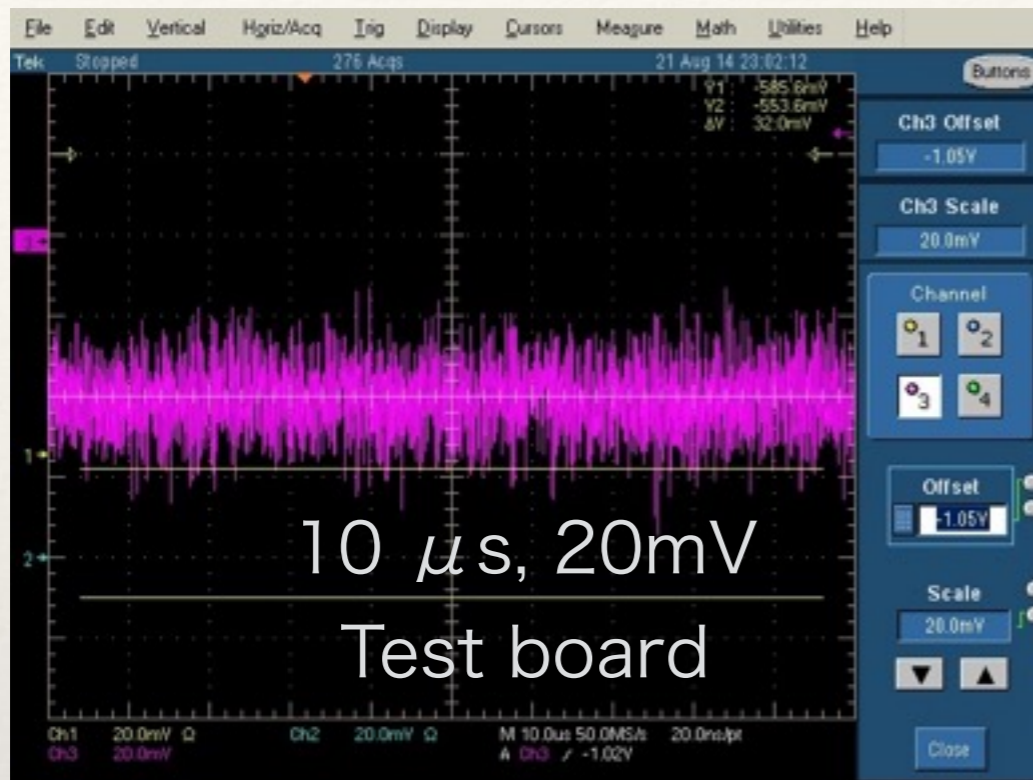
- クロック、ビットパターンを入力によるデジタル制御ができていることを確認
 - コンパレータ on/off
 - デジタル出力の極性
 - 各chのlocalなthresholdの調整(DACの制御)

Trigger board

- テストボードでASICの性能を確認
 - Analog part (waveform, noise and gain)
 - Digital part (register control, output)
- GEM Tracker実機につなぐTrigger boardを試作
 - KEL-XSL connector (極細同軸ケーブル)
 - LVDS driver
- Trigger boardにも入力部に負荷容量相当および発振防止用のコンデンサ1 nFをつけている
- Trigger boardの出力は24ch LVDS
 - Trigger board後段のTRG-MRGに送られる



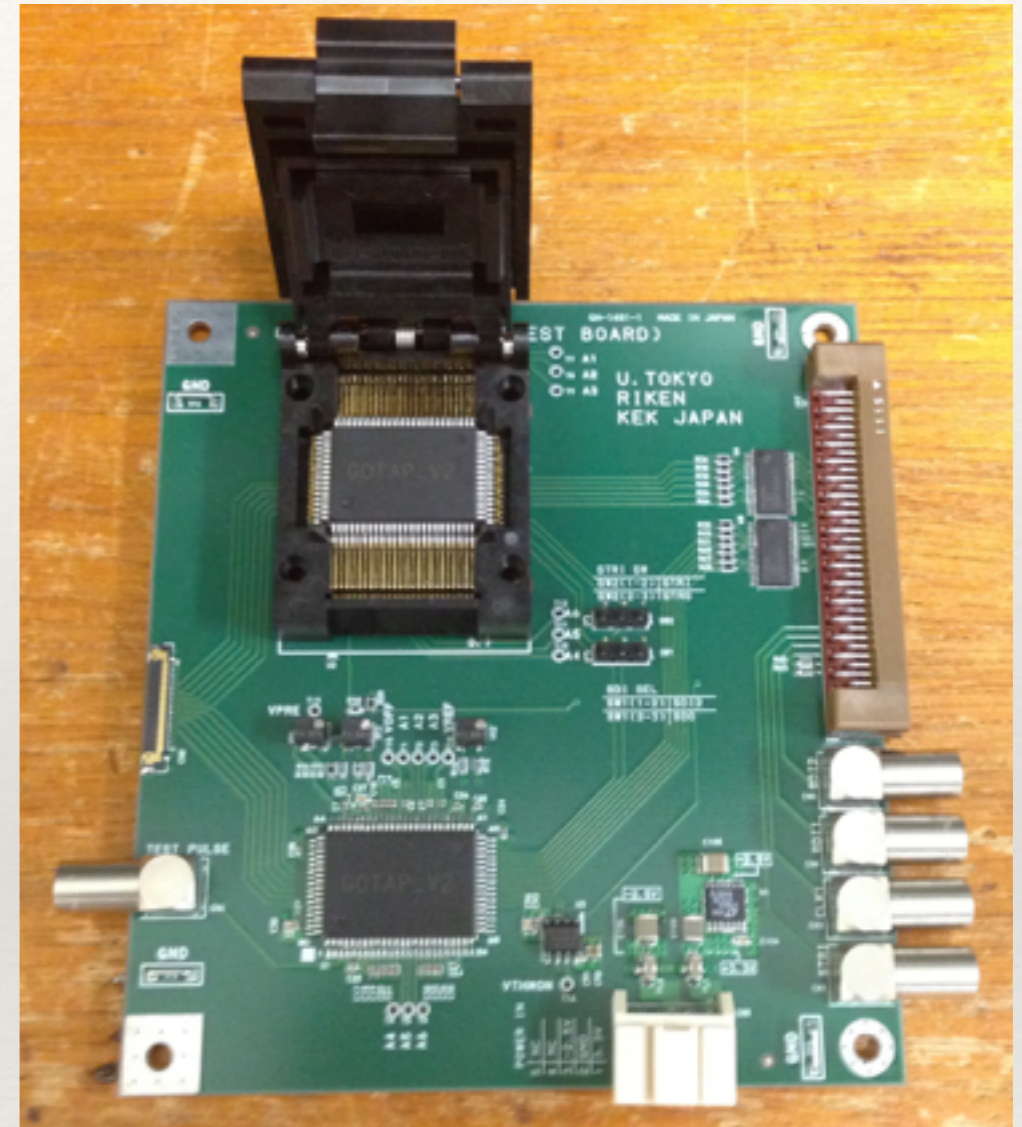
Trigger boardのnoise問題



- テストボードでは見られなかった振幅の大きい遅い周波数成分のnoiseがある
 - $\sigma = 4 \text{ mV} \rightarrow \sigma = 12 \text{ mV}$
- この時点では原因がよくわからなかった
 - LVDS driverを動作させるためにつけたレギュレーター?
 - input側にシールドをしても落ちない

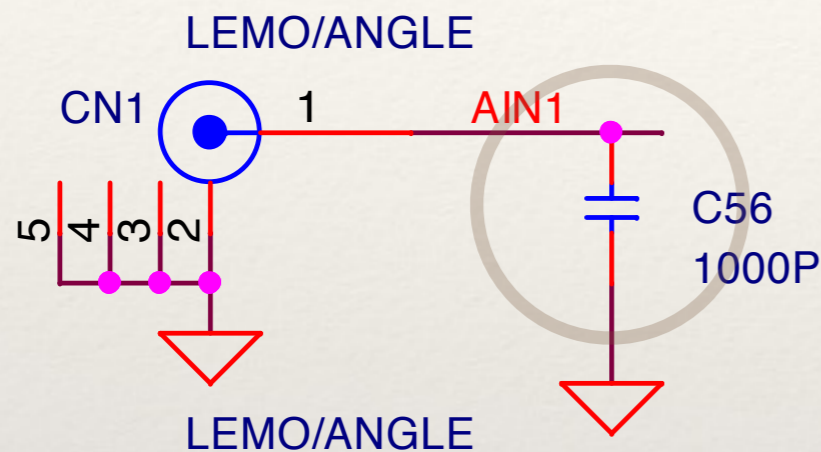
ASIC v2 & test board v2

- v1 に以下の機能を追加
 - 選択的に1chのthresholdをmonitor
 - 選択的に1chのanalog signalをmonitor
- analog特性はv1と変わらない
- テストボードはGEM Trackerに接続できるようにv1 Trigger boardに似た構造
 - 入力部に2nF負荷容量コンデンサ
 - IC socketでASICの交換を容易にして、ASICの選定の時間を短縮
- GEM foilのsignalを12 ch読み出せる



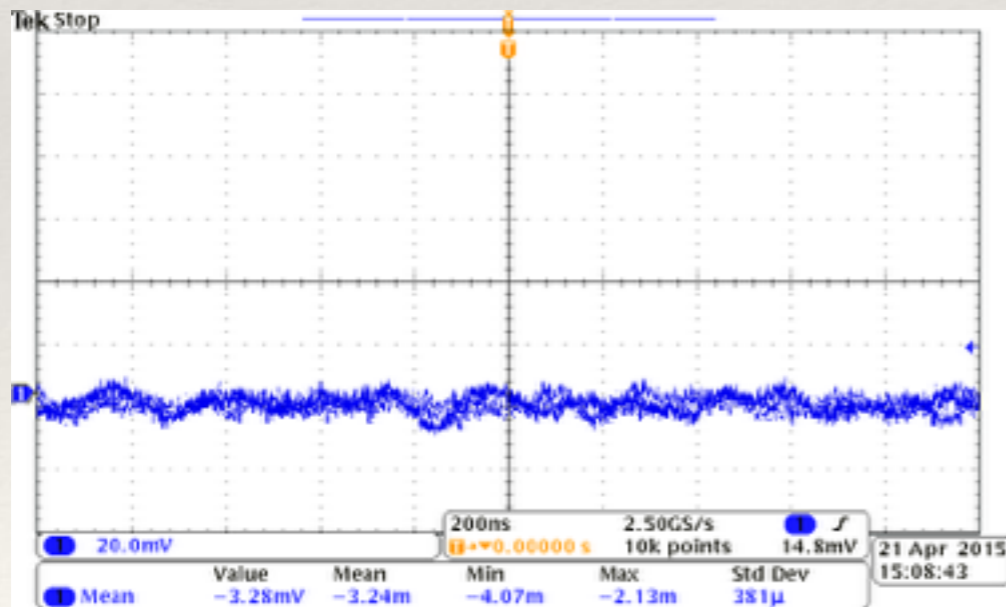
遅い周波数成分のnoiseの解決

INPUT



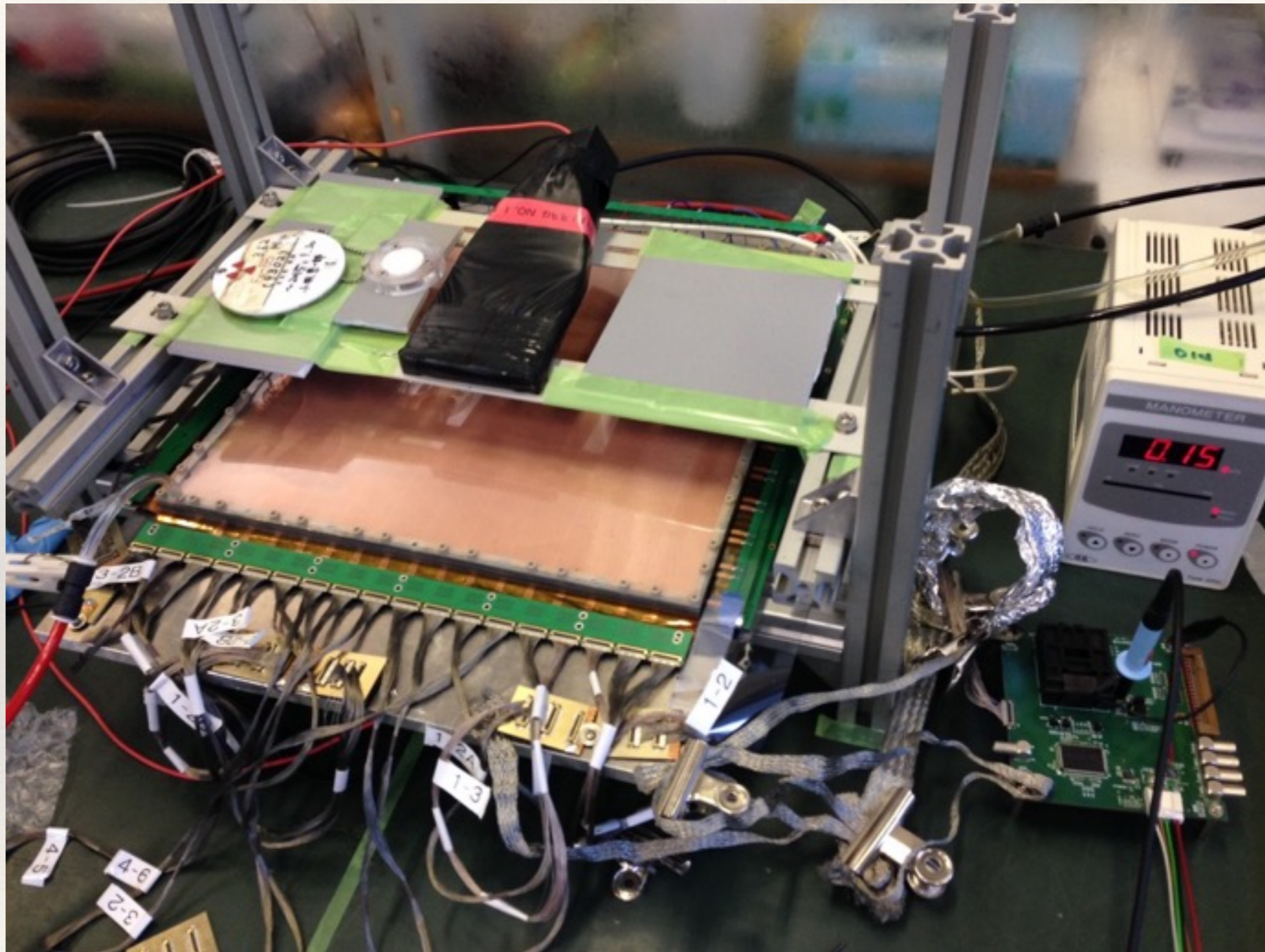
- Trigger boardに見られた遅い周波数成分のnoiseがASIC v2のテストボードでも見られる
- v1テストボードとTrigger boardおよびv2テストボードの相違点
 - LVDS driver関連の周辺回路
 - 負荷容量および発振防止用のコンデンサのGNDの取り方(スルーホールか否か)

入力部のコンデンサを除去



- Trigger boardおよびV2テストボードの遅い周波数のnoiseが解消
 - スルーホールのGNDを数uV程度で安定させることができず、コンデンサを通して数10fCの電荷が入力されることで振幅の大きい遅い周波数のnoiseが乗っていたと考えられる
- 発振防止用につけていたものを取り除いても発振しなかった

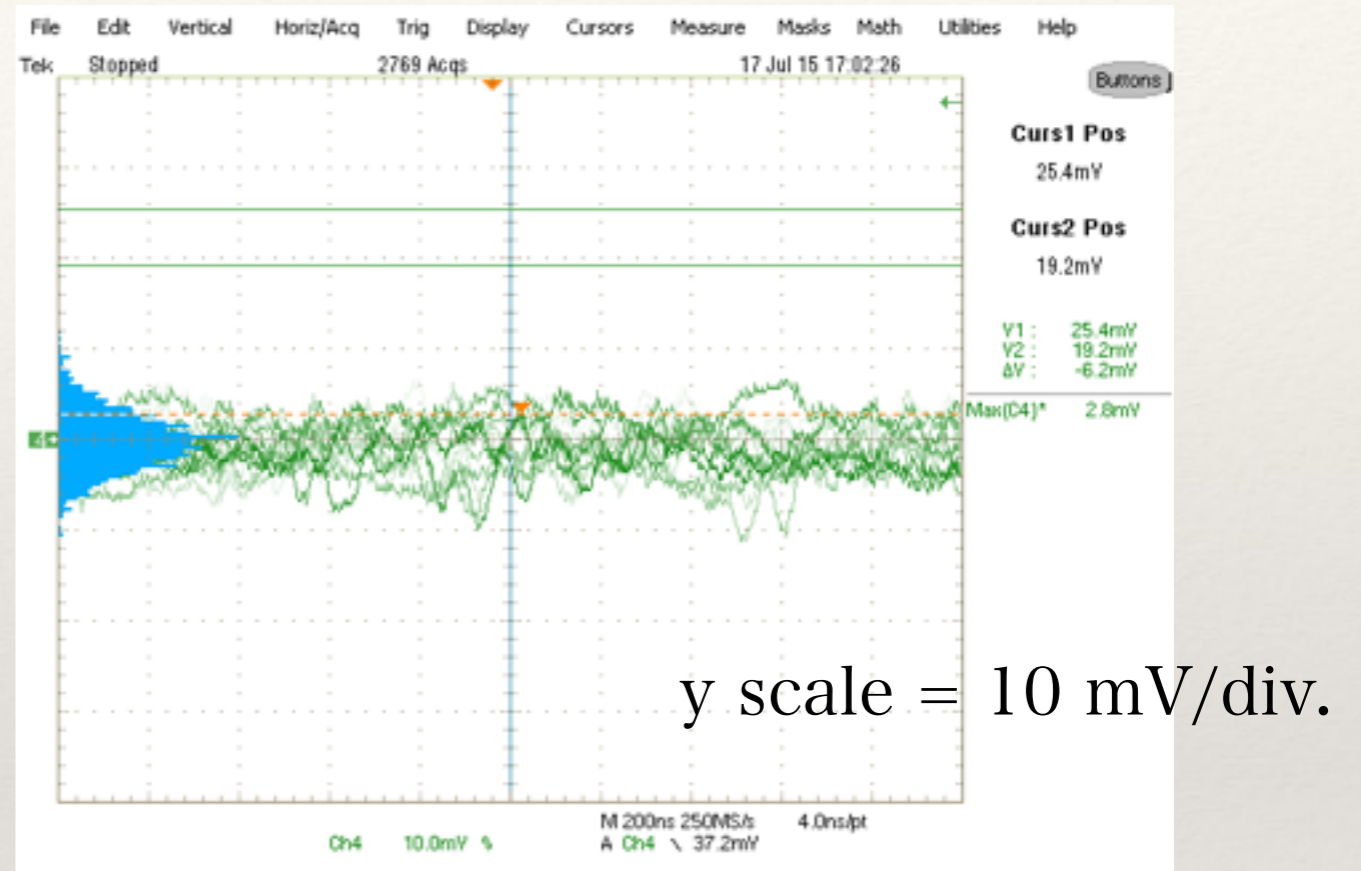
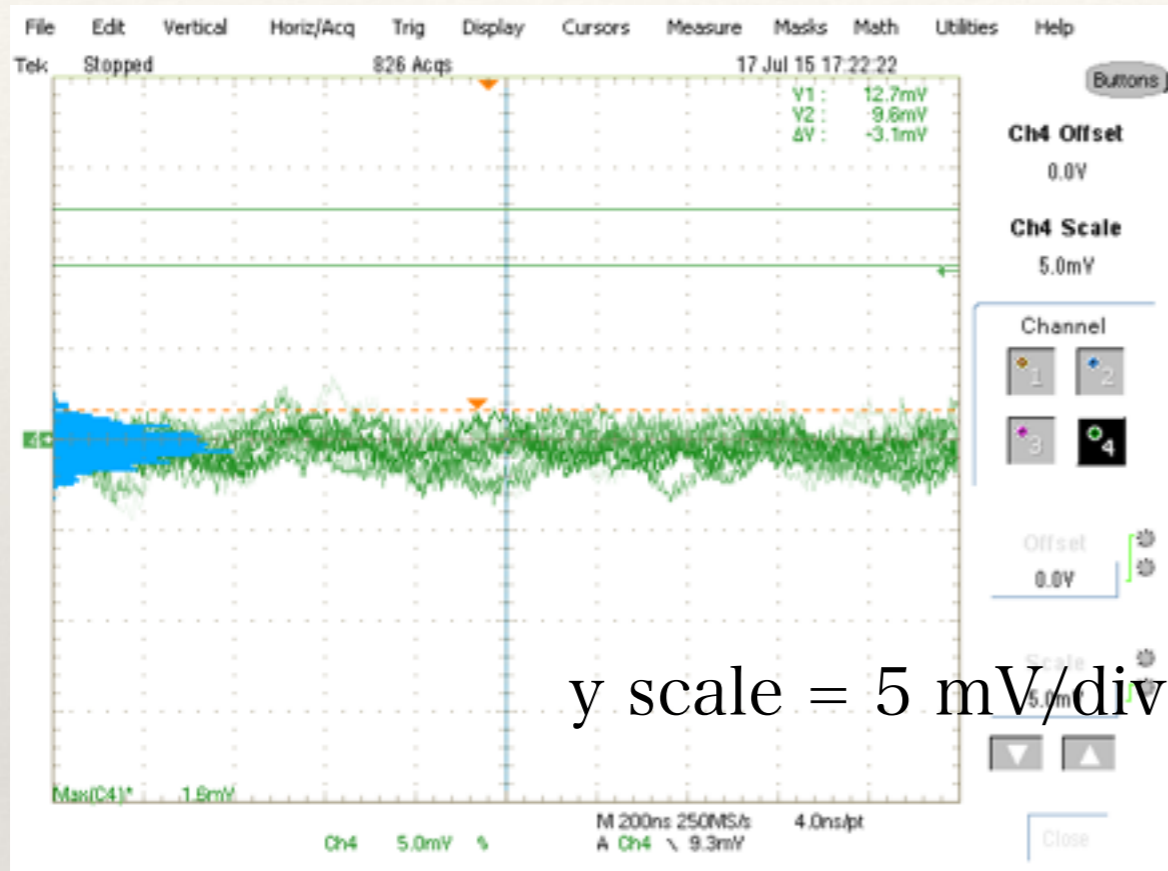
GEM Tracker との接続テスト



Noise Level

接続前 $\sigma = 1 \text{ mV}$

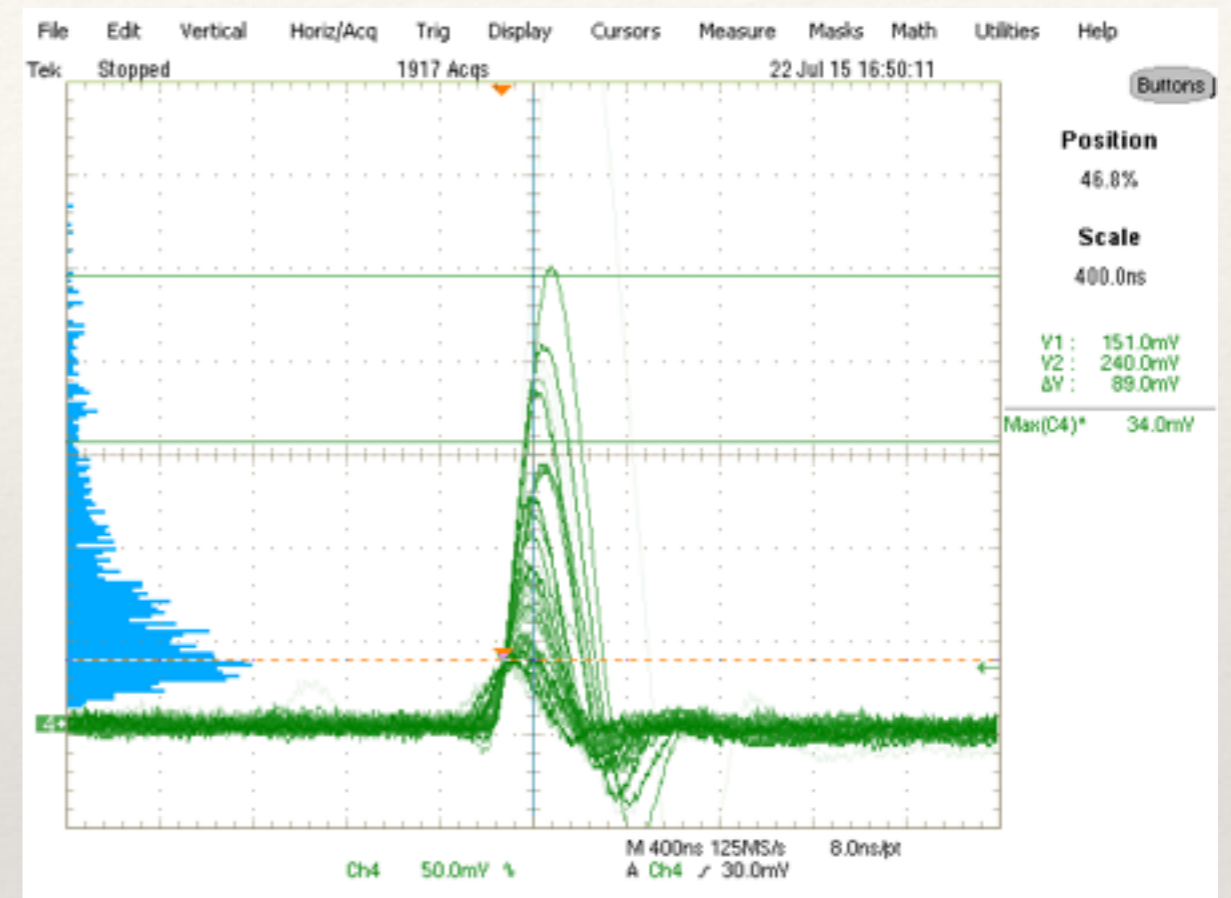
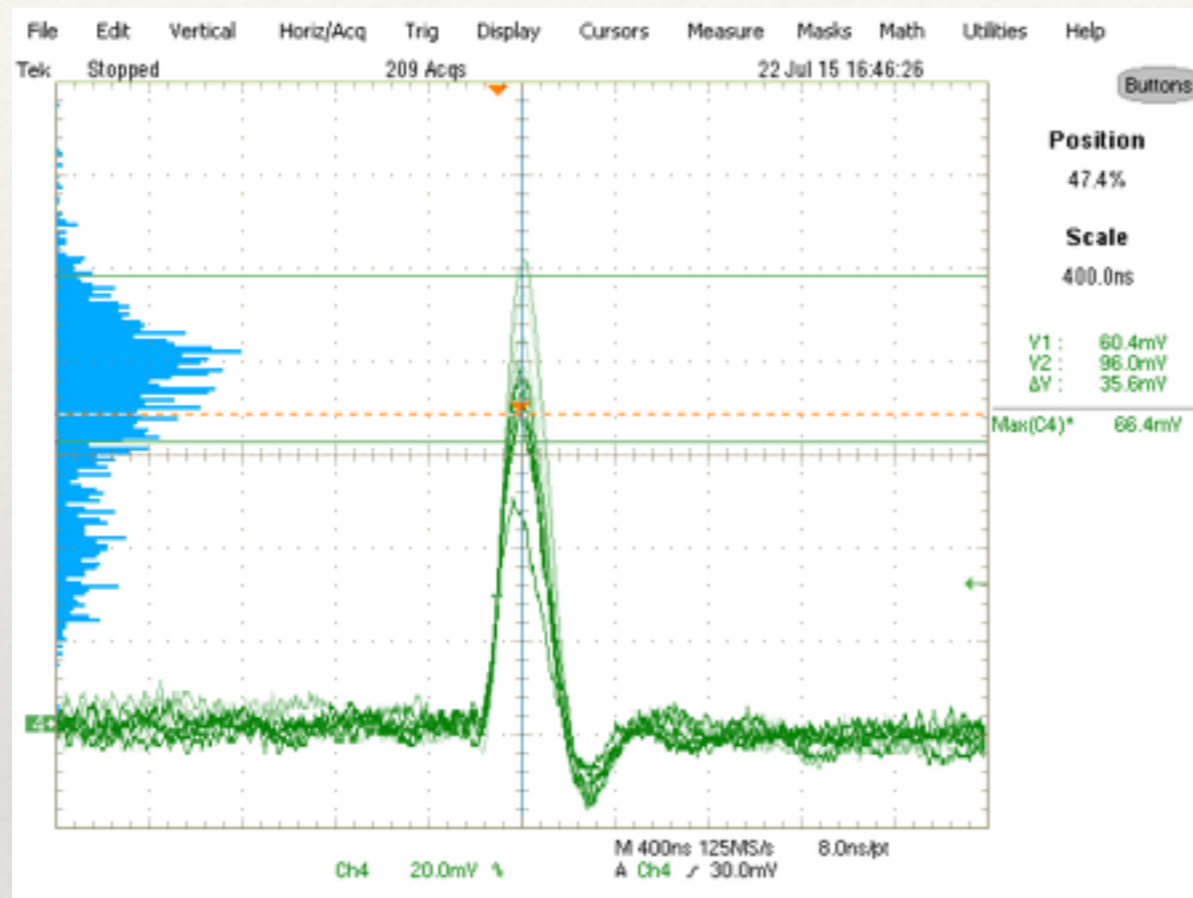
接続後 $\sigma = 3.5 \text{ mV}$



- GTR300とASICを接続

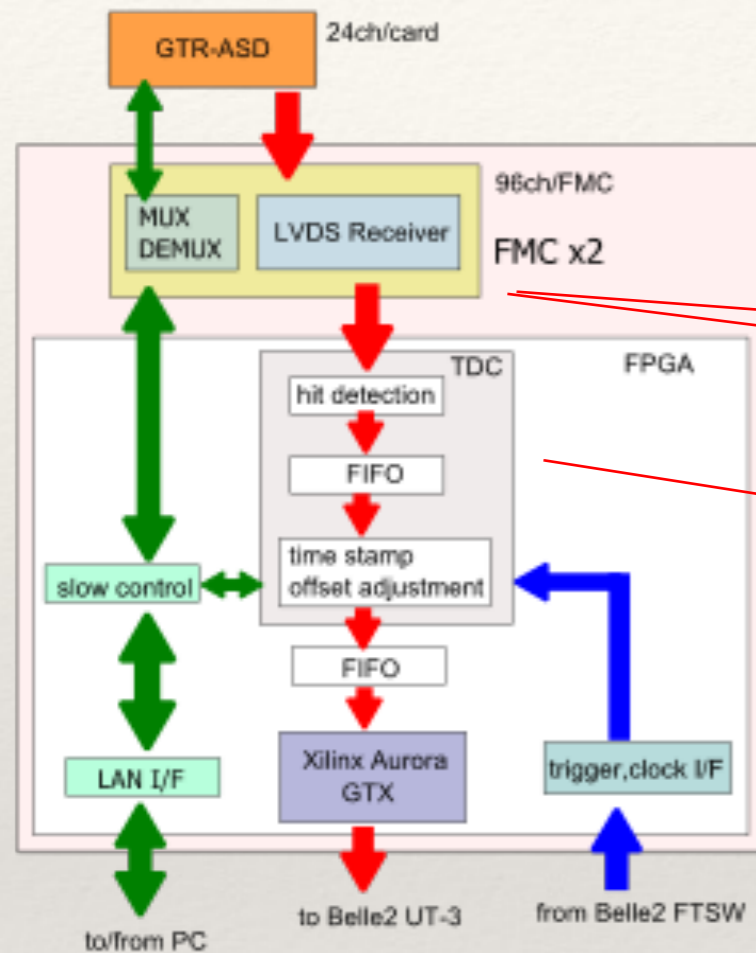
- noise level を check
- 実際のoperationでは10fC程度に相当する30mVにthresholdを設定する
- $\text{ENC} \sim 3.5 \text{ (mV)} / 3.2 \text{ (mV/fC)} / 1.6 \times 10^{-4} \text{ (fC)} = 7000$
- Minimum charge : 6 electrons (seeds) \times 10000 (effective gain) = 60000

ASIC v2で読み出した信号



- GEM1枚あたり印加電圧350VでのX線源(^{55}Fe)およびβ線源(^{90}Sr)のfoil signal
 - X線の全吸収ピークの数からeffective gain = 740 程度
 - operation gain = 10000 程度
 - pulse width ~ 400 ns
- これから宇宙線またはbeam testでtrigger efficiencyを評価する予定

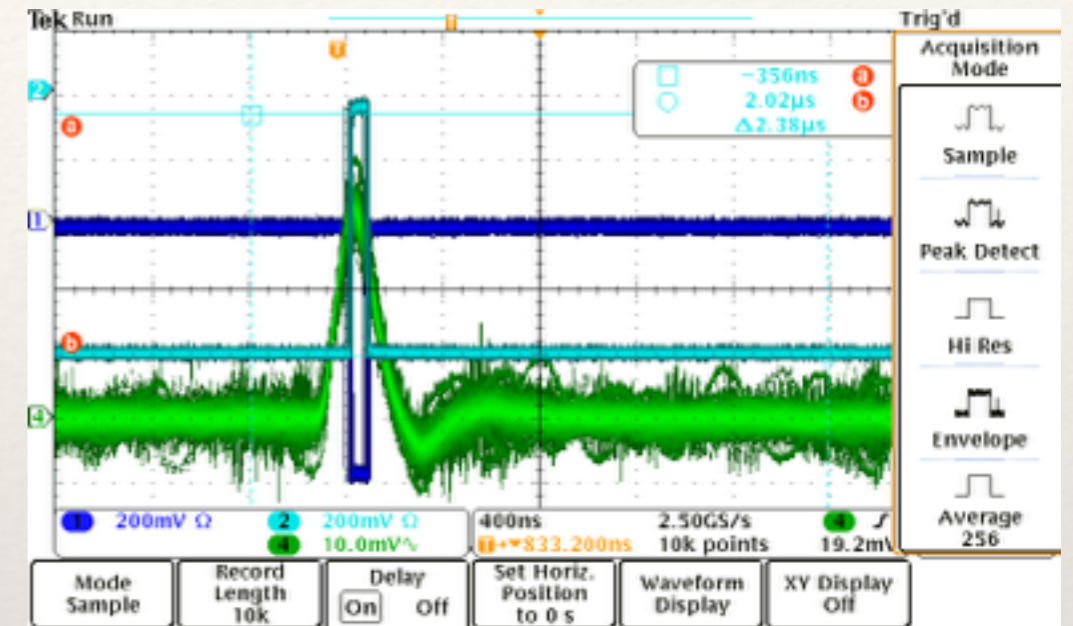
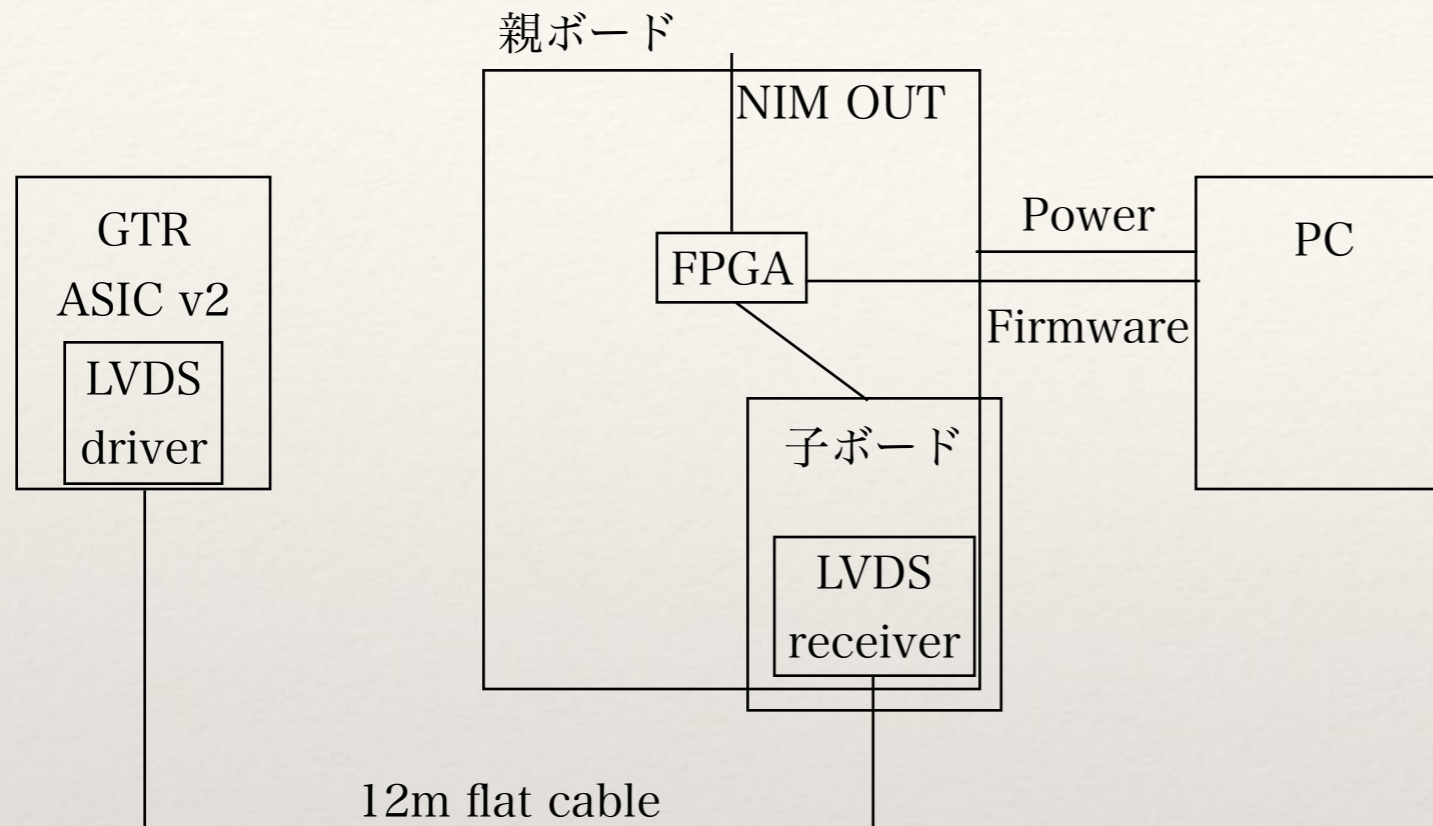
Trigger Merger Board (TRG-MRG)



• TRG-MRGの動作

- LVDSを取り込み、FPGA内に構築したTDCで信号処理 ($48 \times 4 = 192$ ch, max. 256 ch)
- Belle-II UT3 (trigger decision module)にTDCデータを高速光通信で送信 (Aurora64b66b)

ASIC v2 テストボードとTRG-MRGの接続



- TRG-MRG boardの実機テスト
 - FPGA以外の部分の動作を確認する
 - Firmware : ASIC 6ch分のALL ORと特定の1chのDOUT levelをNIM OUTで取り出す
- ASICのLVDSが子ボードを通じて親ボードのFPGAまで流れていることを確認
- FPGAの出力がNIM OUTまで信号が流れていることを確認

Summary

- J-PARC E16 実験
 - J-PARC high-p beam line
 - mass spectra of vector mesons in nuclei
- 全体のtrigger system
 - GEM Tracker, HBD, LGのtrigger segmentの3 coincidence
- Trigger system of GEM Tracker
 - ASIC
 - ▶ analog (noise level, conversion gain, pulse width), digital双方の性能を確認
 - ▶ GEM Trackerとの接続テスト (noise評価, 線源のsignal)
 - Trigger Merger Board
 - ▶ ASICの載ったボードとの接続テスト
 - ▶ 基板のテスト
 - ▶ TDC firmware

Outlook

- ASIC
 - v2 Trigger boardの製作
 - 宇宙線 or Beamでtrigger efficiencyの評価
- HBD用ASICのR&D
- TRG-MRG
 - TDC firmwareのデバッグ
 - ASICのslow control用FPGAのfirmware開発
 - UT3との接続テスト
- Trigger Decision
 - Trigger decision logicの開発
- 回路の量産・品質検査