

SoCを用いたフィールド計測

東京大学地震研究所 武多昭道

概要

1. イントロ
2. SoCの説明
3. SoCを用いたフィールド観測の事例
4. 今後の展望

概要

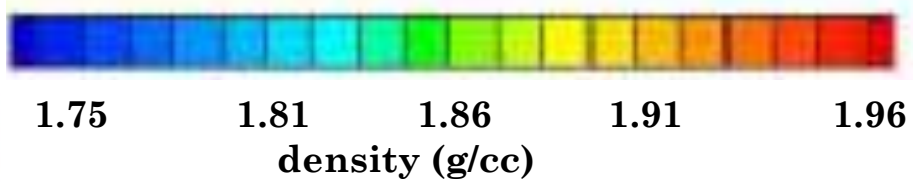
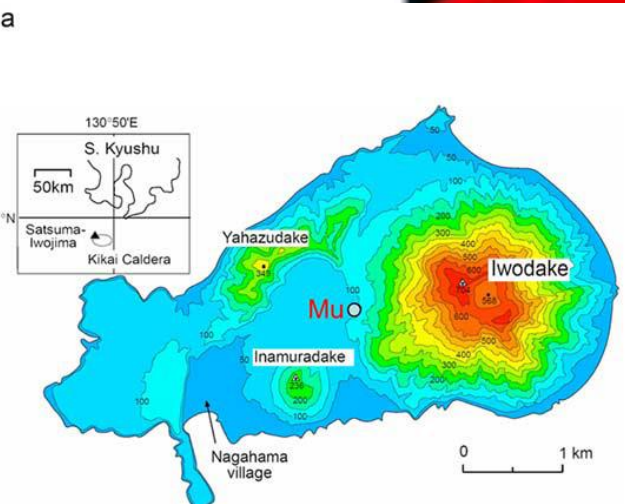
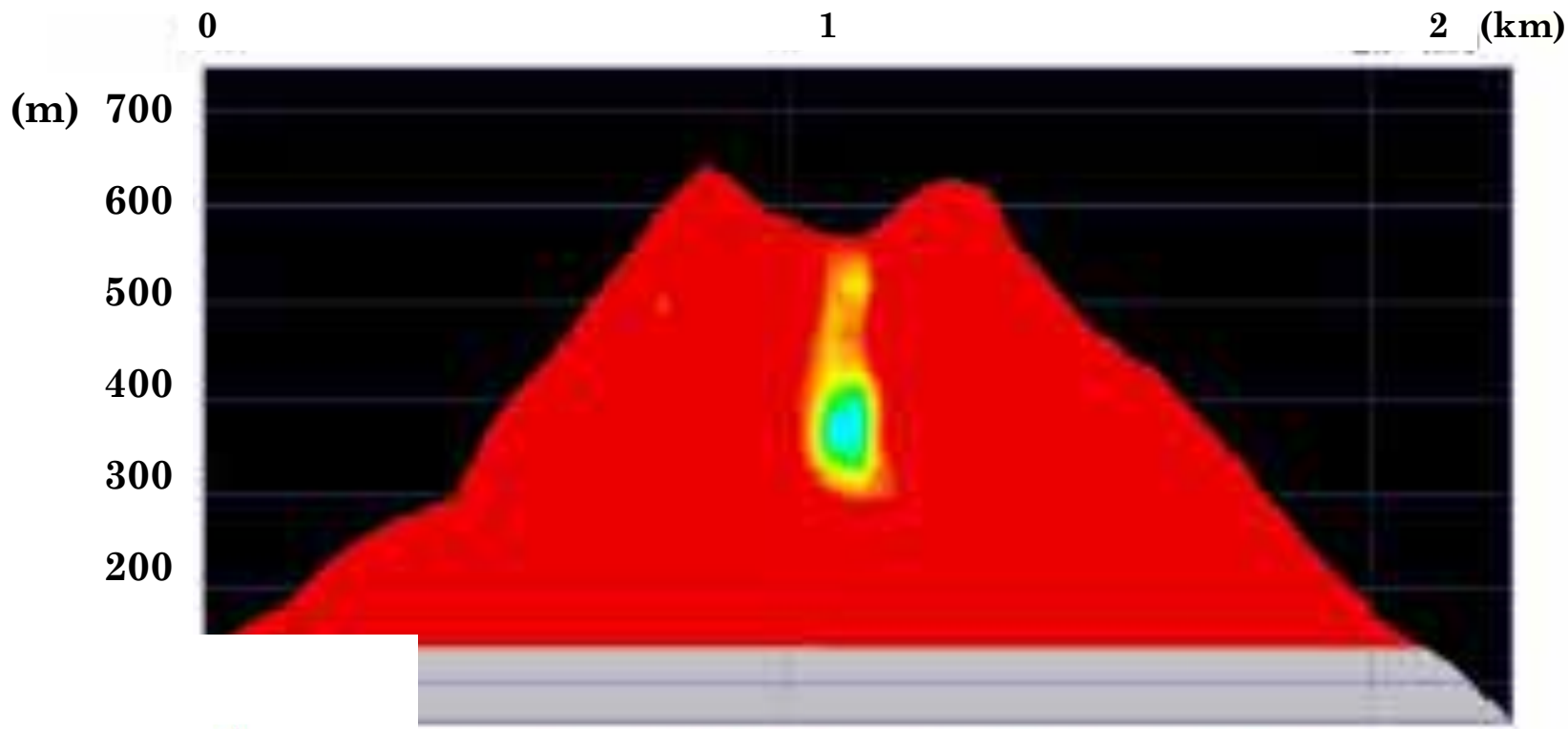
1. イントロ
2. SoCの説明
3. SoCを用いたフィールド観測の事例
4. 今後の展望

本講演におけるフィールド計測とは

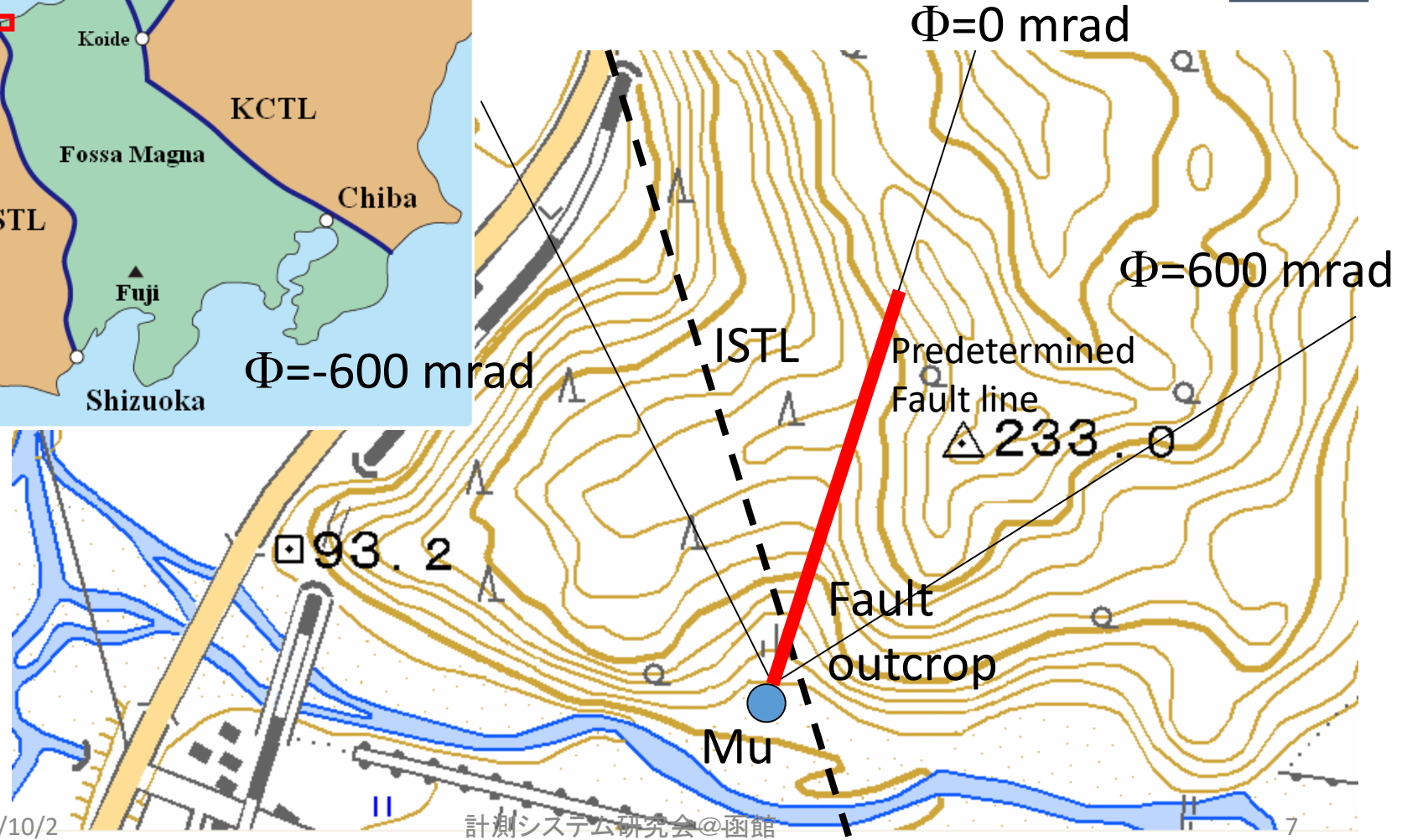
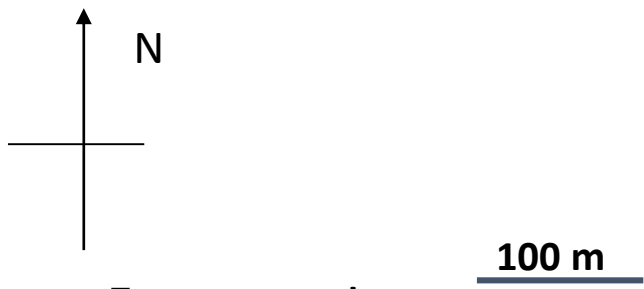
- マイコンやFPGAのみでカバーできない範囲の計測
 - 情報量が数Mbps以上 → マイコンではカバーできない
 - 多様なI/Oと自律制御 → FPGAのみでは困難
- 室内実験とは異なる条件
 - 基本的に屋外での使用を想定
 - 温度範囲が広い
 - 消費電力が低い
 - 十分な対候性
- 市場規模はあまり大きくない
 - したがって市場に製品は出回っていない
 - 必要に応じて設計・製造する必要がある



Mt. Satsuma Iwo Jima



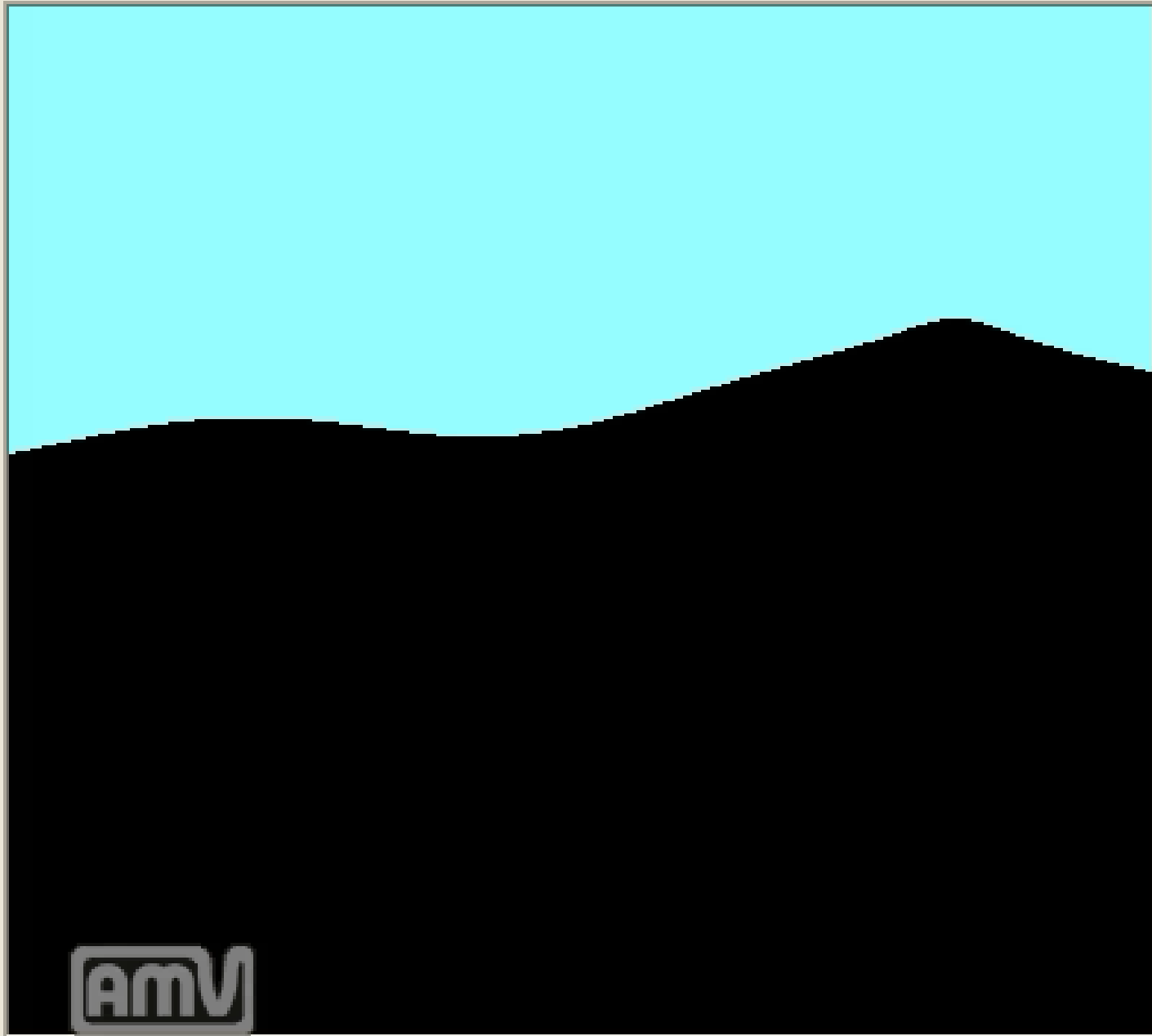
Seismic fault zone



Fault crop



Fracture
Zone



概要

1. イントロ

2. SoCの説明

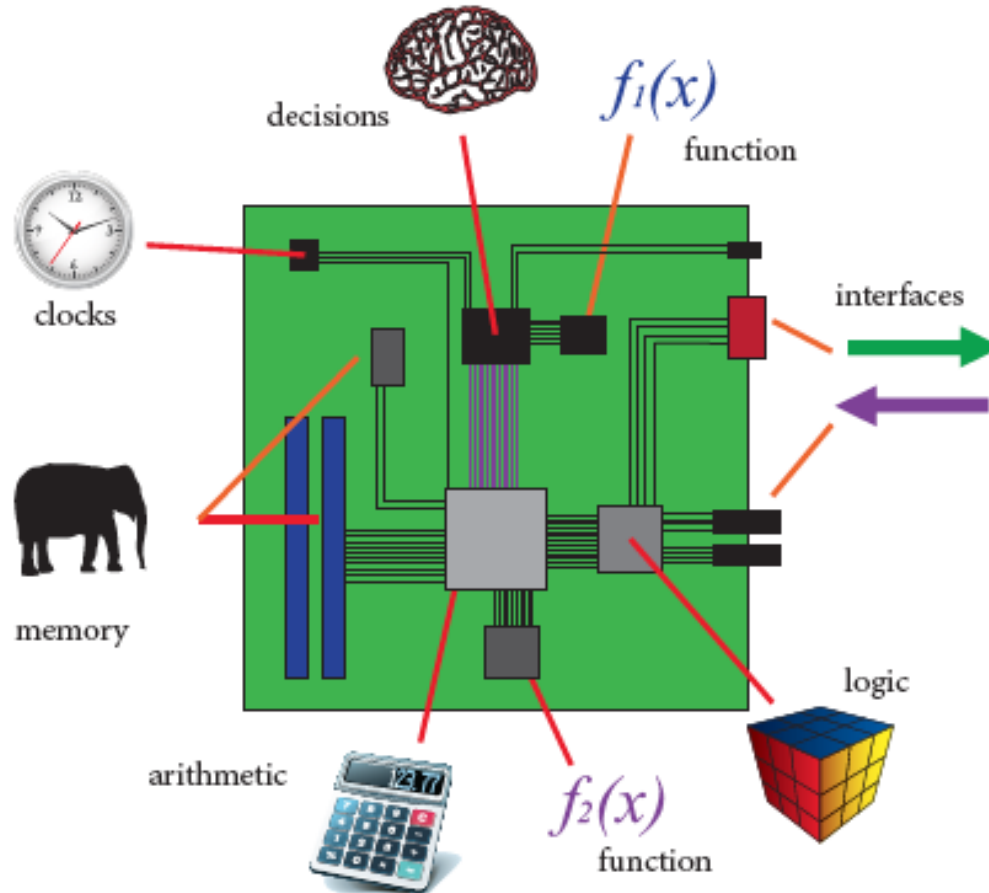
3. SoCを用いたフィールド観測の事例

4. 今後の展望

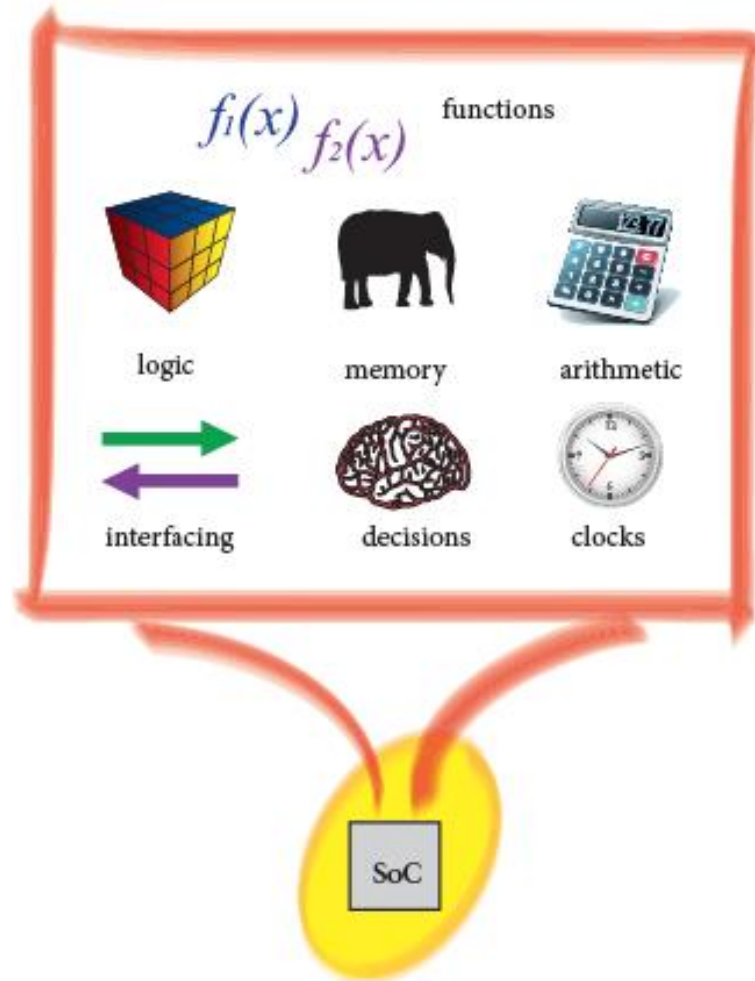
本講演におけるSoCとは

- SoC=System on Chip
 - 本来は幅広い用途で用いられる
- 本講演では、FPGA-CPU混載チップを指す
 - Xilinx ZynqやIntel Startix, Intel Arria 等
 - CPUは通常ARMが用いられる
- メリット
 - ディスクリット・プロセッサとデジタル信号処理 (DSP) 機能を単一のFPGAに統合することで、システム消費電力、コスト、およびボードサイズを削減
 - プロセッサとFPGA間の広帯域幅インターコネクต์によってシステム性能を向上
- デメリット
 - 導入コスト
 - 研究者コミュニティ内での実績・資産が少ない

System-on-a-Board



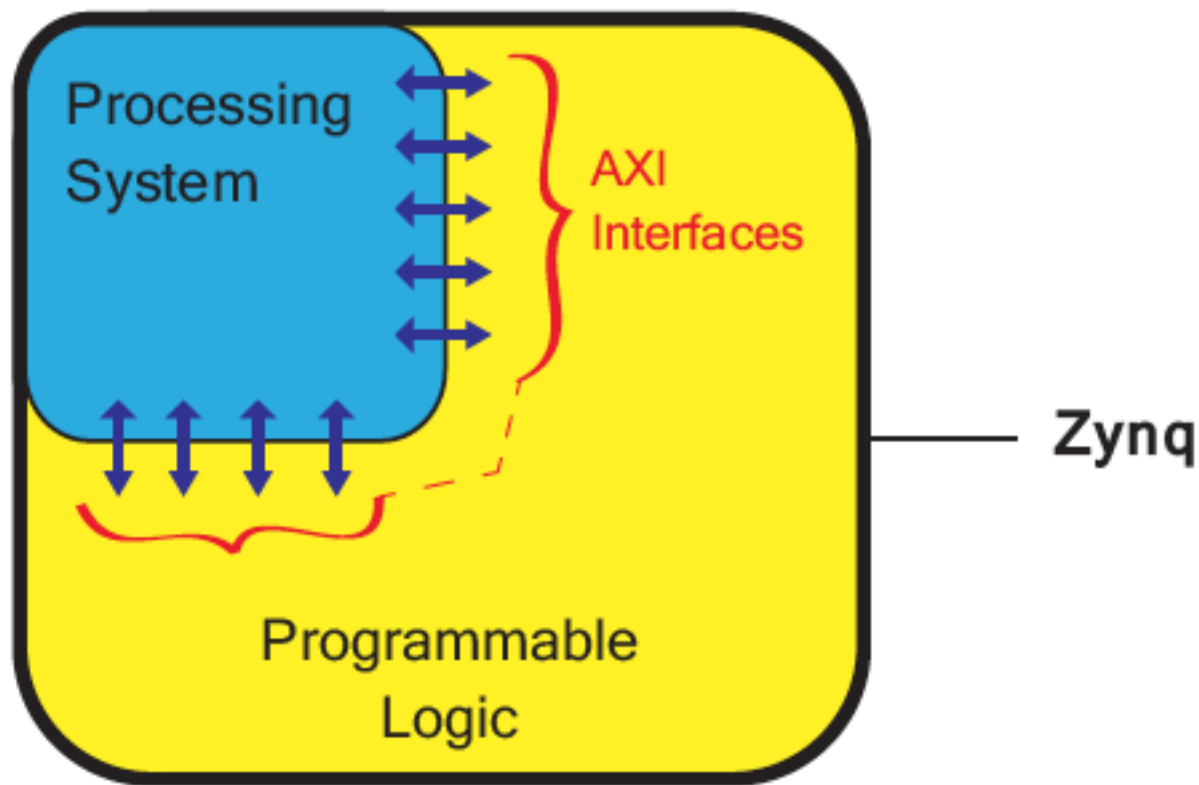
System-on-Chip (SoC)



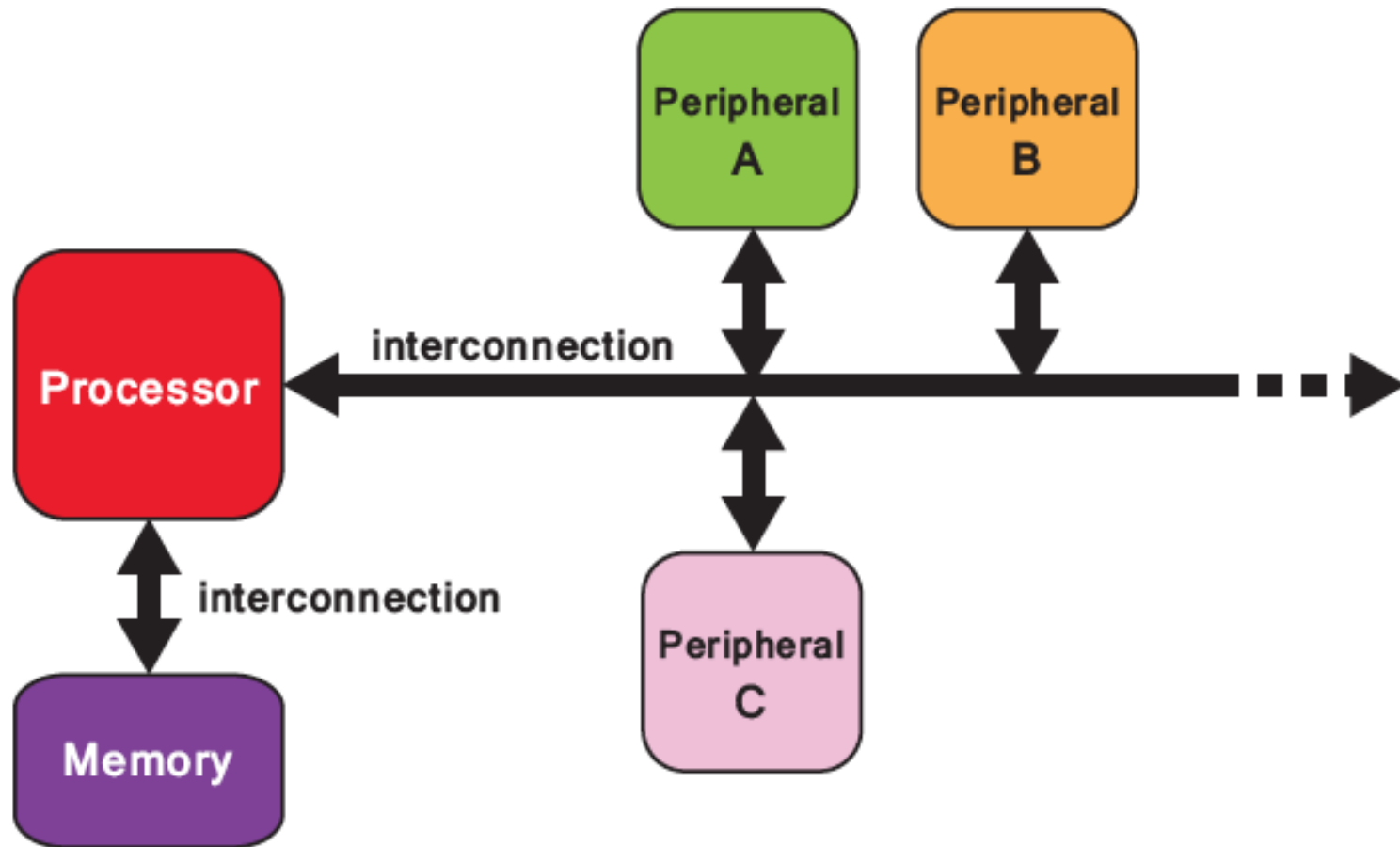
FPGA with Soft Processor Core



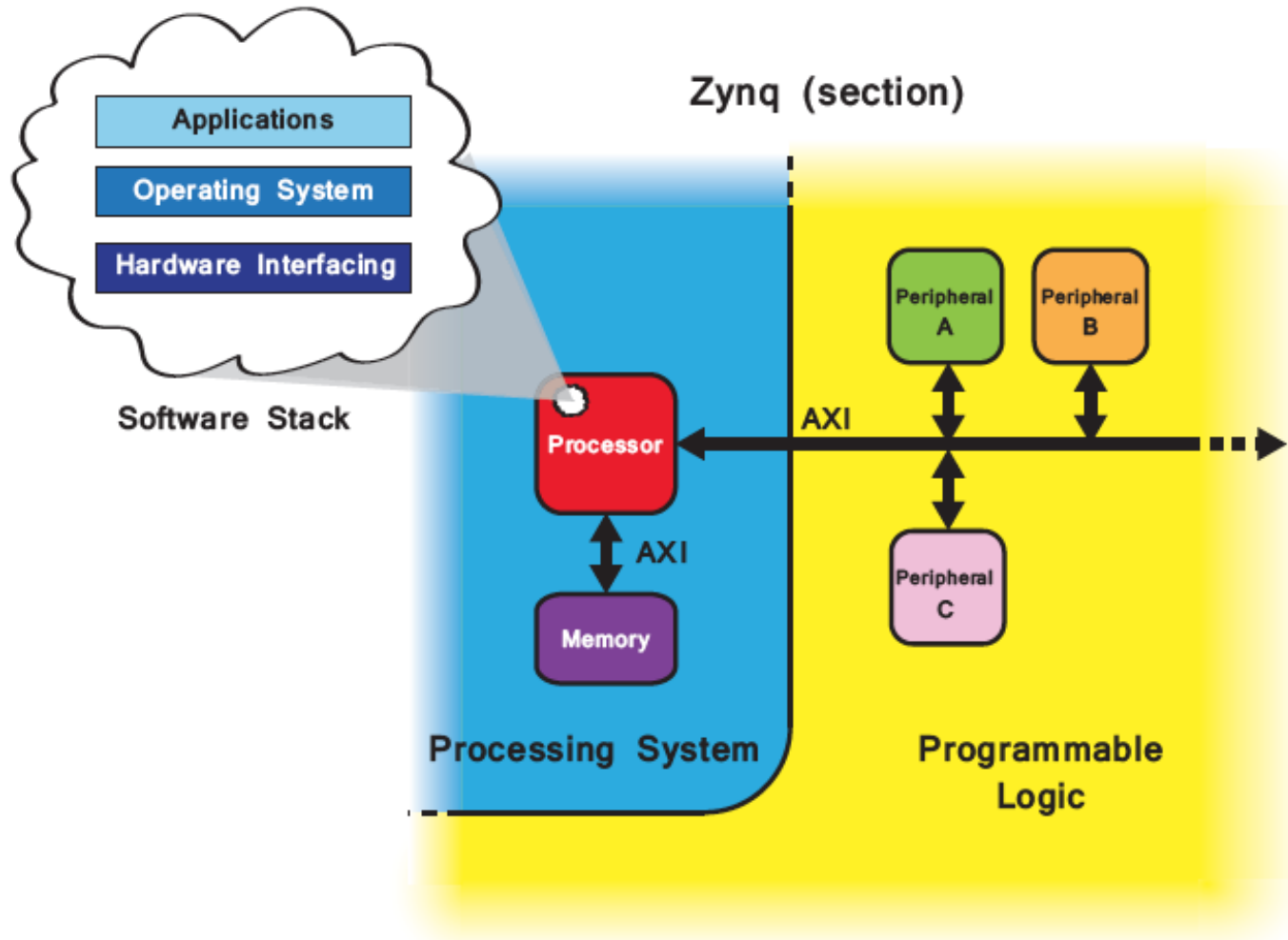
A Simplified Model of the Zynq Architecture



Simplified Hardware Architecture of an Embedded SoC

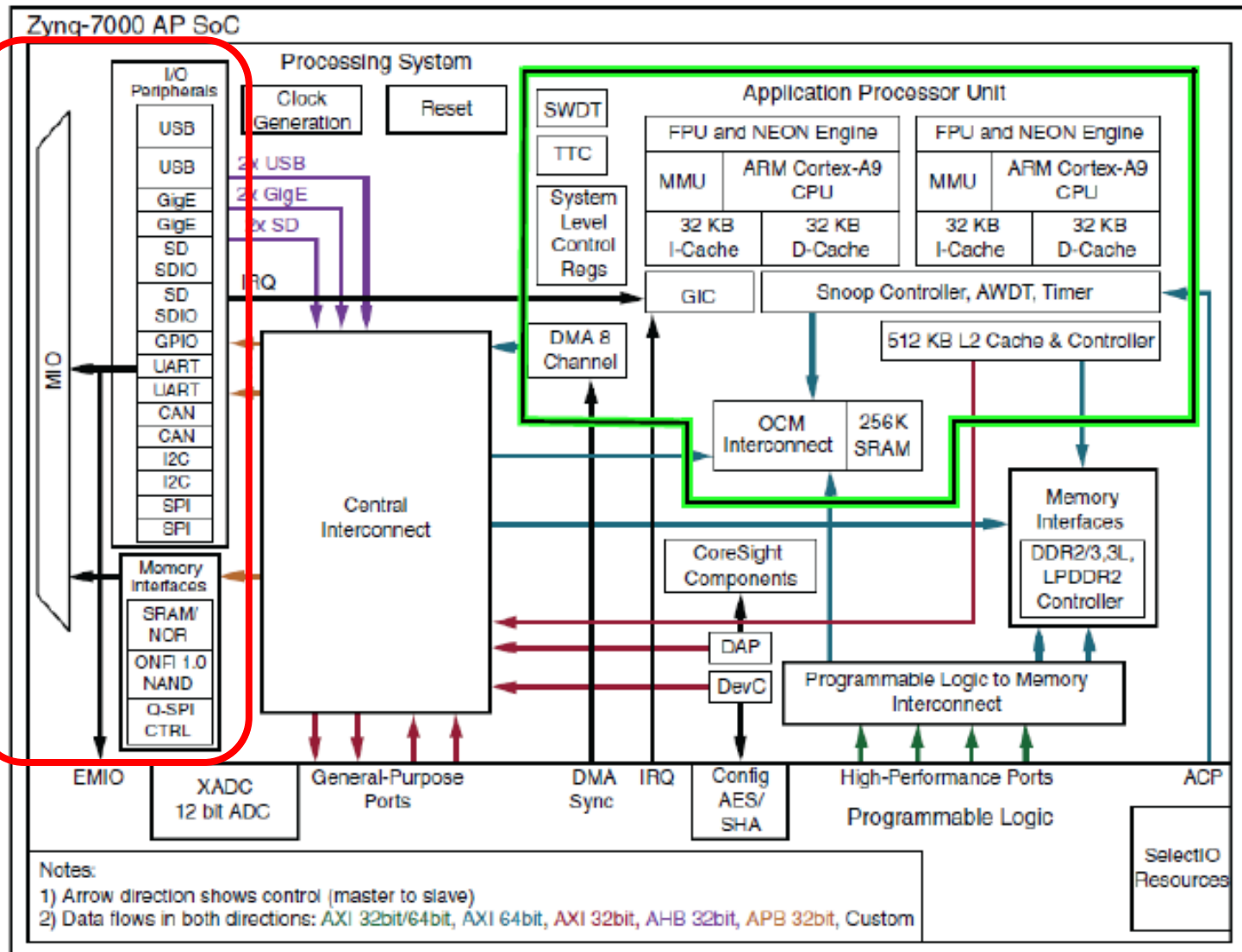


Mapping of an Embedded SoC Hardware Architecture to Zynq



The Zynq Processing System

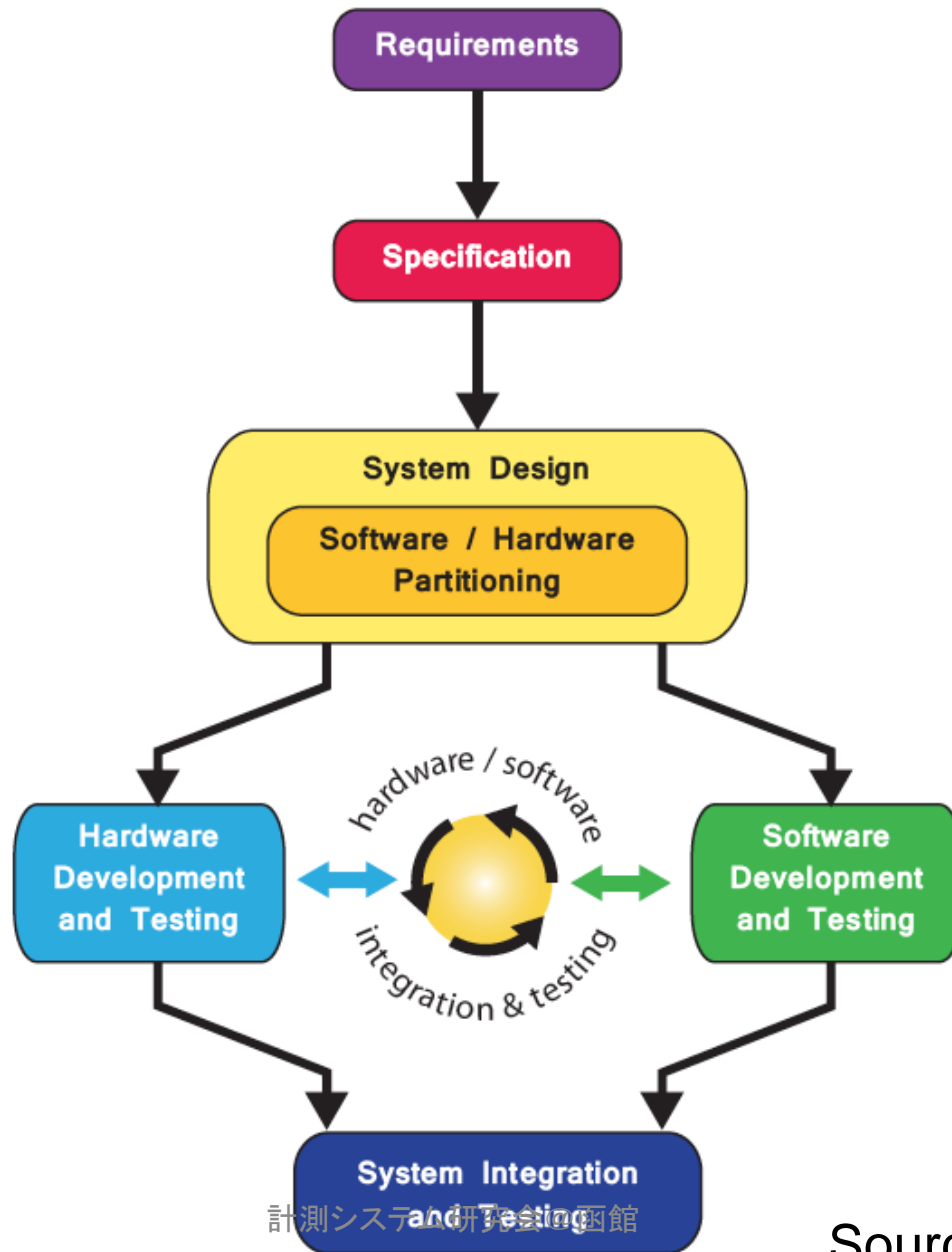
Configurable MIOs!



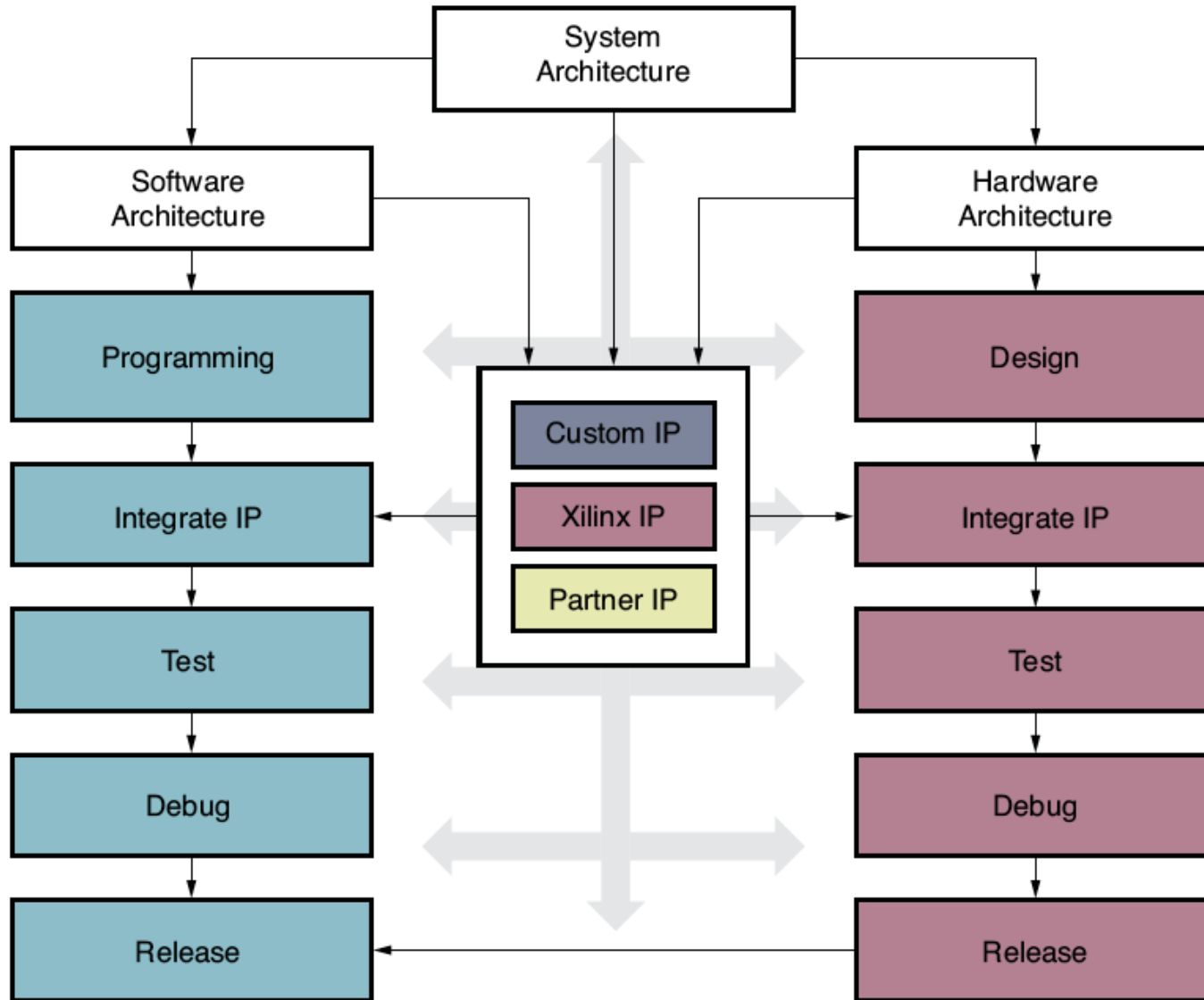
DS100_01_000713

© Xilinx

Basic Design Flow for Zynq SoC



Design Flow for Zynq SoC



WP369_05_041810

(私が) SoCを用いる動機

- 貧乏なので大規模なインフラを作れない
 - 計測・通信用にどうしてもOSが必要となる
 - 開発コストもかけられない
 - バスは嫌い(高いので)
- FPGA・CPU混載ボードの開発は大変
 - CPUとのインターフェーシング (PIO, DMA, etc)
 - OSのブートストラップや割り込み処理の自作、OSごと自作の場合も
 - 必要となる言語が多い(アセンブリ言語の習得にはコストがかかる)
- 開発に必要な人的・金銭的リソースの減少
 - ものづくりのできる人材が急速に減少
 - それに伴う、基礎開発・R&Dに対する評価の低下
- 車輪の再生産を、多大な労力を払って行っている
 - ニーズはどこも似たり寄ったり
 - 最先端技術にキャッチアップできない
- インターフェース・デバイスの共通化によって、多様なニーズを満たす
 - 分野を超えた協働が可能
 - それによる人的・金銭的コストの削減

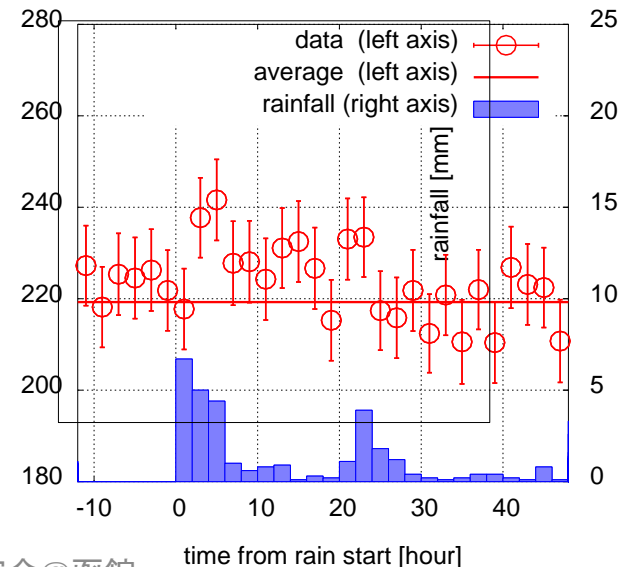
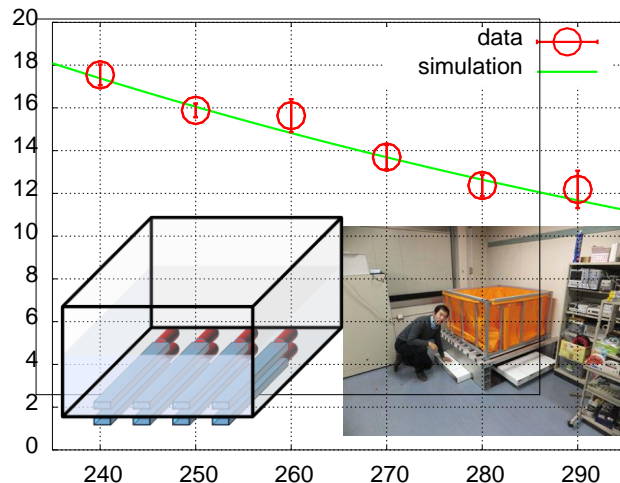
概要

1. イントロ
2. SoCの説明
3. SoCを用いたフィールド観測の事例
4. 今後の展望

地震研におけるZynqの導入例①

- ZedBoardを用いた水文観測

- 2012年より
- カスタムOS
- FMCに自作FADCボードを接続
- 既存の資産を最大限活用したプロトタイピング



宇宙線噴火予知変える

▼ ミュー粒子 宇宙から飛来する放射線が大気中に衝突してできる素粒子。電子の約200倍の質量がある。地上では多くの宇宙線は、ミュー粒子になっている。地表に手のひらぐらいの面積に毎秒1個のミュー粒子が降り注いでいる。エックス線をはね返す巨大な噴火も誘発する。

マグマ噴火への移行が心配される。昨年から変わっているから、その予測 核島を始め、今年には装置をに役立ちかもしれない」と、田中教授は話す。

抽出装置を山麓にすわりと並べ、内部の構造を精密にとらえる仕組みも構築している。富士山は山体が大きく、ミュー粒子が透過せず、この方法は困難だ。

■水分を分析

マグマが地下水に触れて爆発する水蒸気爆発の予知は、ミュー粒子では難しい。マグマはとらえられても、水をとりきくとはできないのだ。東大地質研の武蔵昭通助教は、ミュー粒子とは別の宇宙線の成分で、土壌の水分を分析する試みに着手している。

■遺跡の調査

田中教授は、マイナ

マグマの様子 画像観測

出文のれ大野庵もー だし所む



宇宙線を用いた透視で、火山学者の関心は高い。早川由紀夫群馬大教授は「噴火予知にすぐ使えるとは思えないけれども、火内部が透視できるのは、科学的にとっても興味深い。特許として特許査定することが大事だ」と話している。

地震研におけるZynqの導入例②

- ボアホール内からのミュオンラジオグラフィー
 - プロトタイピングの経験を活かし、小型化・多チャンネル化
 - Linux OS
 - 比較的高い拡張性
 - 32ch 12bit 80MHzで10Wを下回る消費電力(まあまあ)
 - PoE給電、その他いろいろ便利なものがついている
 - 製品化(業者が)、初年度だけで40台出荷
 - CPU+FPGAと比べると、FW,SW開発が非常に楽になった



概要

1. イントロ
2. SoCの説明
3. SoCを用いたフィールド観測の事例
4. 今後の展望

今後の展開に向けて・現状のニーズ

全て既存の装置では対応できず、自分たちで開発・製作が必要なものの
デッドタイム0が要求される、チャンネル数は1000未満
それなりに複雑なトリガーが必要な場合が多い

- 火山透視
 - FADC+TDCシステム
 - 32ch 40MSPS 12bit x 8
 - 断層観測
 - FADC+TDCシステム
 - 32ch 40MSPS 12bit
 - SFP+
 - 大気蛍光望遠鏡
 - 16ch 80MSPS 12bit x 12
 - 可変ゲインレシーバ
 - 電波観測
 - 8ch 200MSPS 10bit
 - 8GByte程度のバッファ
 - 岩石破壊実験・微小地震観測
 - 16ch 40MSPS 14bit
→ 積算して16ch 10MSPS 16bit
 - 1時間の連続観測
- 全て1種類のFADC(ADS52J90,TI)で対応可能！
100オーム作動受け、32ch入力
- 32chモード 32.5MHz/14bit 40MHz/12bit 50MHz/10bit
 - 16chモード 65MHz/14bit 80MHz/12bit 100MHz/10bit
 - 32chモード 130MHz/14bit 160MHz/12bit 200MHz/10bit



超高エネルギー宇宙線観測のための フレネルレンズ型大気蛍光望遠鏡 (CRAFT)



図1. フレネルレンズ望遠鏡

研究体制

神奈川大(工), 信州大学(工), 東京大学宇宙線研究所

検出器の主な構成

| | |
|-----------------------------|-----------|
| フレネルレンズ (1 m ²) | UV透過フィルター |
| FADC (80 MHz, 12 bit) | 高圧電源 |
| PMT (8 inc.) | アルミフレーム |

将来構想

超高エネルギー宇宙線の起源解明
 現行実験(TA実験など)の10倍の観測感度を実現
 70,000km²に望遠鏡を展開
 望遠鏡ステーション(60台)を15km間隔で設置

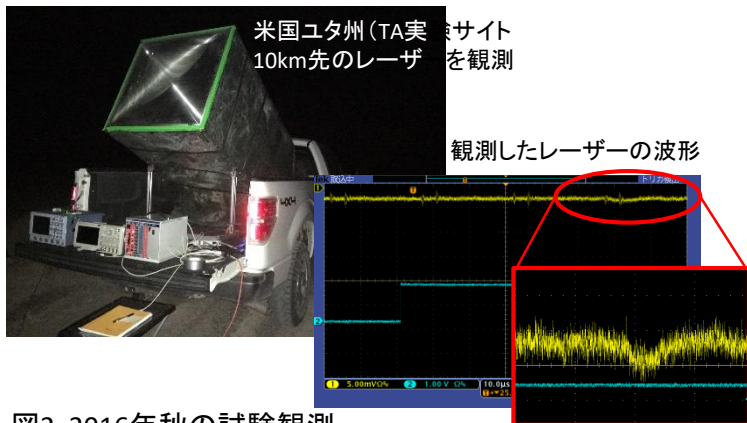


図2. 2016年秋の試験観測.
擬似宇宙線事象(レーザー)の観測に成功

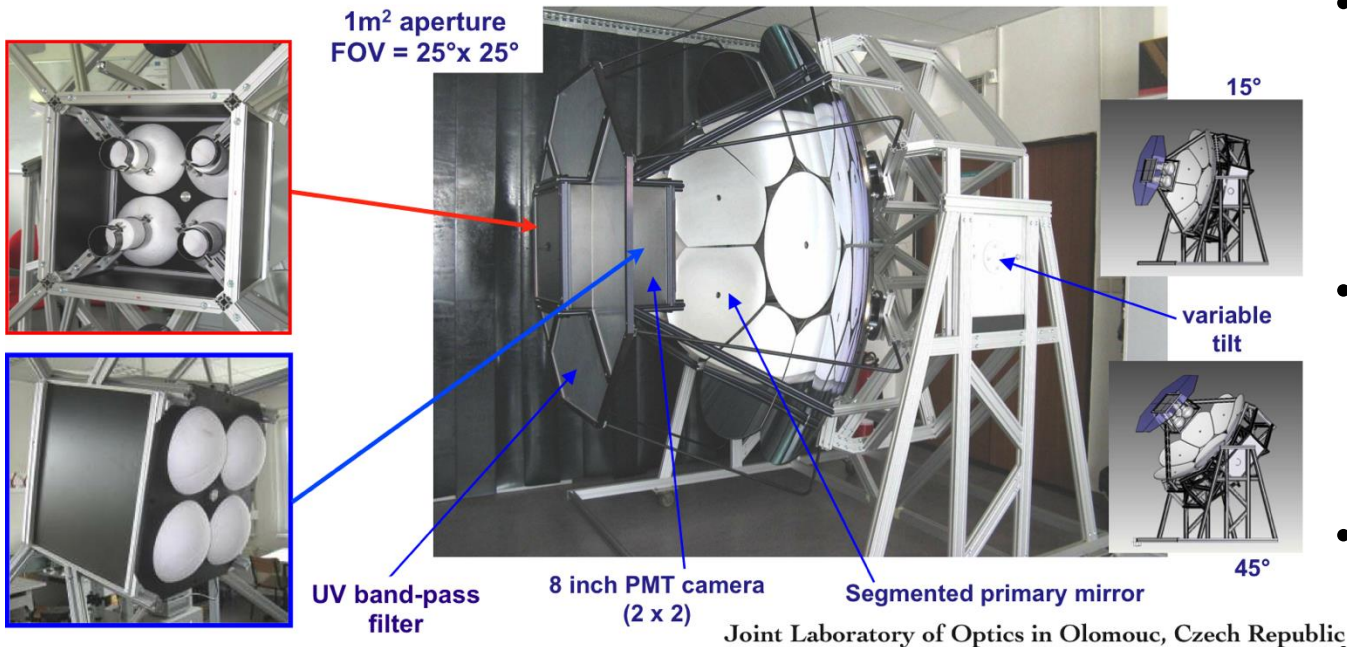
進行中の研究計画(平成28,29年度)

望遠鏡4台による宇宙線試験観測(@TA実験サイト)
 自律稼働システムの構築

申請予定の研究計画

現行実験と同規模の感度での宇宙線観測
 望遠鏡60台製作予定 (汎用読出回路を用いる)

新型大気蛍光望遠鏡アレイによる 次世代の極高エネルギー宇宙線観測計画(FAST)



- 東京大学、シカゴ大学 (アメリカ)、アデレード大学 (オーストラリア)、パルツキー大学 (チェコ共和国) の国際共同実験
- 新型大気蛍光望遠鏡を150,000 km²に展開し、極高エネルギー宇宙線への感度を一桁向上させる
- 自立観測できる望遠鏡を20 km間隔で設置
- 試作機をテレスコープアレイ観測サイトに設置し、観測を開始した
- 2年後に申請予定の大型科研費を獲得できれば、~100台の汎用読出電子回路が必要となる

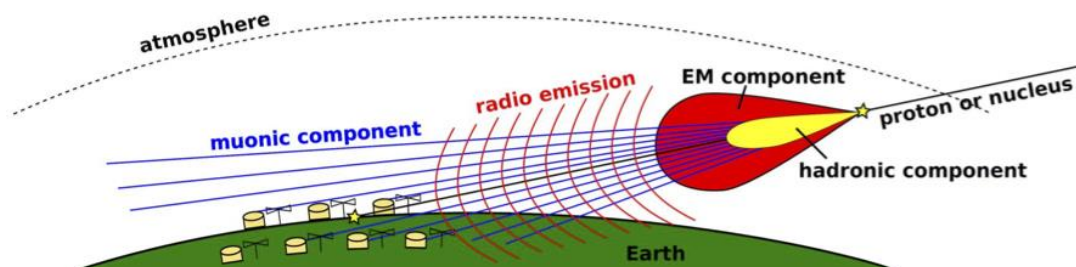


2017/10/2



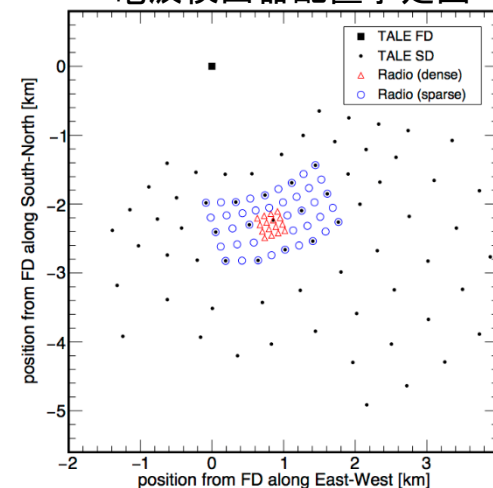
計測システム研究会@函館
<http://www.fast-project.org>

電波を用いた宇宙線の測定



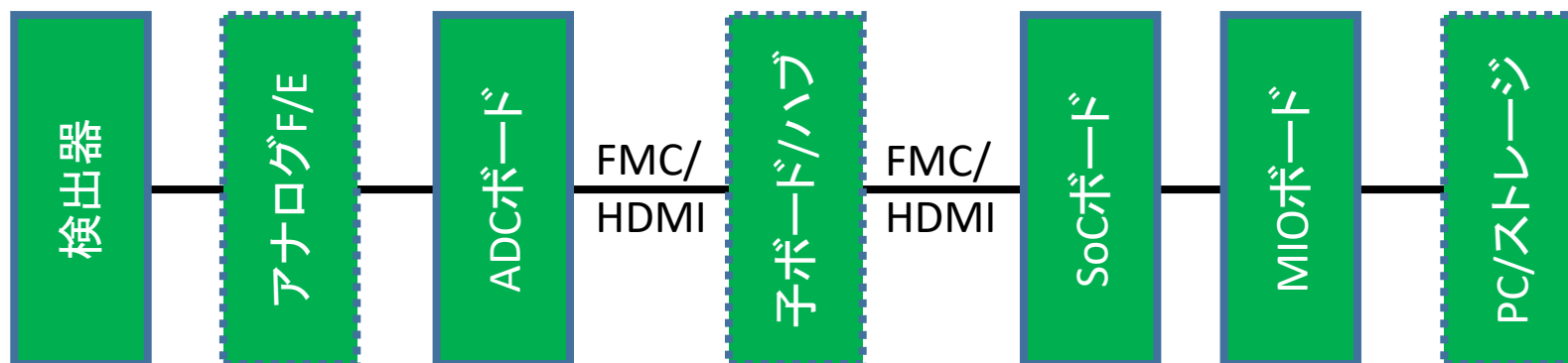
- 電波を用いた宇宙線の測定
 - 安価、昼夜天候によらない観測、宇宙線組成の測定、誤差の少ない電磁成分のみに由来する信号、非常に小さい大気減衰
 - テレスコープアレイ実験(米国)、オージェ実験(アルゼンチン)の相互較正
- 米国ユタ州の砂漠にあるテレスコープアレイ実験サイトに、自立稼働する電波検出器(30-80MHz帯)を100m及び200m間隔で57台設置
- 本年度に科研費を申請済
 - 来年度から2年半で建設予定、計画通りならこの期間中に57台の汎用読出電子回路が必要
- 東京大学、甲南大学、神奈川大学、大阪市立大学、信州大学、ユタ大学(米国)、カールスルーエ工科大学(ドイツ)の協力

電波検出器配置予定図



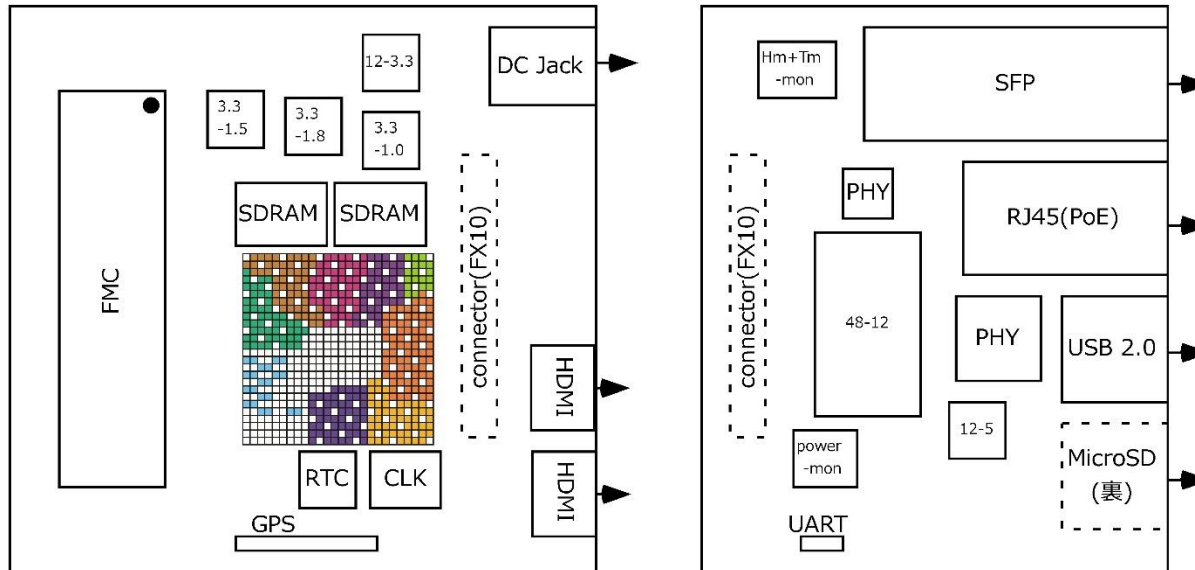
前実験で用いたlog periodic アンテナ
これを再設計した物を垂直方向に向けて設置

基本構成



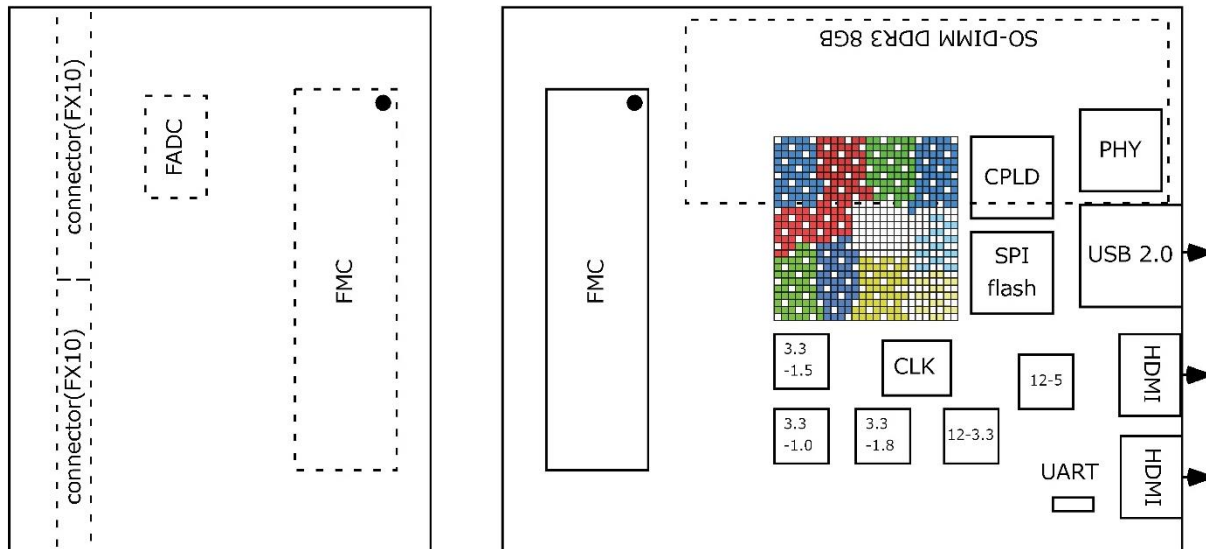
- 要素ごとにボードを分離
 - 多様な検出器が使えるようになる
 - デジタル入出力も
- 親ボードにOSを搭載
 - FPGA-CPU混載チップによって可能となった
 - 自立したDAQシステムの構築
 - フィールド計測の幅が広がる
- HDMIによるケーブル接続またはFMCによるコネクタ接続
 - 検出器の多様な配置を可能にするため
 - 通信はHDMI規格とは異なっても良い

SoCボード+MIOボード



- ZynqのMIOはユーザーが自由に変更できる
 - MIOを決め打ちにせず、ニーズに合わせて変えられるようにするため、MIO基盤を分離
- I/O(HP,HR)とGTXの大半はFMCから外部に出力
 - 現在の開発ではGTXはPCIe(NVMe) SSD用だが、他にも使える
 - FMCのI/OはADCボードに接続、またはHDMIを増やすため

子ボード + ADCボード



- ADCボードはFMCフォームファクターに準拠
 - ZedBoard/Zyboなどを用いたプロトタイピングが可能
 - そのままZedBoardなどに搭載可能
- 子ボードにKintex-7、SO-DIMM、USB、TDC-on-FPGAを搭載
 - TDC-on-FPGAは1chにつきLVDSを2組仕様
 - HDMIハブ機能(プロトコルはHDMIに限らず自由)
 - HDMIを通じた電源・クロック供給・リコンフィギュレーション

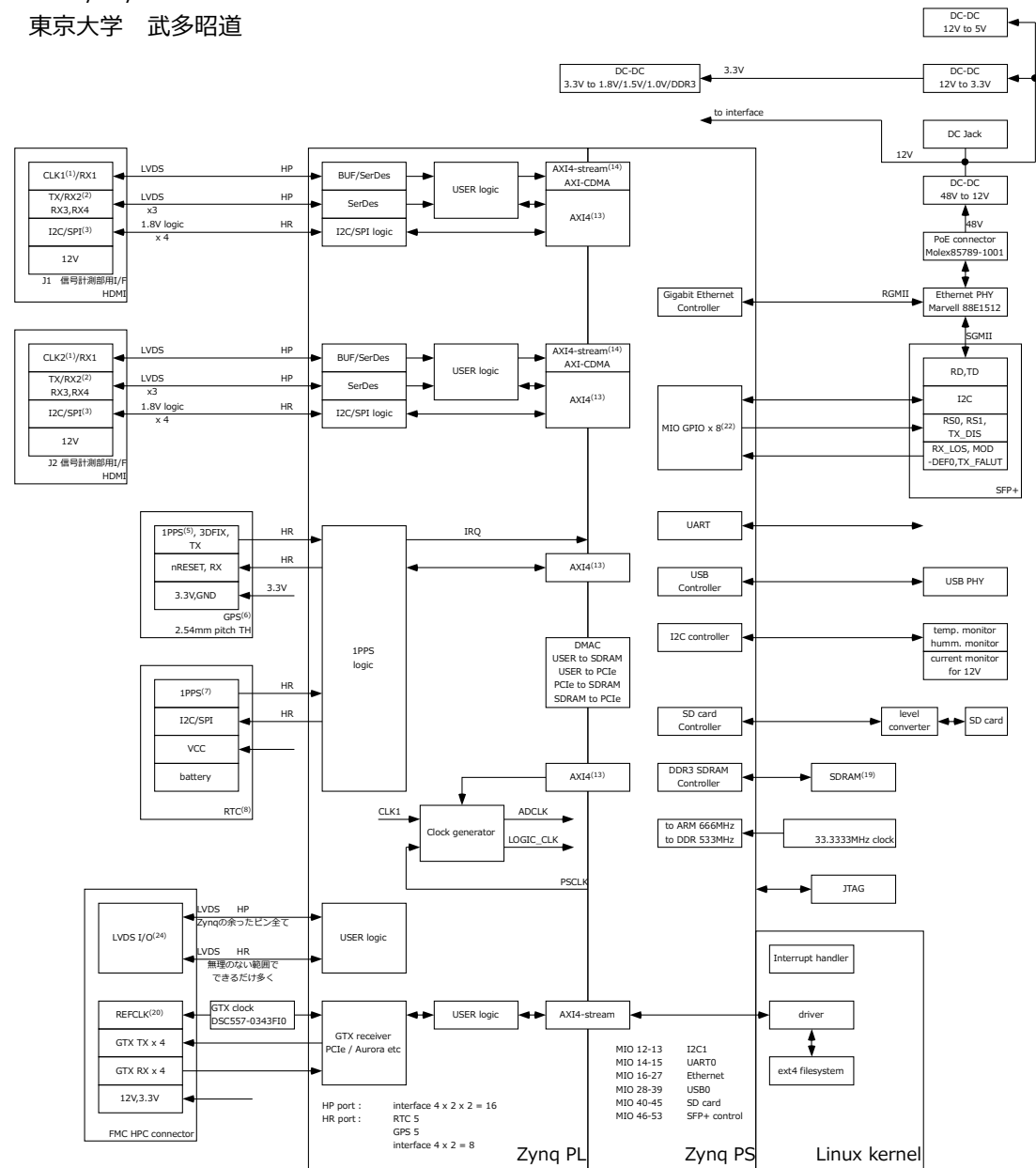
課題

- 落雷対策・・・
 - フィールド観測の永遠の課題
 - ビット落ち・アドレス/データの飛び・etc,etc...
 - 完全に対策することはあきらめることが賢い対策
- ISEからVIVADOへの更新
 - とても苦しんでいる
 - たぶんフルスクラッチからやり直すことになる
- 大半の要素については開発実績があるか、リファレンスデザインがある
 - ADCは初めて使うものだが、設計を間違えていない限りは動く
 - SFP+/Ether用のPHYはZynqでの動作実績が確認できていない
 - MIOのシグナルインテグリティが重要
 - M.2 SSDのファームウェア、ドライバーは無償のものがないか、あっても遅くて使えない
- 多くの人が使えるHW,FW,SWのプラットフォーム構築
- 回路設計、基板設計の工数が多い

まとめ

- SoCを使った計測システムは、ペリフェラルが多く必要となる場合はとても便利
 - 外部機器とのI/Fが1種類で、割り込みもOSも必要ない場合は、当然だがFPGAの方が楽
 - 読み出し側に不揮発性メモリ(SDカードなど)、GPIO、TCP/IPが欲しい、という場合はSoCが良い
- 既に設計資産がwebにたくさん転がっているので、プロトタイピングの工数が短縮できる
 - FMC規格のADCがすでにたくさん販売されているので、似たようなものを作ればよい
 - 新しいFADCや高速I/Oを試してみたい場合は、DAQが組みやすいSoCに軍配が上がるだろう
 - ユーザーからはLinuxが搭載されたFPGAボードに見える
 - ただし導入コストは多少必要

おまけ

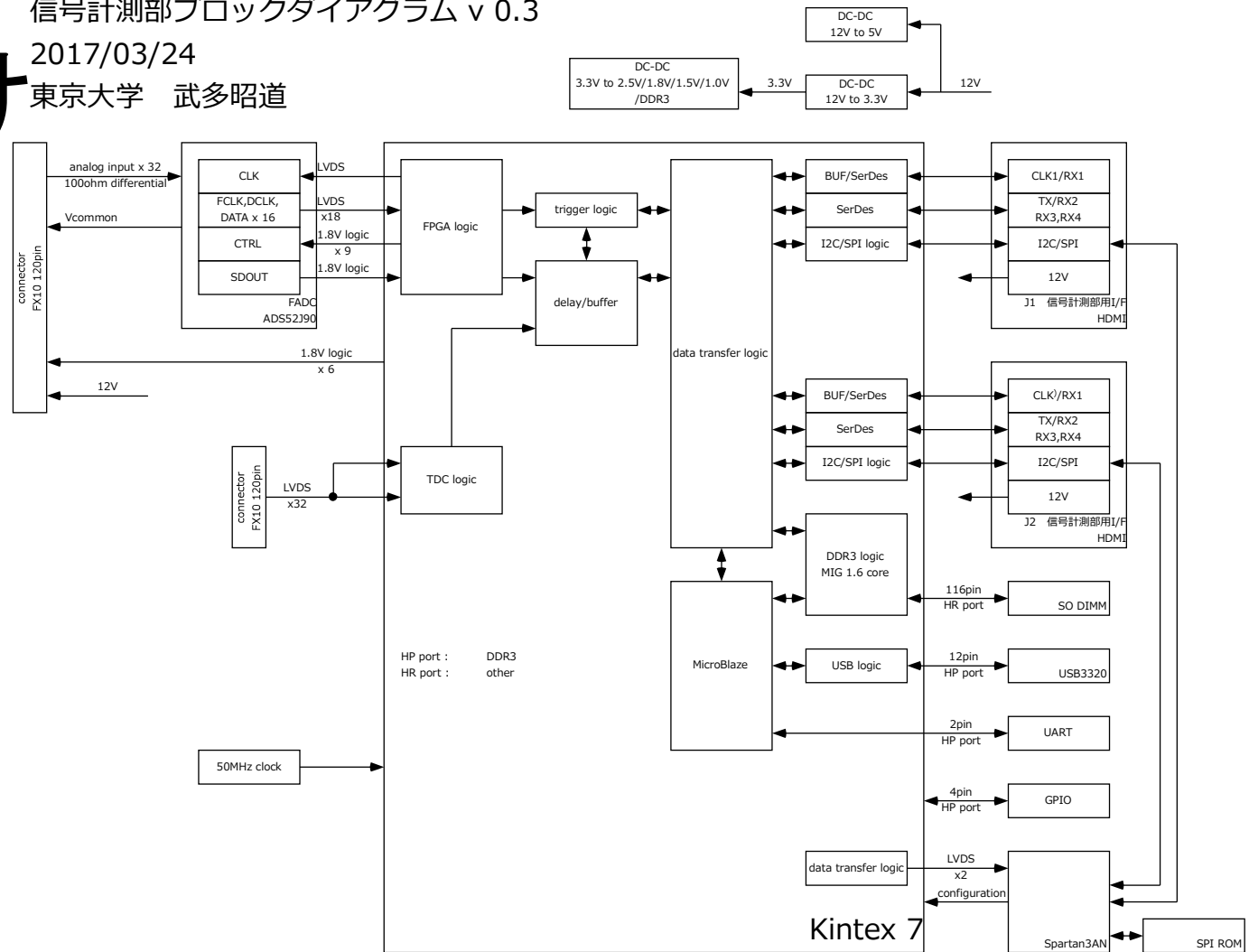


おまけ

信号計測部ブロックダイアグラム v 0.3

2017/03/24

東京大学 武多昭道



TDC on FPGA

- X MHzのクロックを使用
 - Xは600から2000(FPGAの性能に依存)
- クロックの位相を4種類
 - 0, 45, 90, 135
- 立ち上がりと立下りでラッチする
 - 計8種の位相、周波数は8X MHz
- 入力は2または4ポート使い、IDELAYで遅延を調整
 - 計16種または32種の位相、周波数は16X MHz または32X MHz
- キャリブレーション用出力を準備、FPGAの出力ポートから上記の入力ポートに基板上で直接LVDS信号を送信する