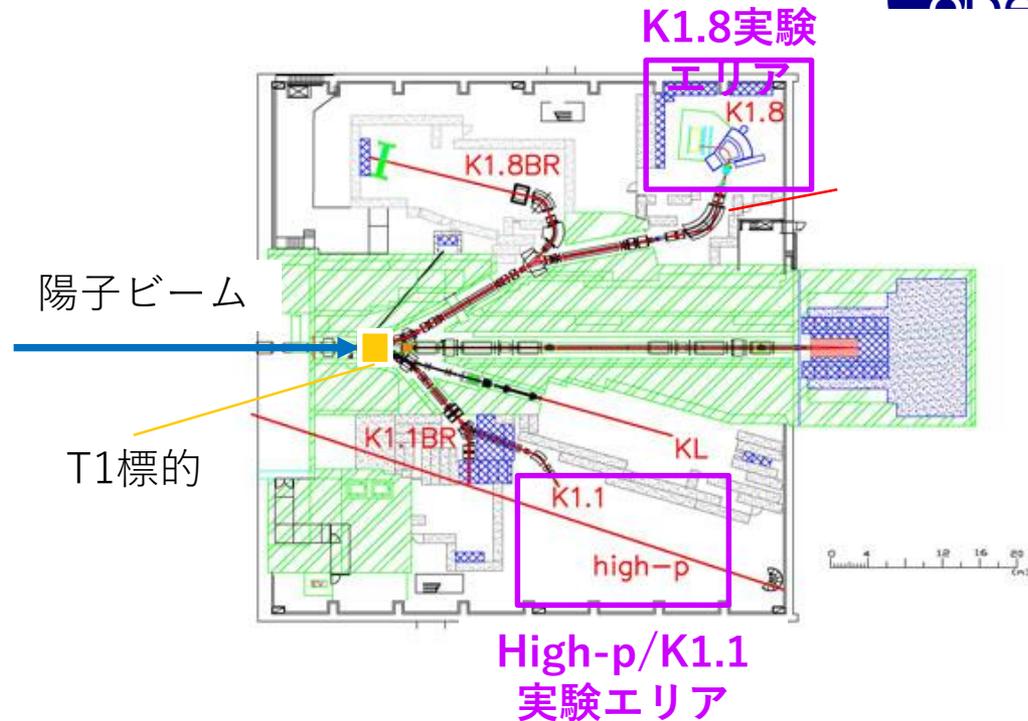


# Xilinx FPGA Kintex-160T-1への High-resolution TDCの実装

2017.10.02

本多良太郎 (東北大学 原子核物理)



## ハドロン実験の特徴

- 遅い取り出しによるDCビームのためランダムトリガーによるDAQ
- $\pi, K, p$ 分離のために時間分解能100 ps ( $\sigma$ )の検出器を読み出す
- ビーム強度増強によって3 MHz/ch程度の高負荷に耐える必要有

現在既存ビームラインではHR-TDCは**CAEN v775**

および**TKO HR-TDC**が使われている。

レガシーデバイスから脱却して

今後新造されるビームラインでも利用可能な新しいHR-TDCを開発したい。

## 要求性能

- 1bit ~ 30 psくらいが望ましい
- 時間分解能は最低でも30 ps (s)
- Double-hit resolutionが10 ns以下のmulti-hit型
- トリガーレイテンシ分 (1-2 us) 程度は時間をさかのぼりたい

## DAQとしての要求

- ネットワークベースであってほしい
- 短いdead time (< 10 us)
- Common stop型であってほしい (既存ビームラインの要求)
- Free run型且つtrigger-lessであってほしい (新規実験の要求)

## Triggerとして利用

- 2<sup>nd</sup> level trigger生成のために低レイテンシであってほしい
- (現在CAMACのTFCとFERAを使用)

これらの要求をFPGA HR-TDCは叶えるように思える。  
しかし、FPGA HR-TDCは技術実証はあっても実用例がほぼない。  
実際に開発してその性能評価が不可欠。

## ベースプラットフォーム

### • HUL controller

- FPGA汎用ロジック回路
- Xilinx Kintex7 160T-1
- 拡張用メザンスロット x2
- SiTCP (GbE)

## FPGA HRTDC実装プラットフォーム

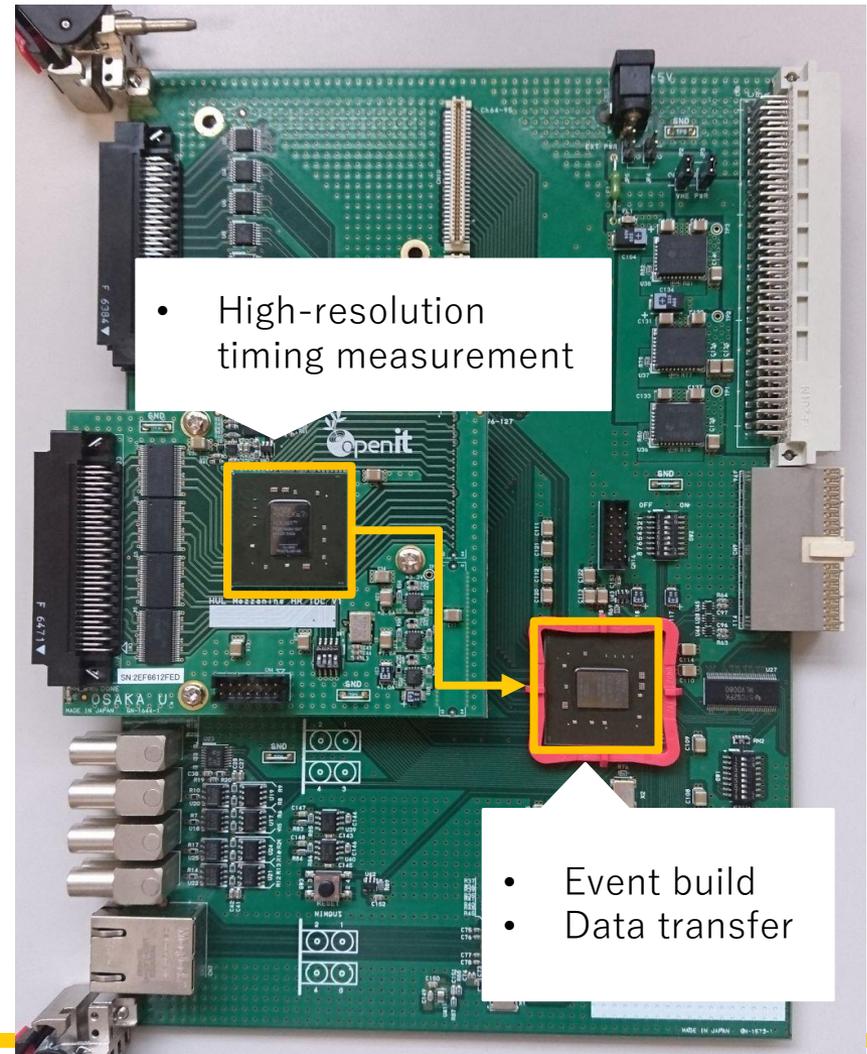
### • HUL Mezzanine HR-TDC card

- Xilinx Kintex7 160T-1

## 時間計測用のFPGAとDAQ用のFPGAを分離

- DAQ関数を用途に合わせて柔軟に変更
- High-level triggerなどTDC以外への応用

## HUL controllerとMezzanine-HRTDC

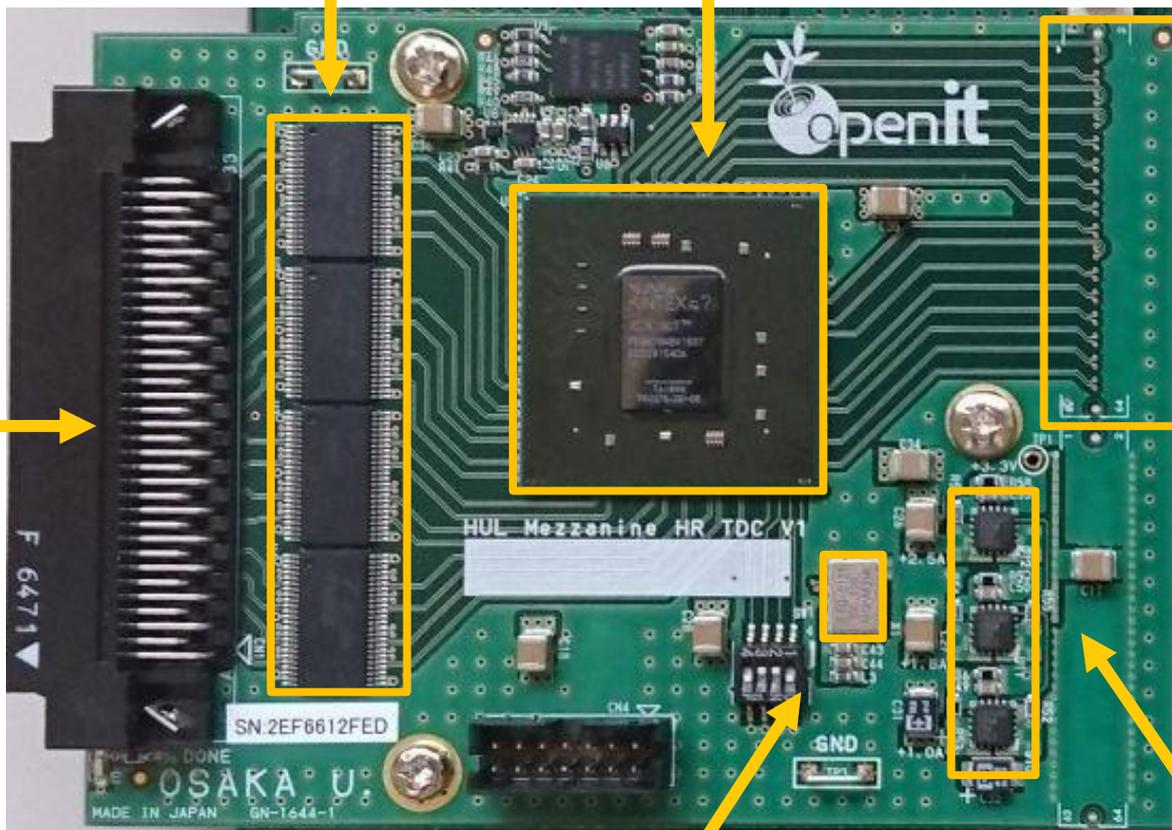


LVDS buffer

Xilinx Kintex7 160T-1 FBG676

信号入力

HULのFPGAと  
32 LVDS線で通信



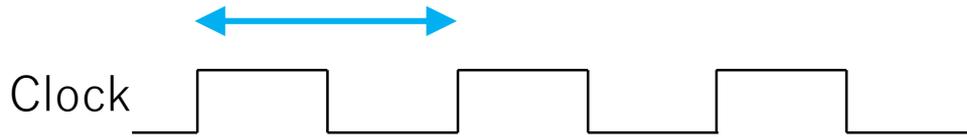
発振器(100MHz)

FPGAは外部クロックでも  
駆動可

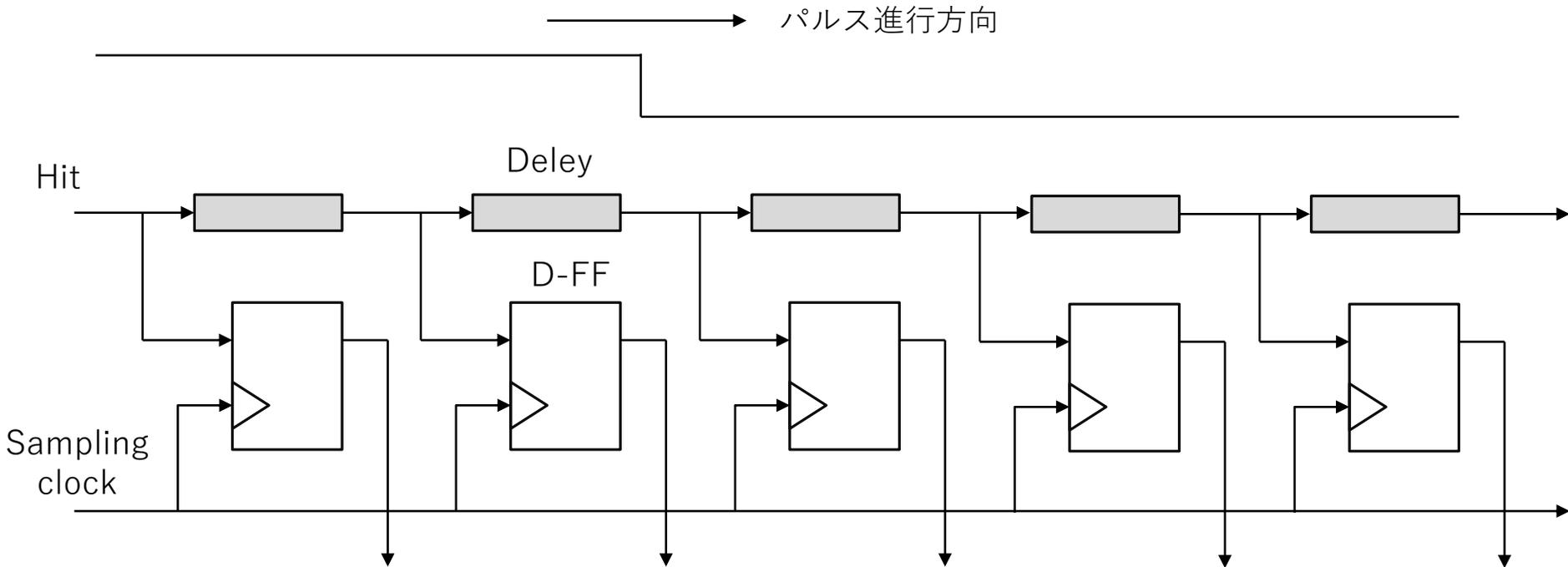
基板(FPGA)電源  
LDO

## Tapped delay line (TDL) による時間補間

クロックエッジ間の時間測定をTDLで行う



## Tapped Delay Line



- 直列につながった遅延素子のどこまでパルスが進行したかをD-FFでサンプリング

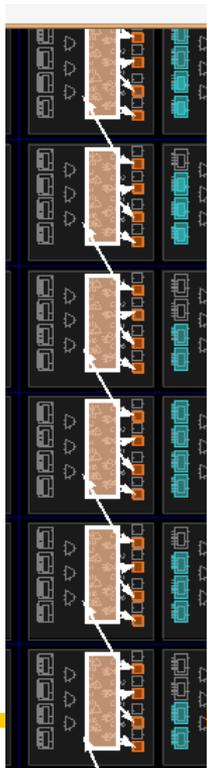
# Carry4を使ったTDLの実装



## FPGA内部のcarry素子を用いたTDLの実装

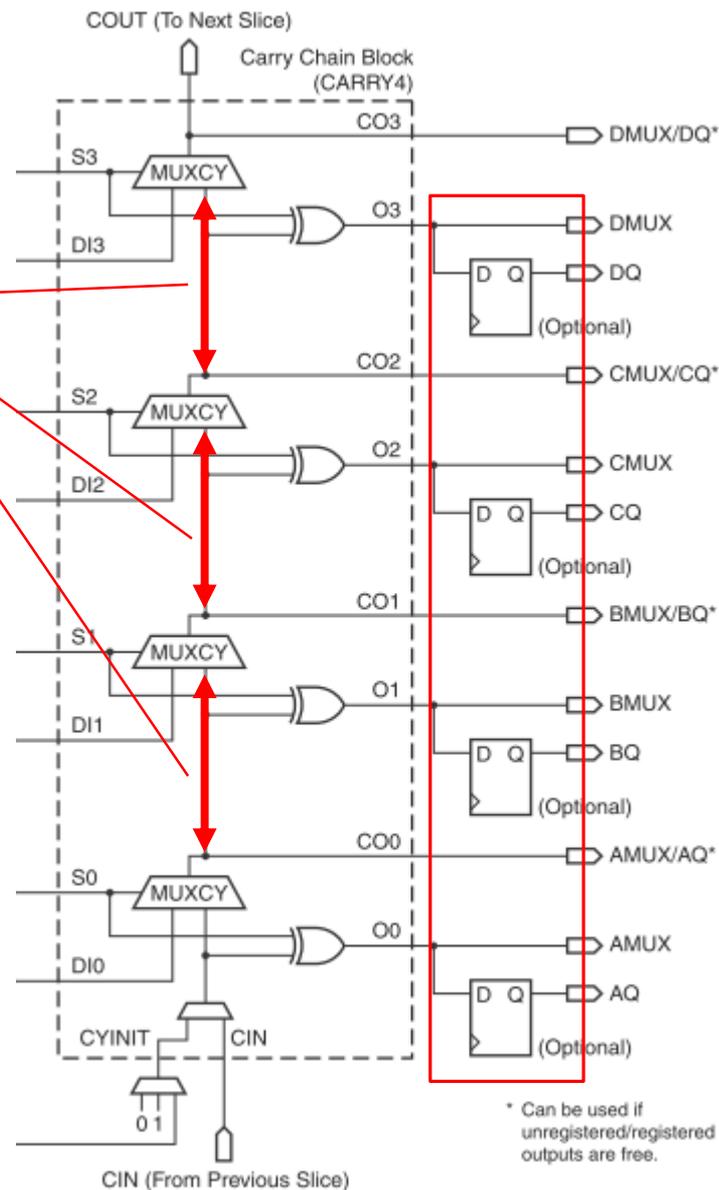
### Carry4

- 加算器の基本構成要素
- 非常に小さい遅延時間 : 5-30 ps
- Flip-Flopに近い
- 直列接続し延長が可能



### Kintex7へ実装したTDL

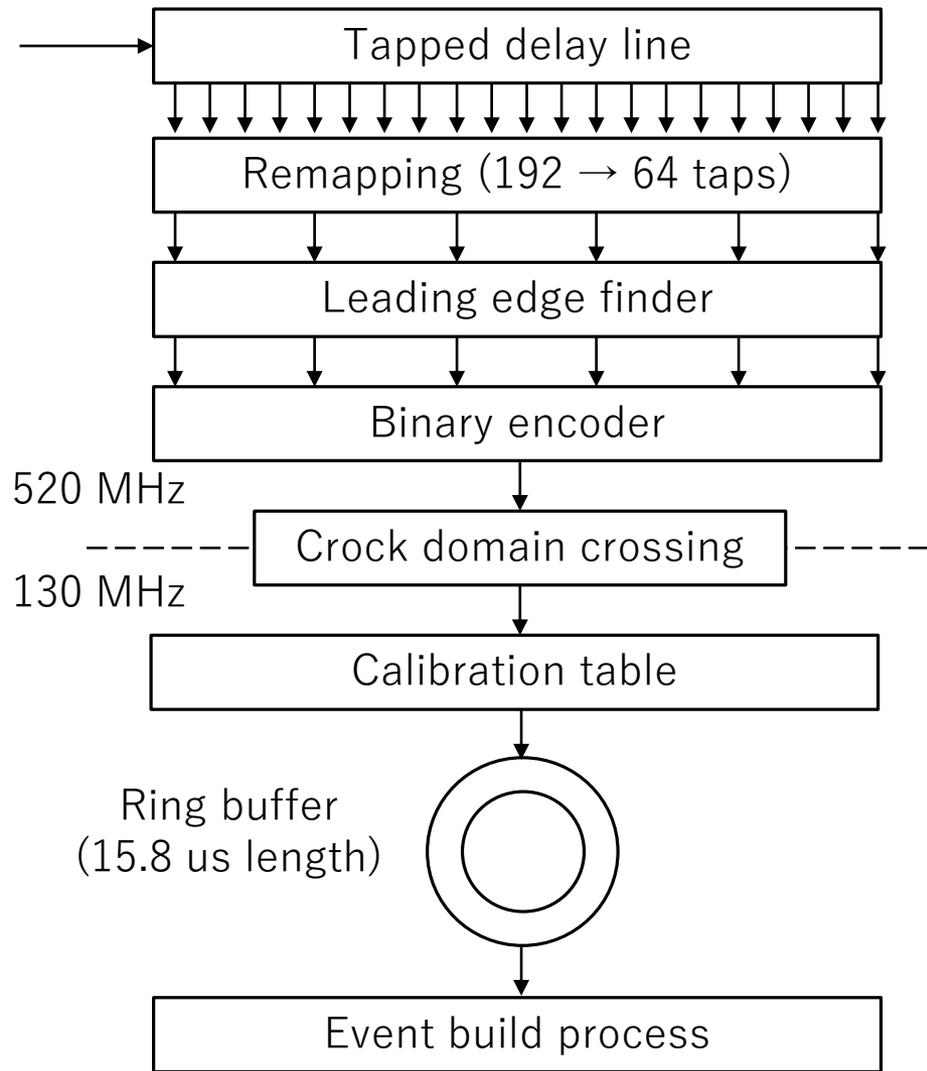
- 48個のcarry4を接続
  - 192 taps
  - クロック領域の端から端に相当



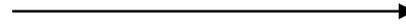
\* Can be used if unregistered/registered outputs are free.

UG474\_r2\_23\_071813

# 実装したロジック



パルス進行方向



11111111111111110000000000000000

1111100000

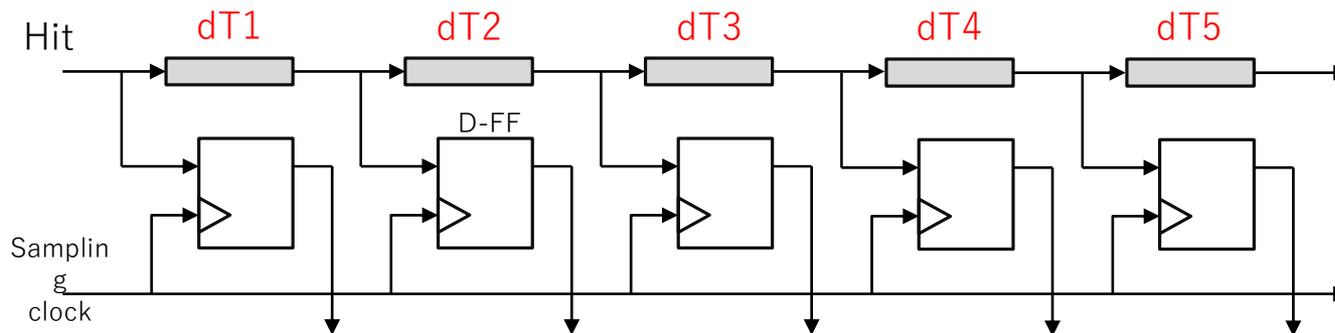
0000100000

5 : Fine count  
+  
Semi coarse count (2bit)  
+  
Coarse count (11bit)

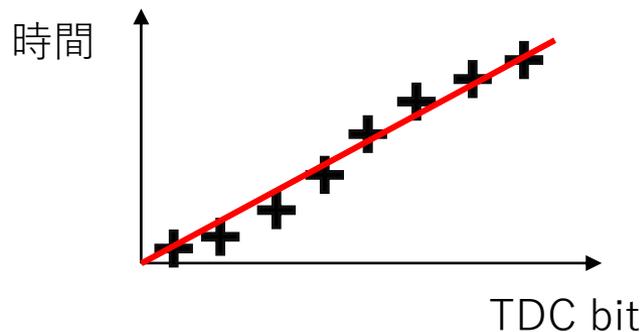
**32ch high-resolution timing unit  
(leading/trailing) を Kintex7 160T-1 に実装**

## キャリブレーションが必要な要素

- TDLのサンプリングクロック (520 MHz)
  - TDCキャリブレータで校正可能
- TDL内部の遅延量

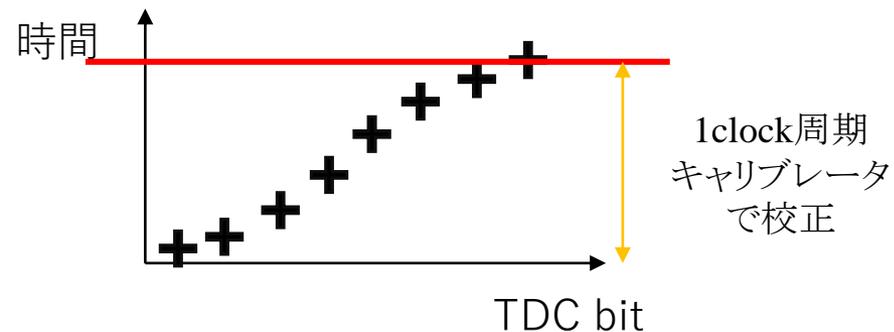


### 静的校正



赤線からのズレが  
differential non-linearity  
TDC bit : 平均時間

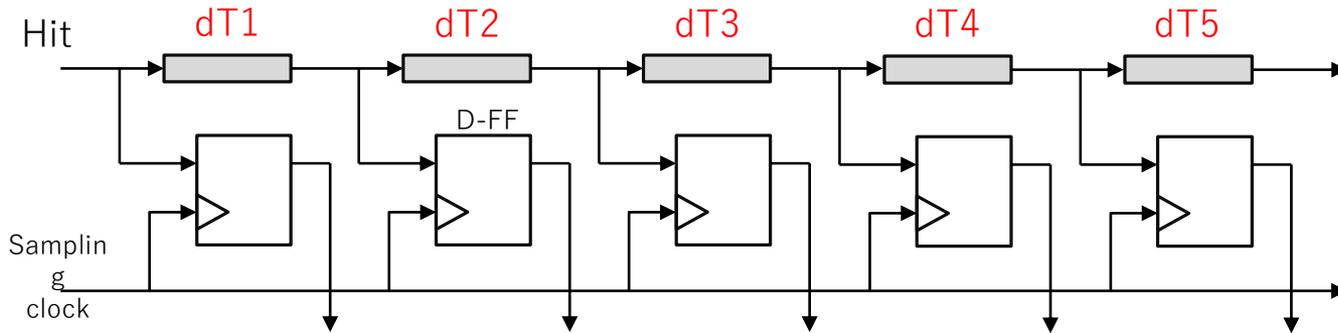
### 動的校正



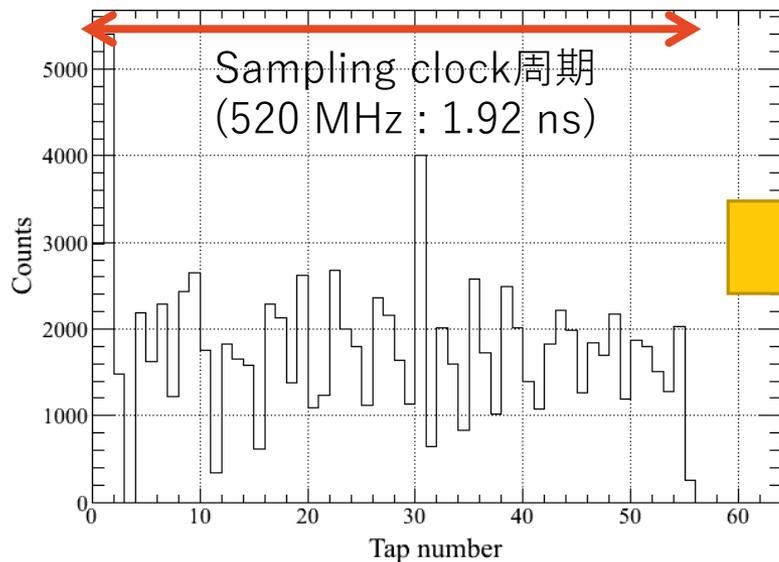
全TDC bitを個別に校正  
TDC bit : 可変時間長

## キャリブレーションが必要な要素

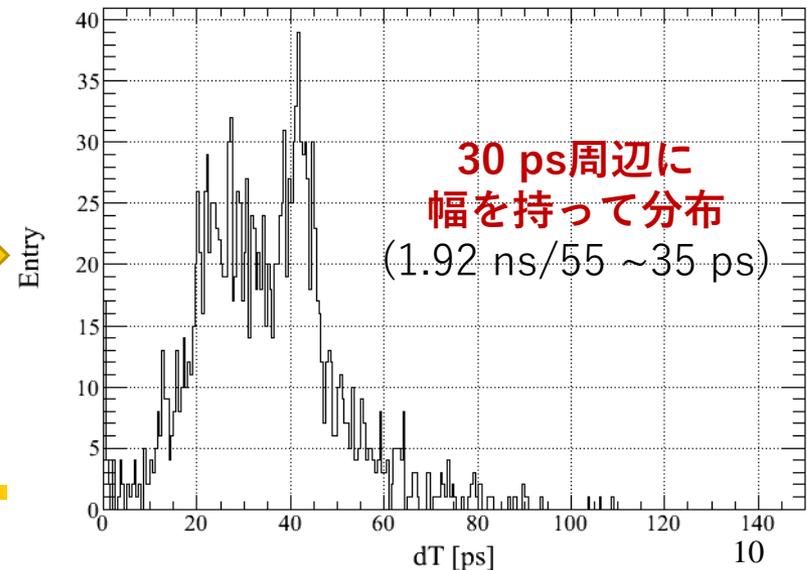
- TDLのサンプリングクロック (520 MHz)
  - TDCキャリブレータで校正可能
- **TDL内部の遅延量**



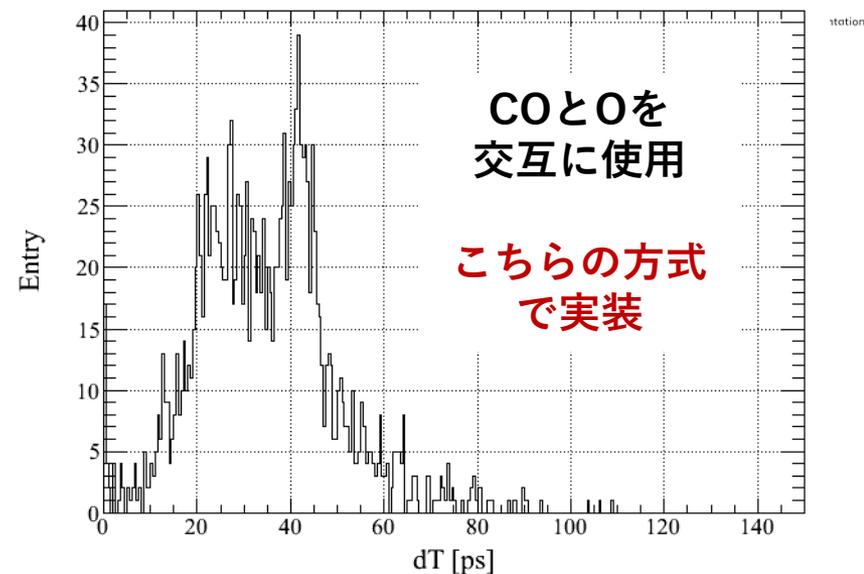
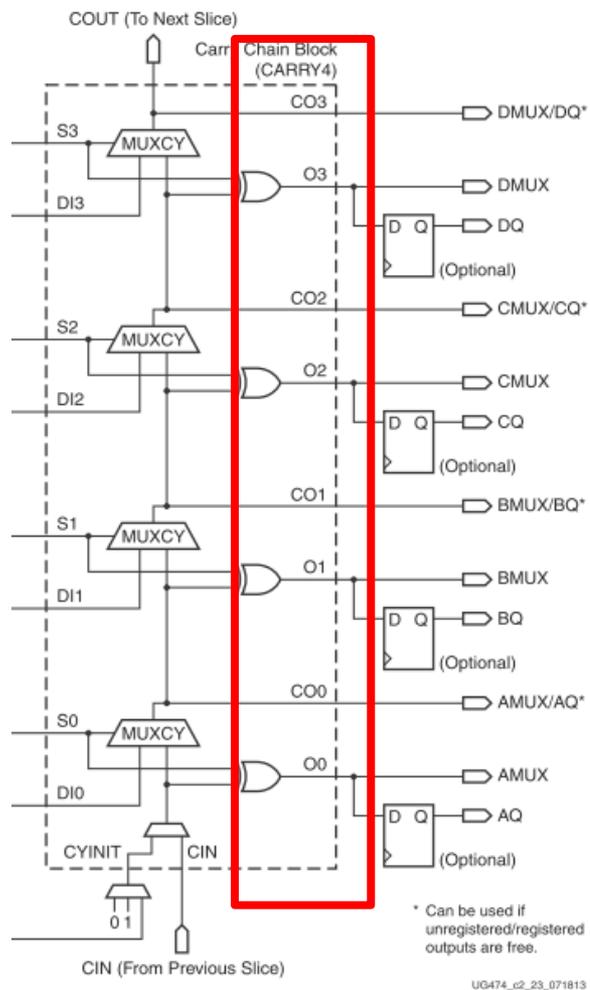
チャンネル0のfine count分布



全チャンネルのdT分布

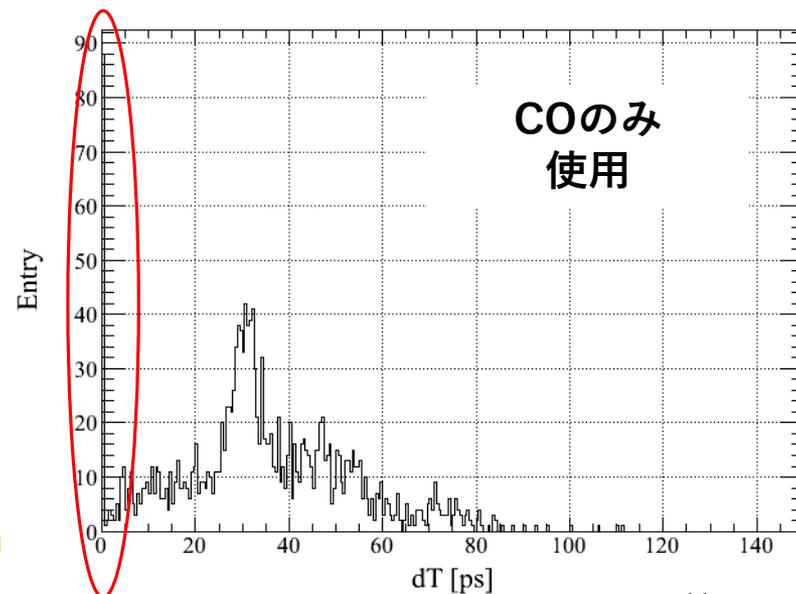


## TDLの実装法の違いによる dT 分布の改善



大量の0 width bin

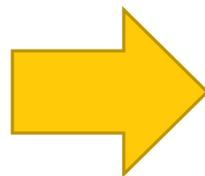
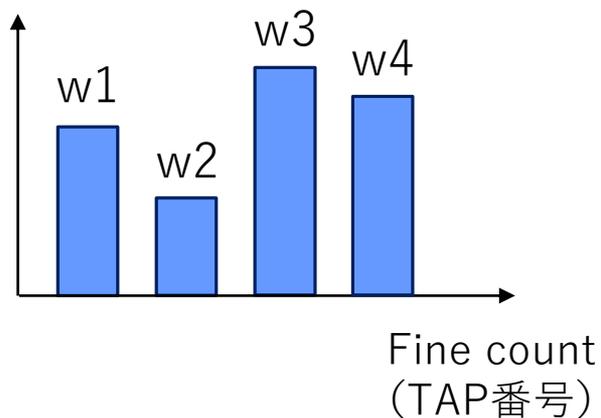
Tapを有効利用で  
きていない



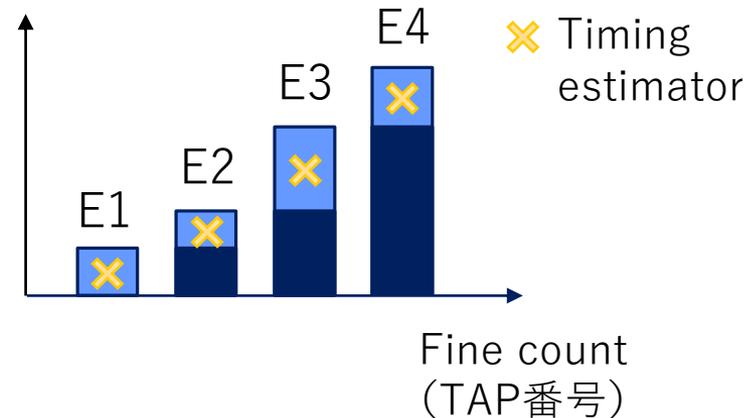
## Timing estimatorの生成

- 生のfine countから校正済みの値へ変換

Fine count histogram



Integrated histogram



Timing estimatorの定義

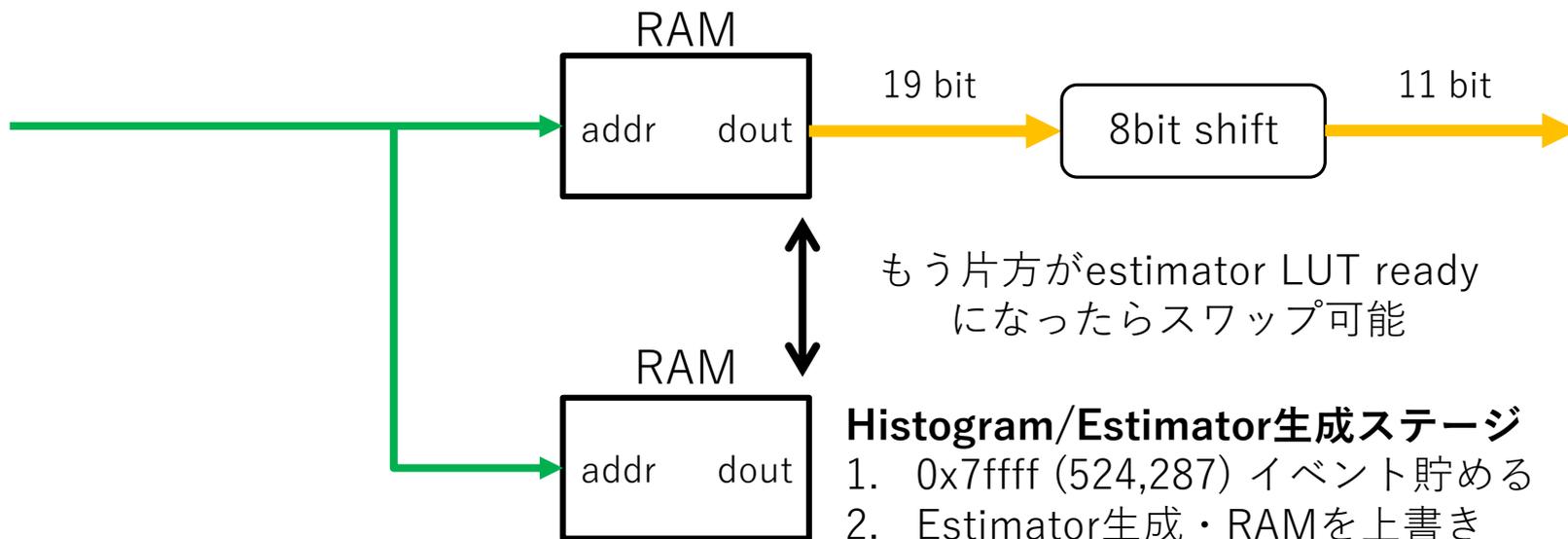
$$E_n = w_n/2 + \sum_{i=0}^{n-1} (w_i)$$

## FPGAへ実装する機能

- Fine count histogram作るRAM
- Timing estimatorを生成する機能とRAM (estimator look-up-table)
- Estimator LUTを更新する機構

## FPGAへ実装したキャリブレーションシステム

### Fine count → Estimator



- RAMを介してfine countからestimatorへ変換
- Double RAMによってestimatorを常時更新可能
  - ページスワップは1クロックで可能 (no dead time)
- 出力は11 bitのestimator value.
  - $1920 \text{ ps}/2047 = 0.938 \text{ ps} \Leftrightarrow 1\text{ps}$ 精度のestimator

## Estimator LUTの更新方法

### • 検出器の信号を使う方法

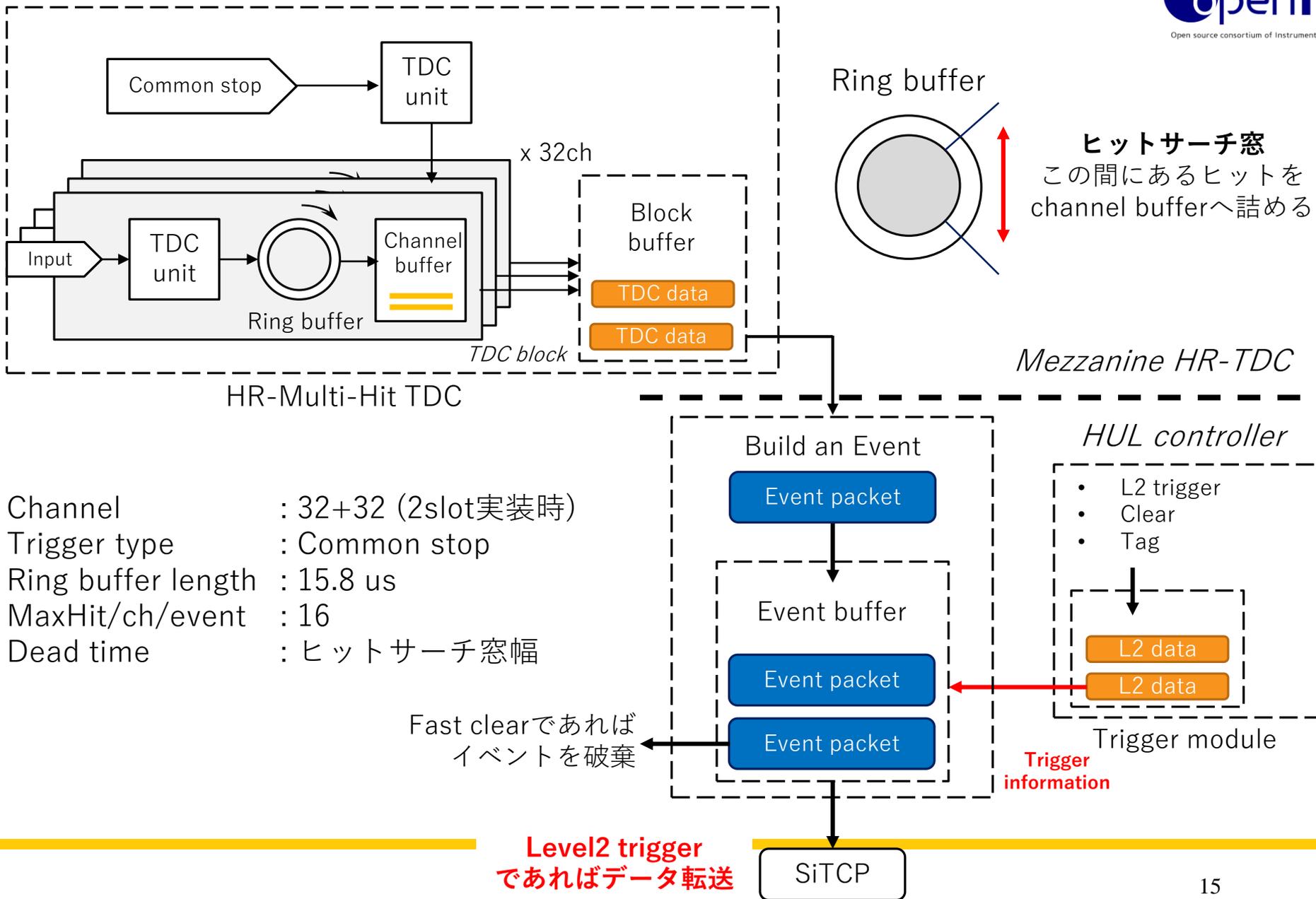
- ランダム事象をクロックで無作為サンプリングする手法に相当。
- RUN中であっても自動的にEstimator LUTが更新されていく。
  - DAQのトリガーとは無関係であることに注意。

### • 専用の校正クロックを利用する方法

- Sampling clock 520 MHz ( $f_{\text{sample}}$ )
- Calibration clock 26.2144 ( $f_{\text{calib}}$ )
- $N * (f_{\text{sample}} / f_{\text{calib}}) = N * (2^9 * 5^7 * 13) / (2^{20} * 5^2) = N * (5^5 * 13) / 2^{11}$
- 2047 の異なったクロックエッジがsampling clock側に現れる。
- 40 ms程度で校正が終わる。
- RUNの初めなどに一回更新するなどの運用方法。

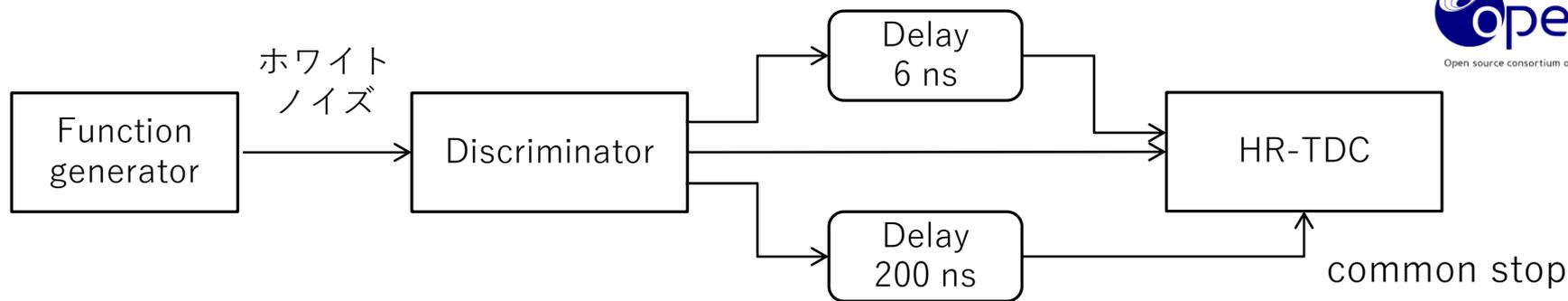
どちらの方法でLUTを生成しても分解能に差が出ないことを確認済み

# DAQ function

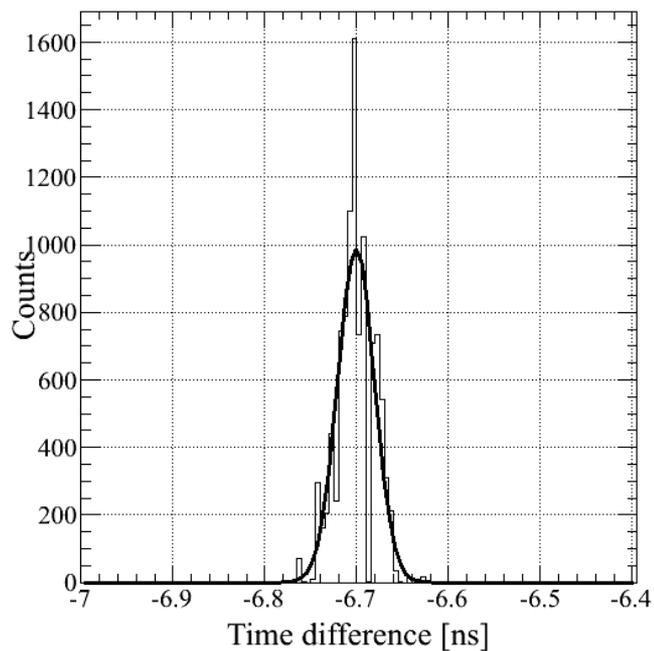


Channel : 32+32 (2slot実装時)  
 Trigger type : Common stop  
 Ring buffer length : 15.8 us  
 MaxHit/ch/event : 16  
 Dead time : ヒットサーチ窓幅

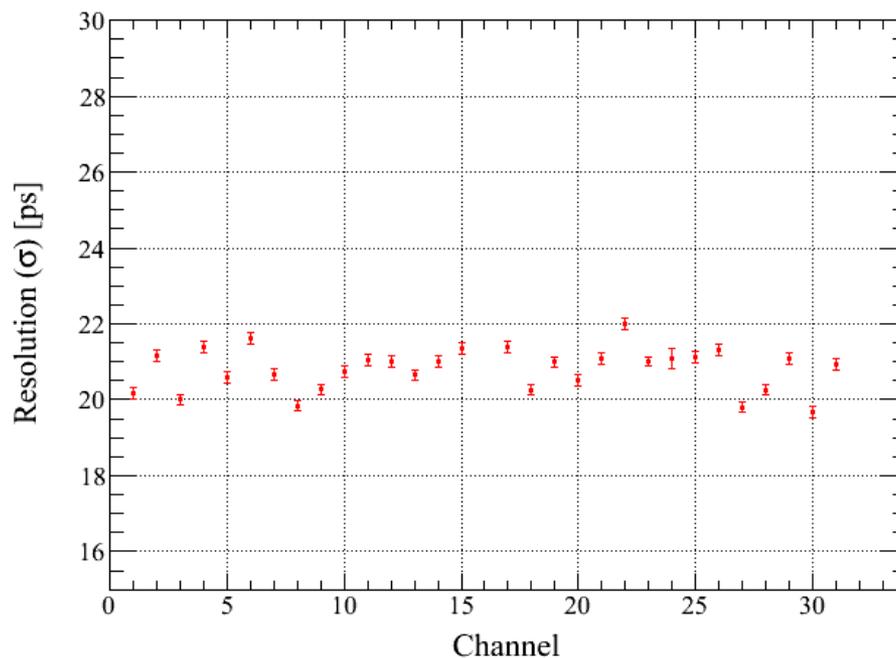
# 性能評価



Ch0-Ch1間のタイミング分布

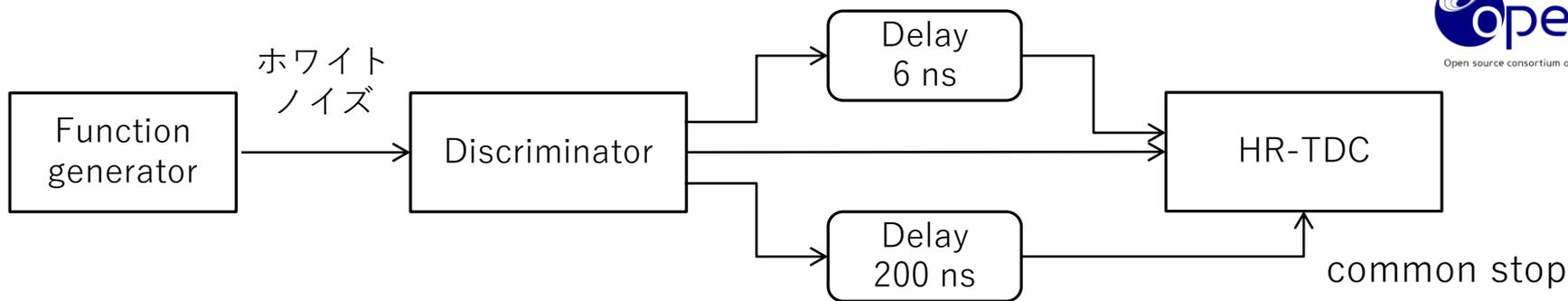


時間分解能分布  
(Ch0/Ch16 - Ch N)

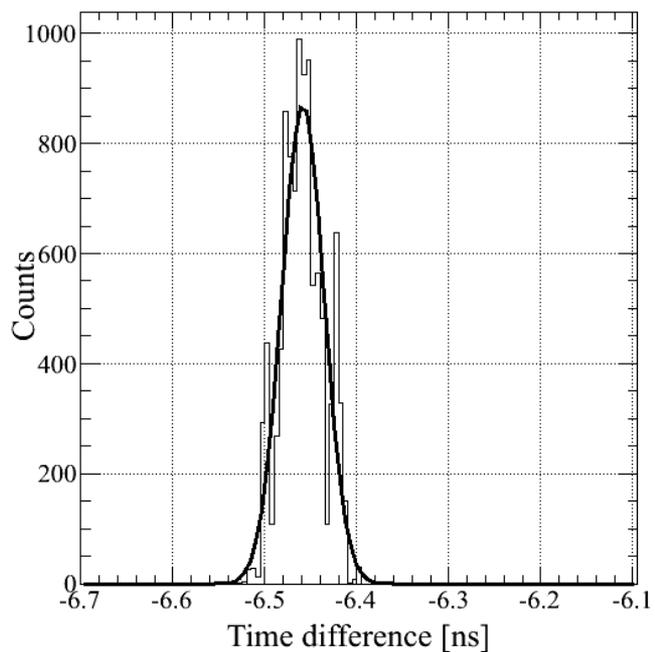


全チャンネルにおいて時間分解能20-22 ps ( $\sigma$ )が得られた

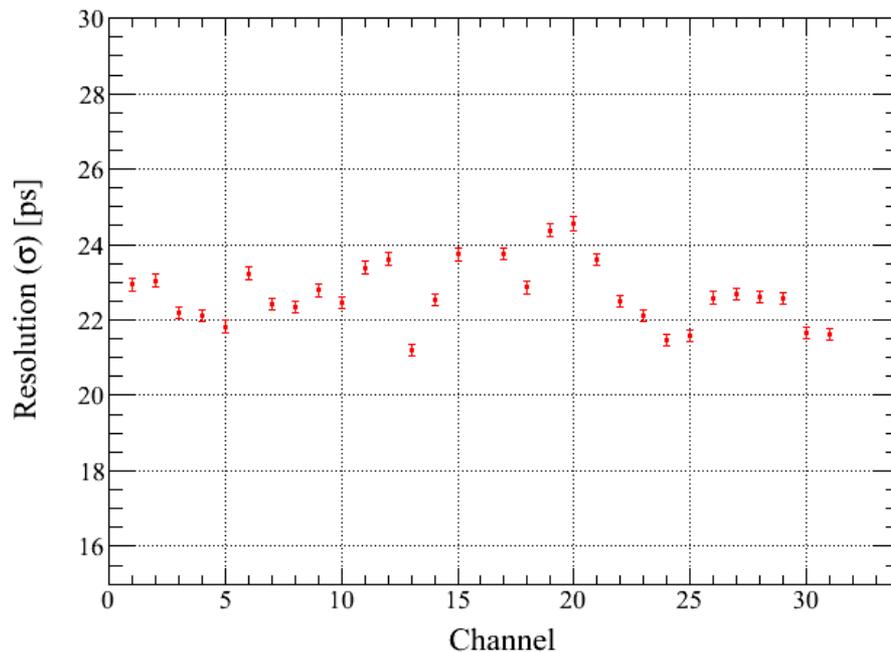
# 性能評価 (COのみでTDLを実装した場合)



Ch0-Ch1間のタイミング分布

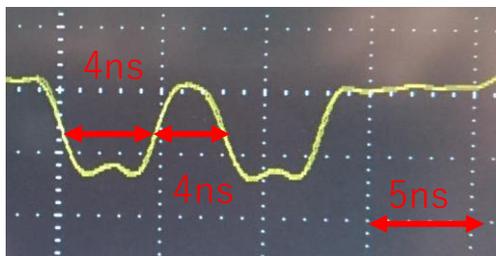


時間分解能分布  
(Ch0/Ch16 - Ch N)



**COのみで実装すると多少分解能が悪い**

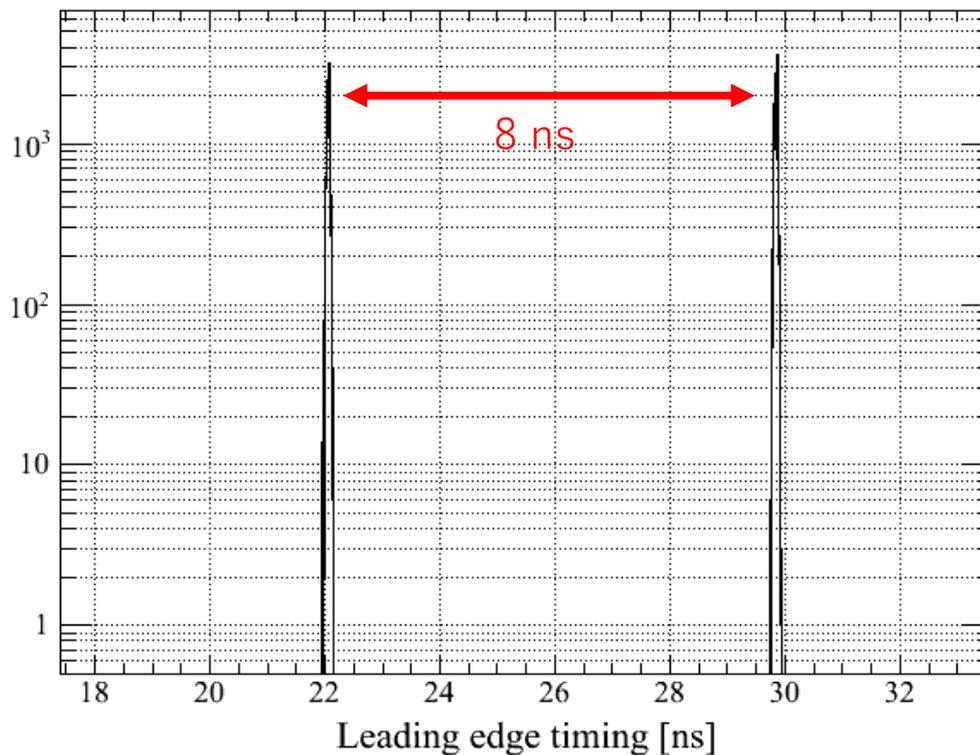
入力パルス



このようなパルスを  
100% efficiencyで検出

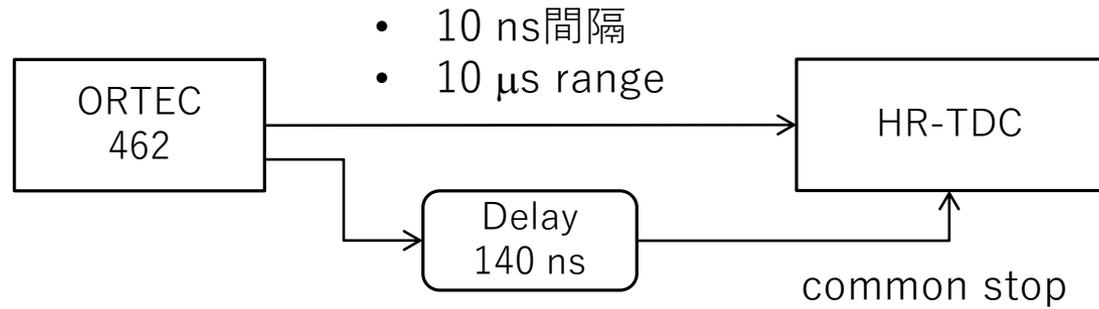
原理的には  
もっと短くても測定可能。

測定された時間分布

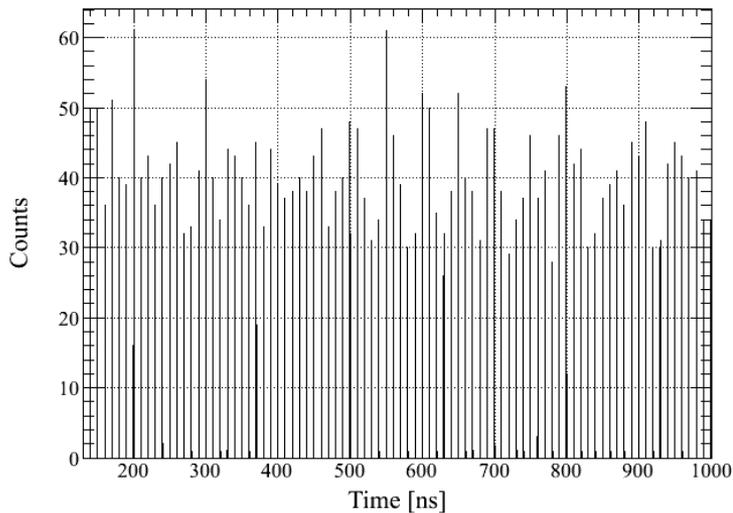


## ORTEC 462 TDC calibrator

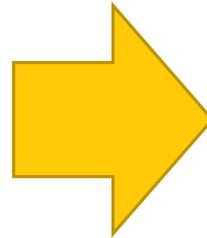
- 時間精度 : 10 ps



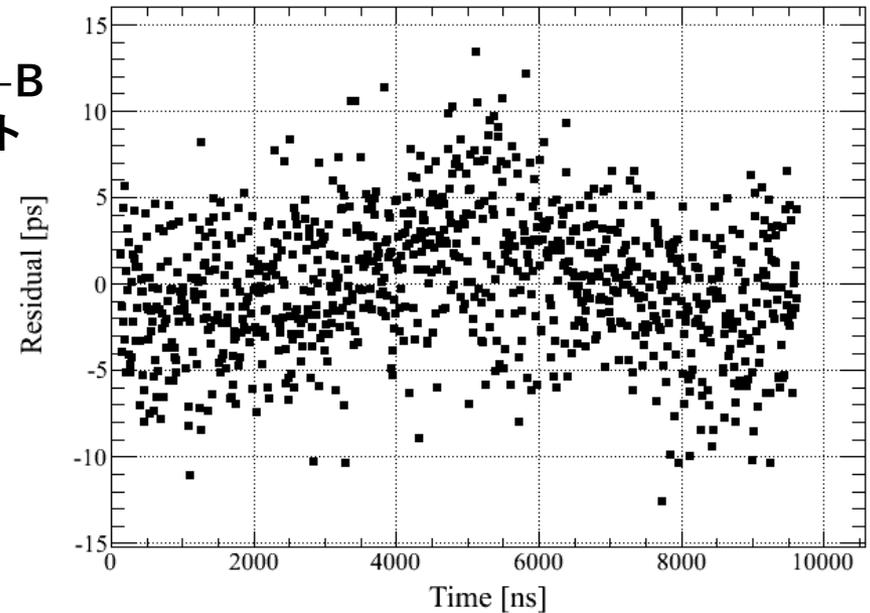
ORTEC 462のパルス測定結果



$f(t) = At + B$   
でフィット



f(t)との残差分布



- この線形性はクロックの精度で決まる
- 残差は高々 10 ps
  - ORTEC 462の精度とコンパ

## 温度に依存する事柄

- TDLの遅延量
- クロックの周波数

## 測定条件

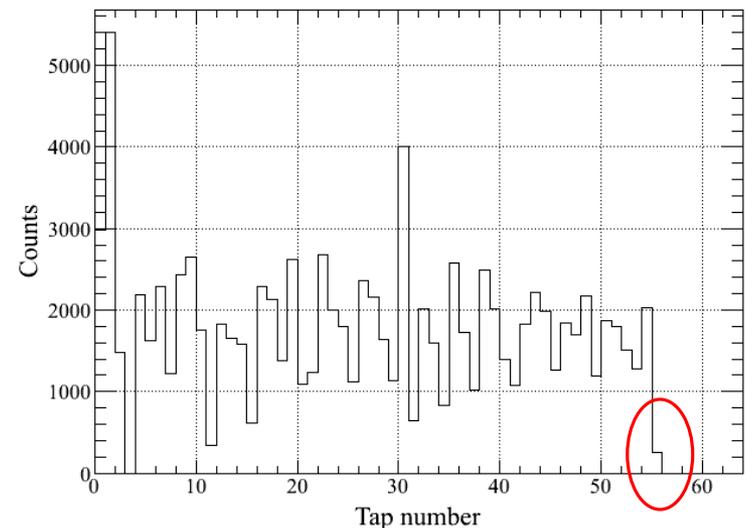
- 室温
  - **20.3, 21.9, 25.1, 28.0°C**
- その際のFPGA温度 (XADCで測定)
  - **35.8, 40.5, 42.4, 44.5°C**

## 測定方法

- TDLの遅延量
  - Fine count分布の末端の変化
- クロックの周波数
  - 前項の $f(t) = At + B$ のAの変化

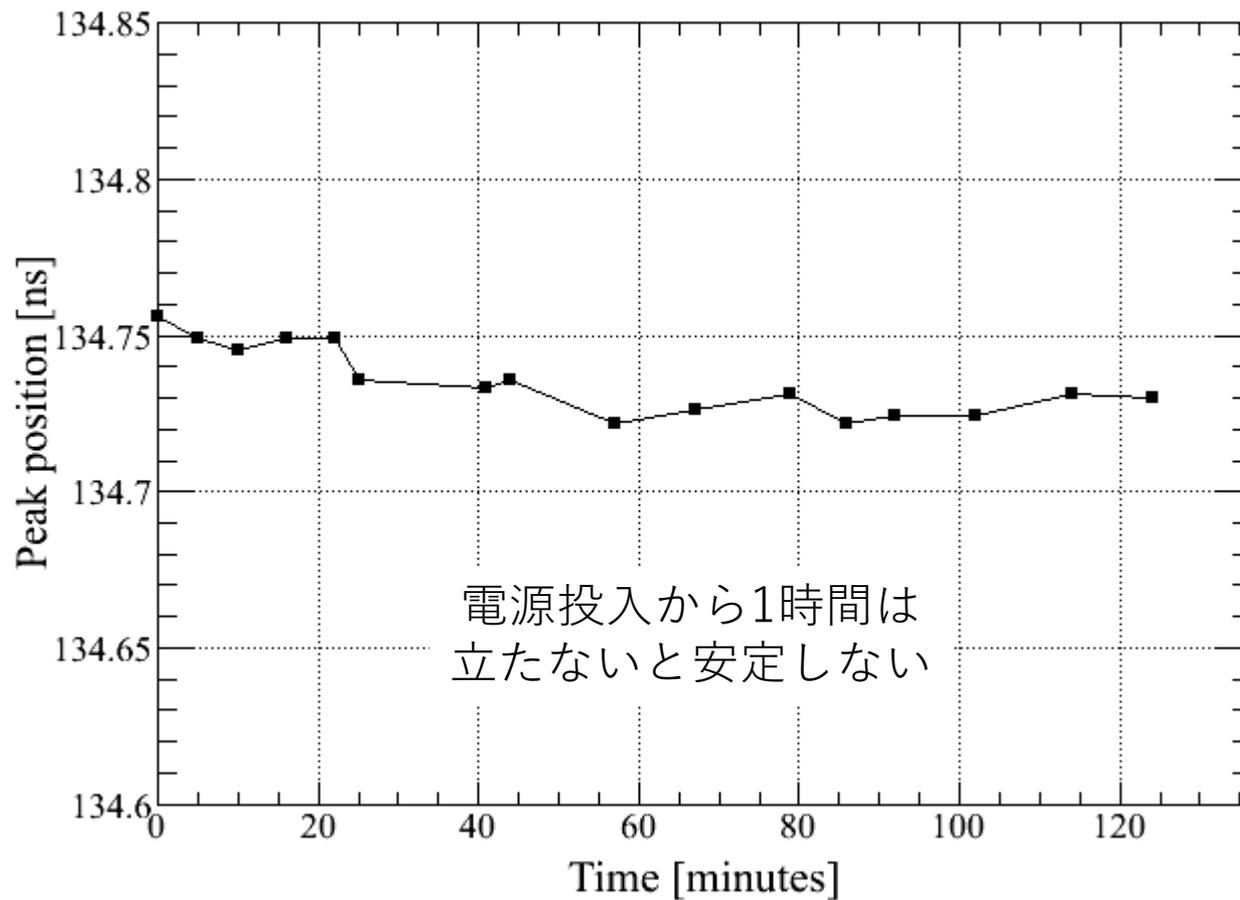
## 結果

- **どちらも全く変化なし**



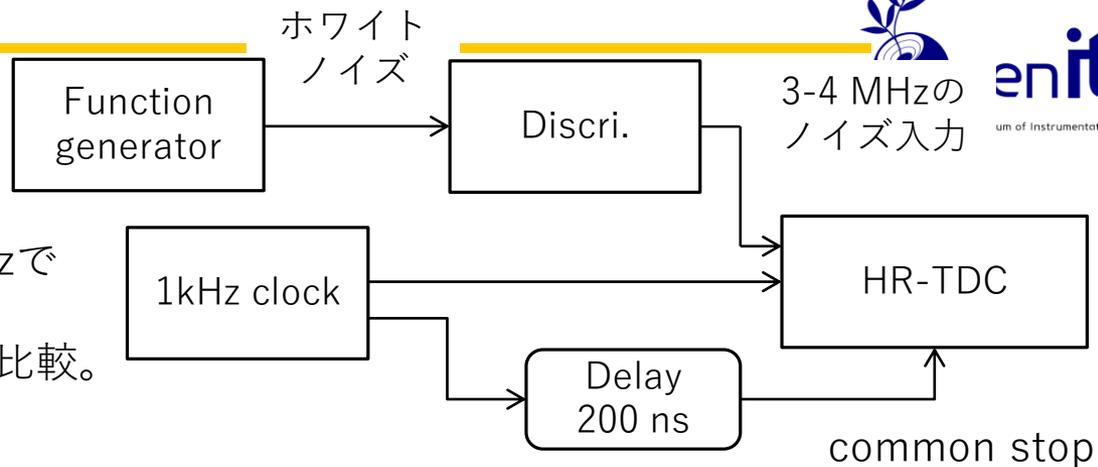
モジュールに電源を入れてからの安定を評価

固定長 delay させた信号のピーク位置の推移

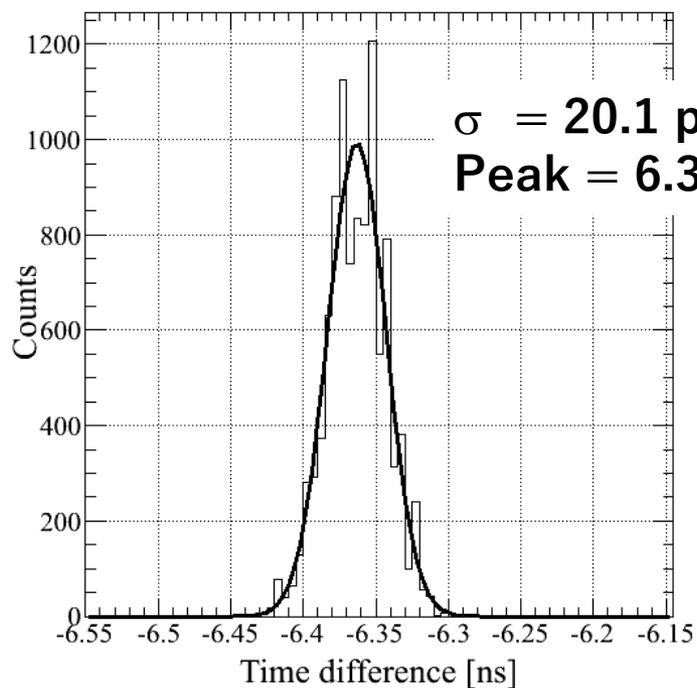


# 負荷試験

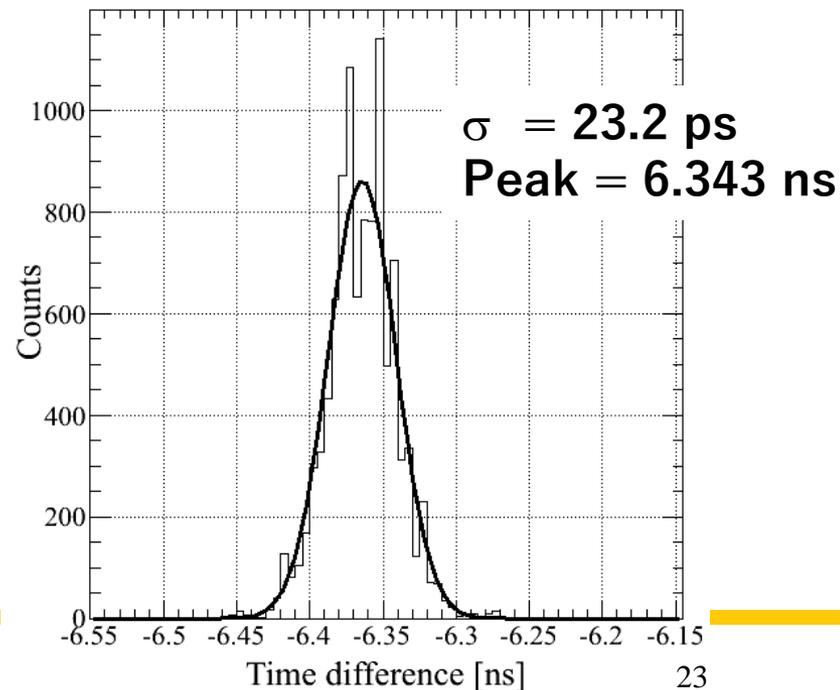
- 周辺チャンネル (0-15 ch) に3-4 MHzで入力
- 1kHz clockの分解能とピーク位置を比較。



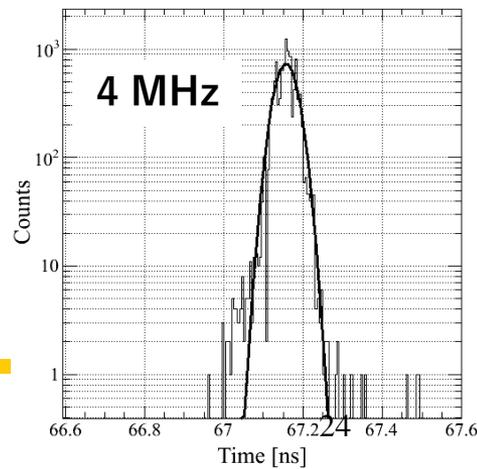
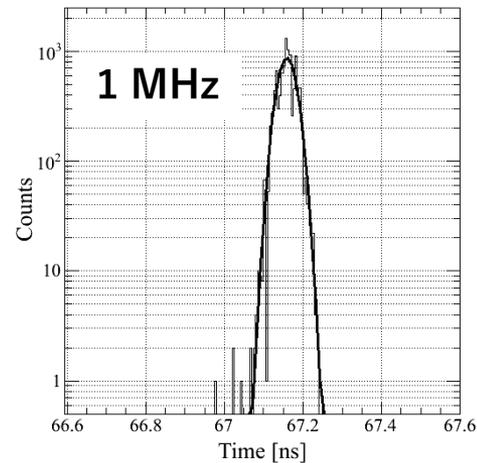
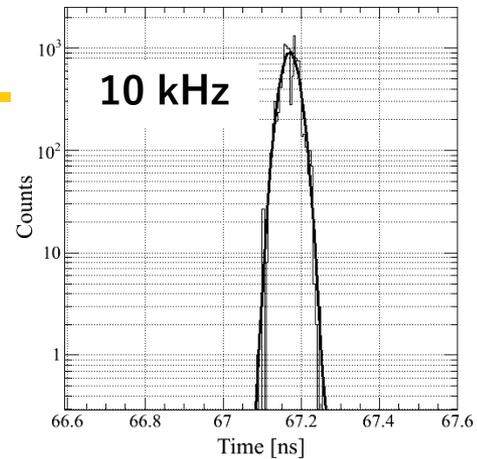
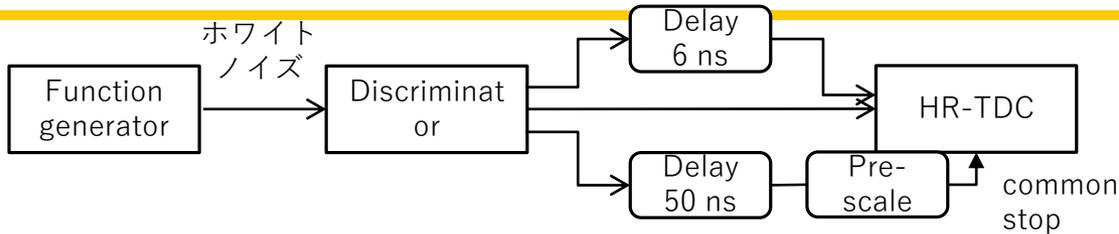
周辺への入力無し



周辺への入力有り

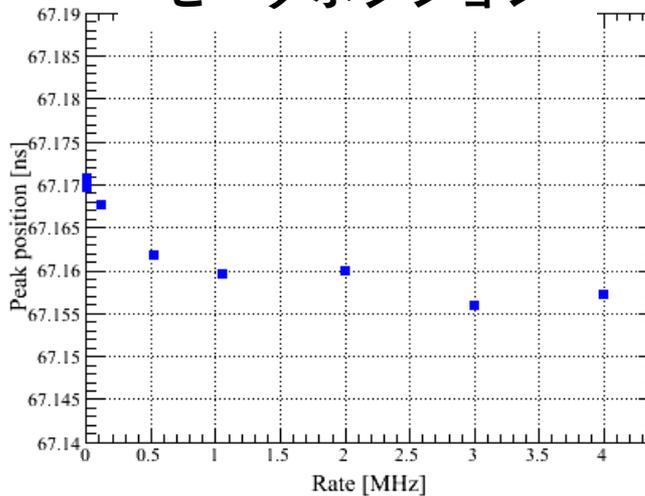
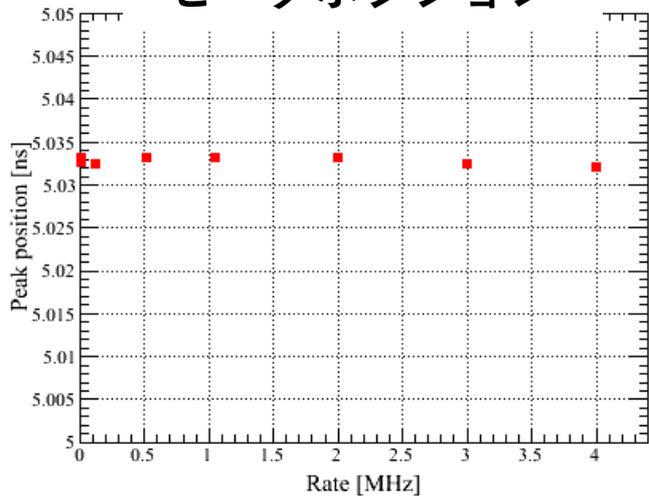


# 負荷試験2

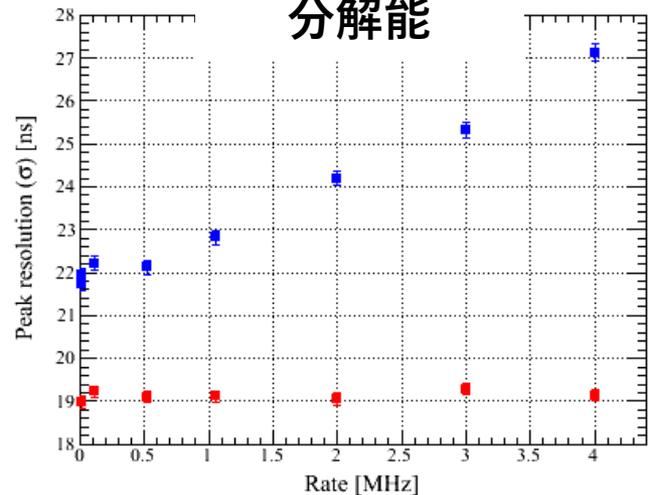


## ピークポジション

## ピークポジション



## 分解能



赤 : Ch0 - Ch1  
 • 同レート同士

青 : Ch0 - common stop  
 • Common stopはレート固定

レート依存性はあるが小さい

他のチャンネルに同時入力があった際に測定時間がズレないか？

## 結論

- 2つ隣のチャンネルに完全に同時タイミングで信号が入ると最大15-20 ps 測定時間がずれる。

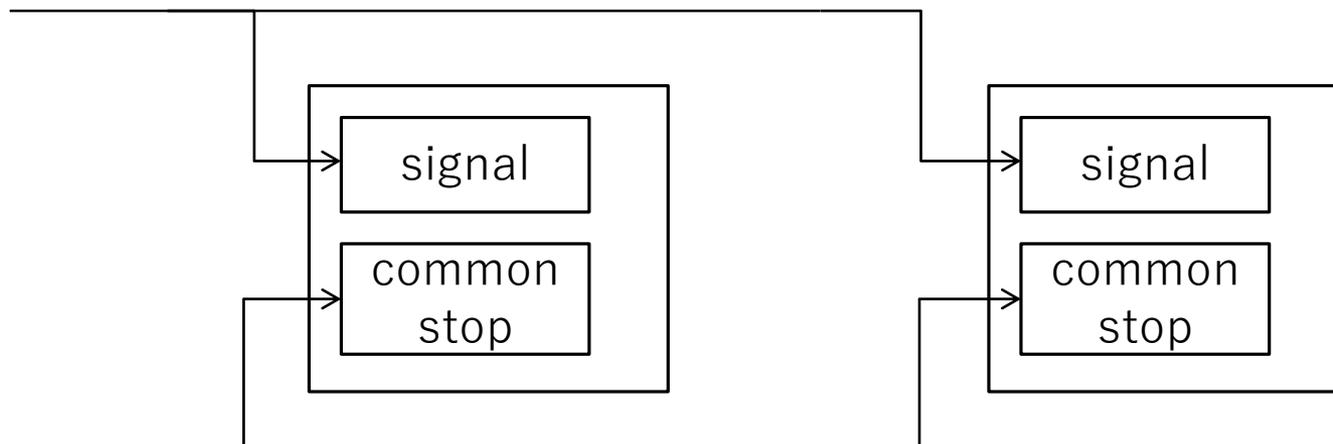
## 考察

- FPGA HR-TDCの特性ではなく中継しているICのせいかもしれない。
- 0.5 nsでもタイミングがずれるとこの現象は見られない。

- FPGA HR-TDCはfree runのTDC
- Common stopも独立の測定を受ける

$$\text{Time diff.} = (\text{signal1} - \text{common\_stop1}) - (\text{signal2} - \text{common\_stop2})$$

キャンセルしない



この状態では4つ測定の誤差伝搬になり分解能は35-40 ps ( $\sigma$ )程度に制限

HUL HR-TDCはモジュール内部でcommon stopとの引き算を取らない  
free run modeを実装している。

(Common stopの測定結果は独立のデータとして送信される)

## 2つのMezzanine HR-TDCの同期

- HUL controllerの発振器クロックを共有
- Common stopを引き算せずにデータ出力

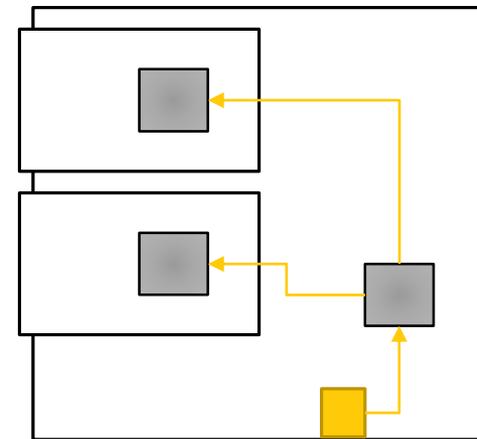
**ただし両方とも未試験**

## 複数台のHULの同期

- 外部マスタークロックを全HULへ配布
- 固定入力ポートの1つ (MRCC)からFPGAへ入力
- 全システム共通クロックで駆動

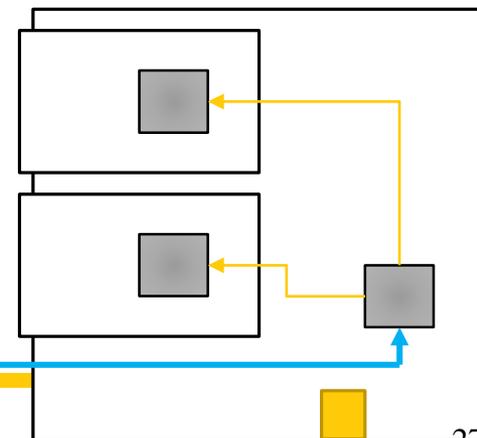
HULの固定入力  
ポート(MRCC)から  
クロック入力

HUL controller



HULの発振器

HUL controller



- 汎用HR-MH-TDCとしてHR-TDCは利用できるか調べるためにXilinx Kintex7 160Tへtapped-delay-line型HR-TDCを実装した。
- 開発のプラットフォーム
  - Hadron universal logic (HUL) controller + HUL Mezzanine HR-TDC
- Leading/trailing edge検出が可能なtiming unitを32ch FPGAへ実装。
- TDLの全遅延素子のキャリブレーションを行うLUTを実装。
- **性能評価**
  - **時間分解能** 20-22 ps ( $\sigma$ )
  - **Double hit resolution** エッジ間隔8nsのパルスを測定可能
  - **線形性** 10us先まで高々10 psのnon-linearity
  - **温度依存性** 室温20-28°Cの範囲内で依存性無し
  - **レート依存性** 存在するが小さい

## 結論

**原子核・ハドロン実験で即実践投入可能である**