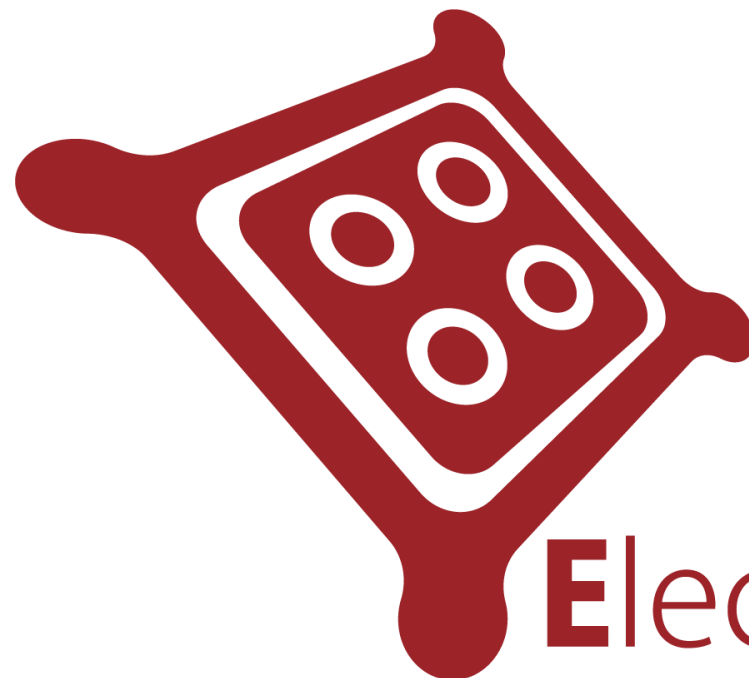


# 東海Esysアクティビティ と今後

KEK IPNS Esys  
本多 良太郎



@東海

Electronics  
System Group



本多 良太郎 (准教授)

得意分野

回路基板設計, FPGA  
(コンピュータ, ソフト)

2020.09着任



五十嵐 洋一 (講師)

得意分野

コンピュータ, ソフト  
DAQシステム開発



千代 浩司 (前任技師)

得意分野

コンピュータ, ソフト



庄子 正剛 (准技師)

得意分野

回路基板全般  
(FPGA)

12月より東海勤務

Front-end electronics ~ back-end systemが技術の中心

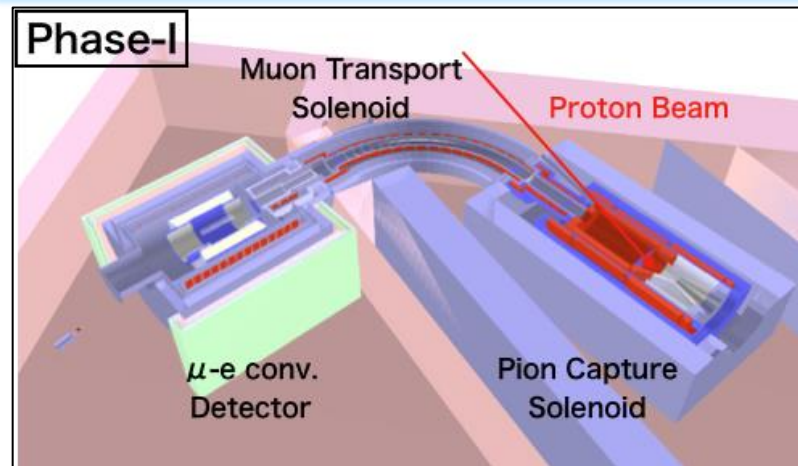


## 五十嵐 洋一

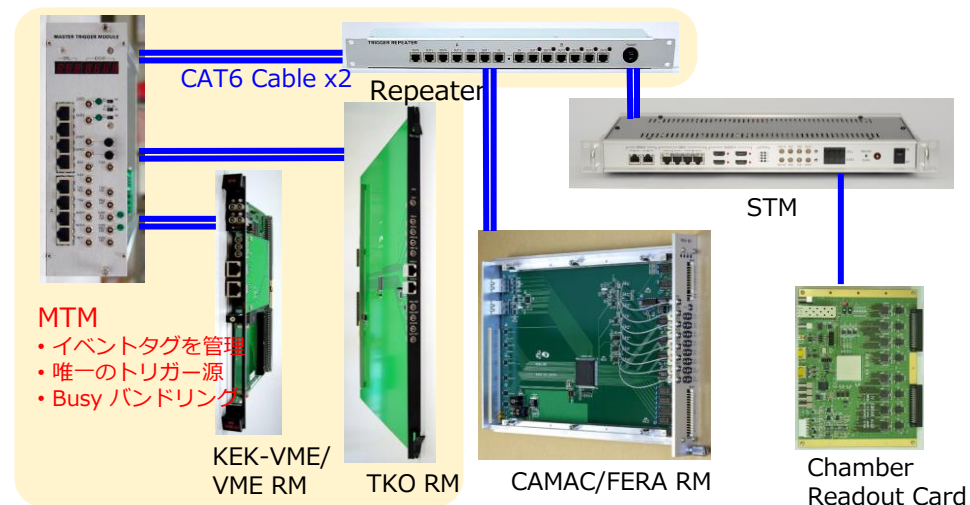
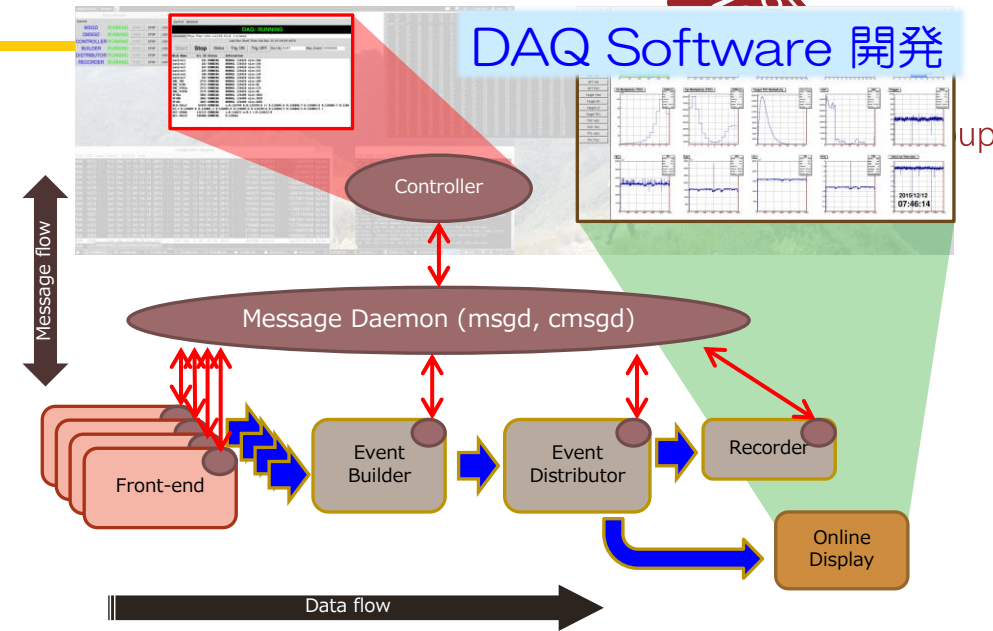
### 最近の仕事

- COMET実験へ向けたDAQシステム開発
- 連続読み出しDAQソフト開発

## レプトンフレーバー保存の破れの探索 COMET 実験



## DAQ Software 開発



## DAQ 機器 開発



## 千代 浩司

### 最近の仕事

COMET実験用のDAQサーバーセットアップ

- 1 GBで読み書きしながらデータ取得するサーバーPC
- RAID構成と性能測定

PCのネットワークブート設定

- IPMIを利用したBIOS設定
- ネットワーク起動

DAQ-MW保守

SiTCP-XG性能測定

**コンピュータ/Linux OSに詳しい**  
素のLinux OSは物理実験では使いにくい  
DAQ用に設定しセットアップ



## 庄子 正剛

### 最近の仕事

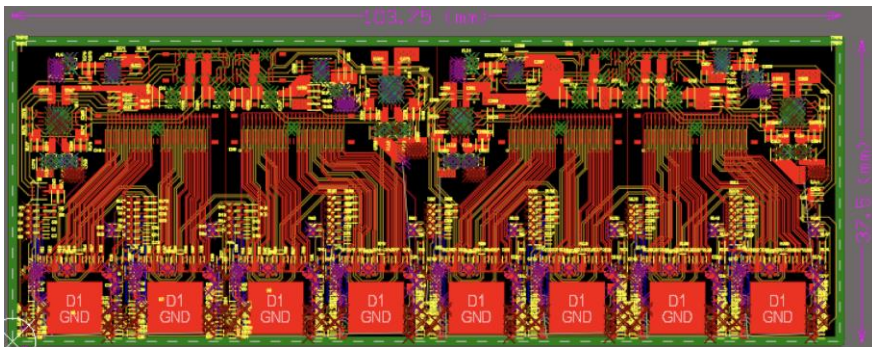
ASIC実装基板の開発

Open-Itでの読み出し回路開発

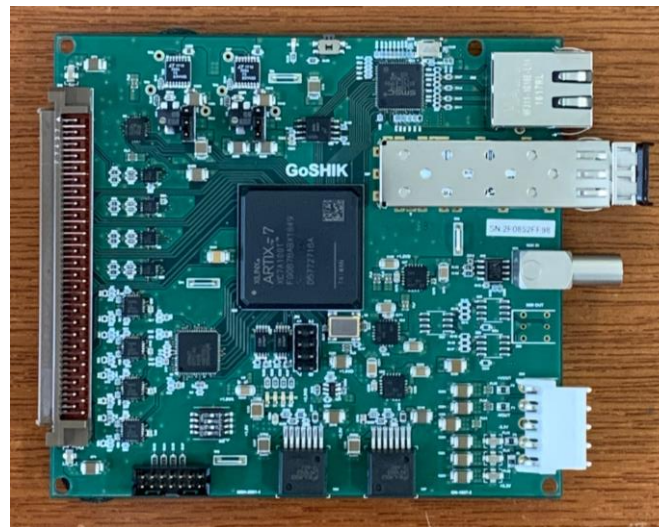
プリント技術を用いた集積回路実装技術の開発

### アピールポイント

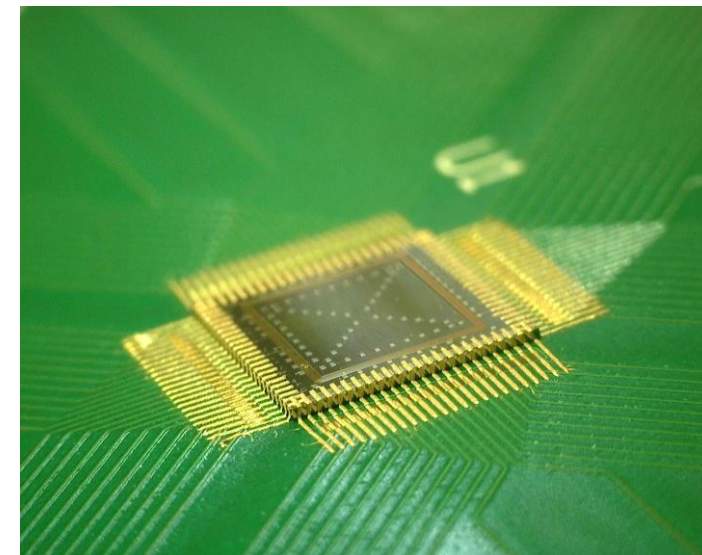
手先が器用。半田付けがそこそこできる。



g-2用 ASIC実装基板



GoSHIK Board(ASIC評価用)



プリント技術を用いた集積回路実装



DOMINO board(ダイヤモンド読み出し基板)

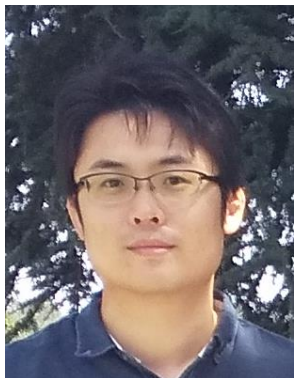


LTARS2018 ANALOG Board



COMET用 IF Board

# 自分の紹介



これまで

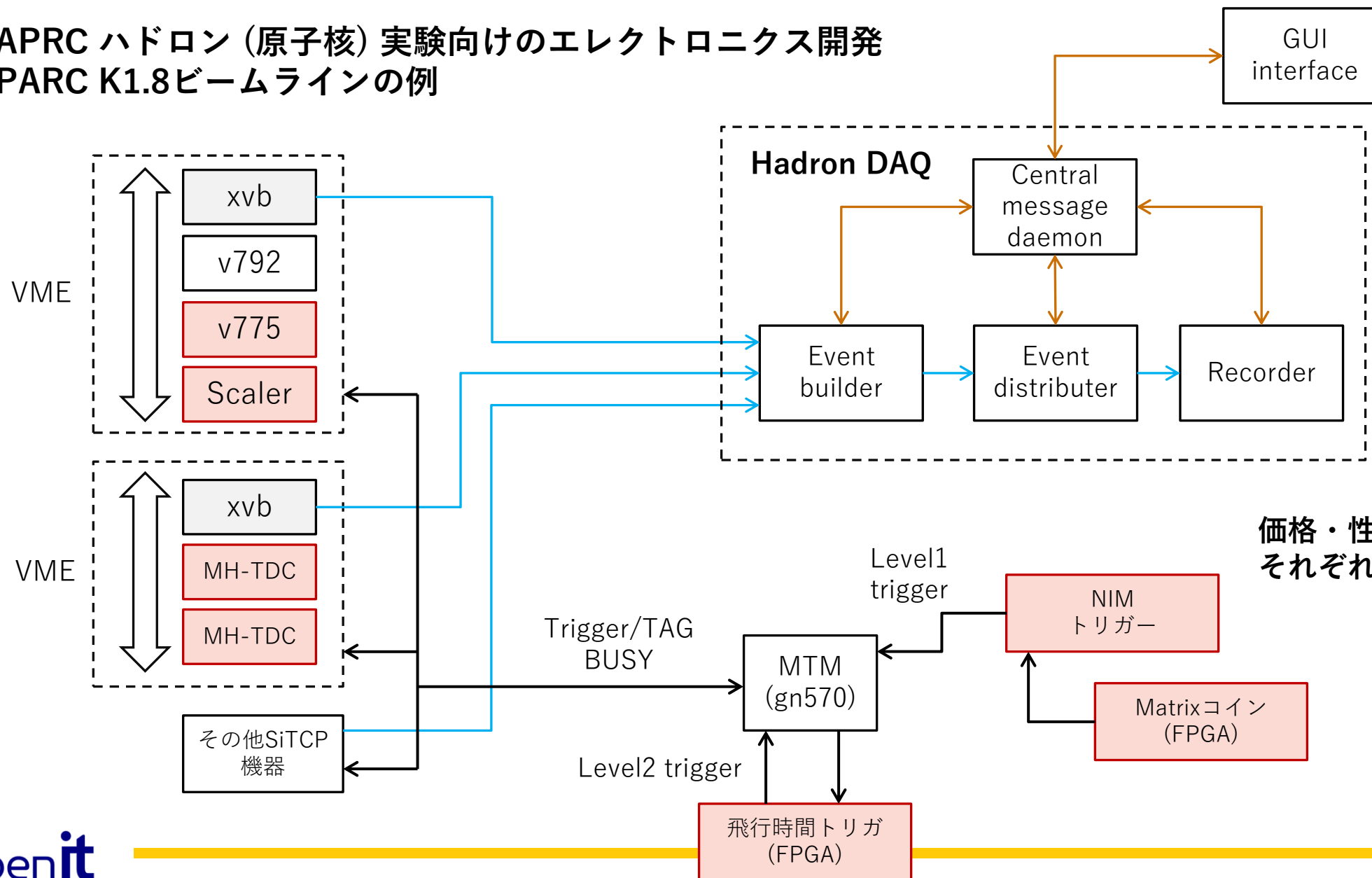
J-PARCハドロン・原子核実験に従事しつつDAQ開発を行ってきました

2014-2016年	大阪大学 岸本研究室 特任研究員
2017-2020年	東北大学 原子核物理 助教



# 私(本多)のやってきた事と今後の展開

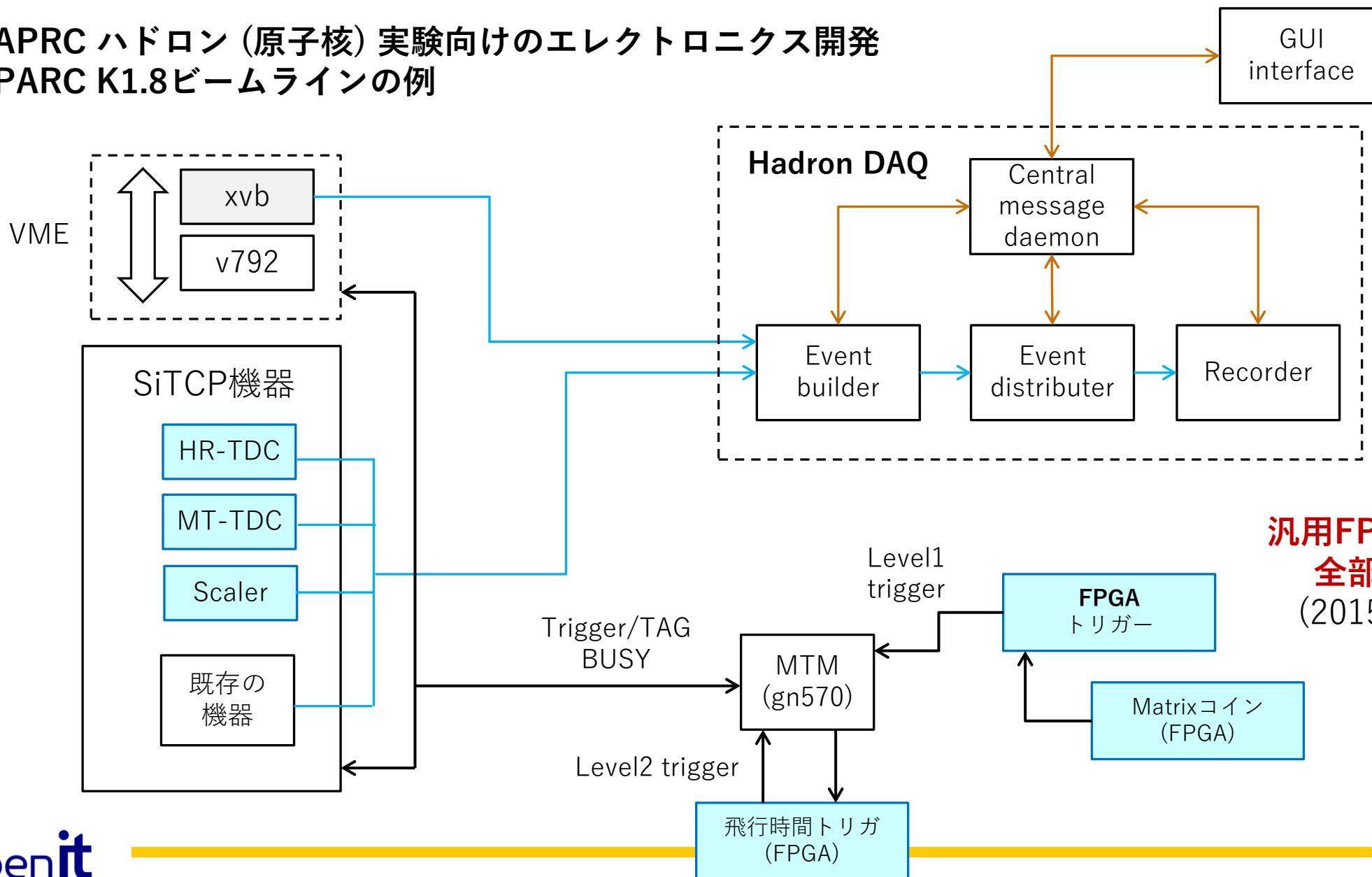
J-APRC ハドロン (原子核) 実験向けのエレクトロニクス開発  
J-PARC K1.8ビームラインの例



価格・性能・メンテナンス性  
それぞれ少しずつ難があった

# 私(本多)のやってきた事と今後の展開

J-APRC ハドロン (原子核) 実験向けのエレクトロニクス開発  
J-PARC K1.8ビームラインの例

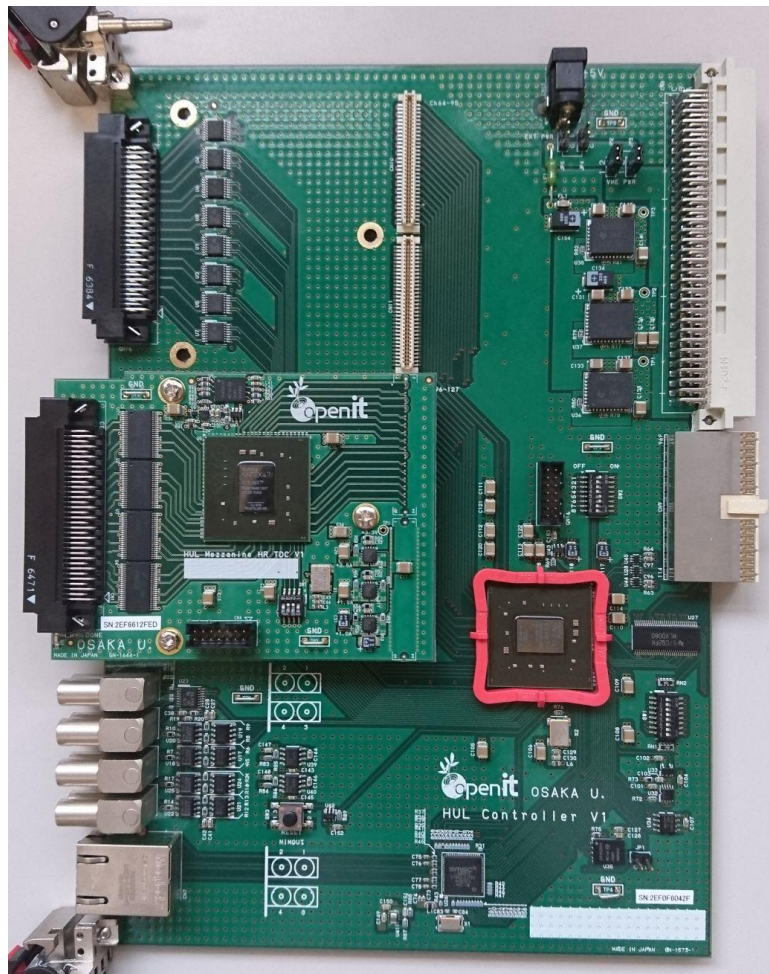


汎用FPGA回路を作って  
全部置き換えたい  
(2015年くらいの話)

## HUL mezzanine cards



## HUL controller module



## Hadron universal logic (HUL) module SiTCP読み出しの汎用デジタル回路

- 64ch 差動入力ポート
  - 2メザンスロット
  - Kintex-7 160T-1
  - GbE (SiTCP)
- } 合計128ch

## Mezzanine cards

- I/O拡張, トリガー受信, **FPGA HR-TDC**

## 目指したもの

- 簡素・安価・メンテナンス性の良い回路

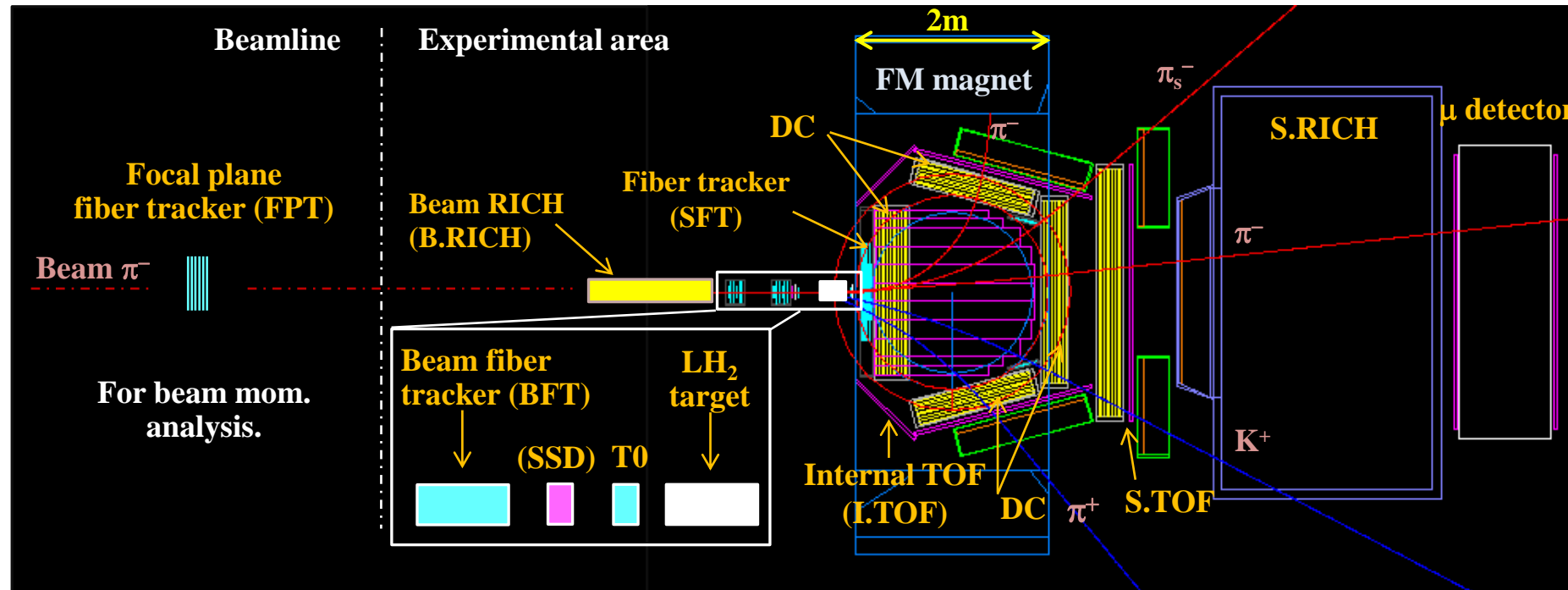
## J-PARCでの利用法

- 検出器読み出し (TDC, scaler)
- **トリガー生成**
  - マトリックスコイン, 飛行時間トリガー
    - 実験ごとに要求が違う (作り直し)
    - ビーム強度が上がるとどんどん複雑に

実験ごとにFW開発するのはしんどい

…と感じるように

J-PARC E50実験 (charmed-baryon spectroscopy) への参加 (2017年)  
連続読み出し (trigger-less) DAQの開発へ着手



## Beam momentum

- 20 GeV/c

## Beam rate

- 60 M/spill, 2 s beam-ON

## Reaction rate vs Production rate of charmed-baryon

- 3.6 M/spill vs **< 1 /spill**

## E50実験におけるDAQのチャレンジングポイント

**ビームがスペクトロメータを通り抜ける中で小さな断面積の反応を捉える**

- 高いバイアスのトリガーが必要
- 10 kHzへトリガーレートを下げるには運動量解析が必須

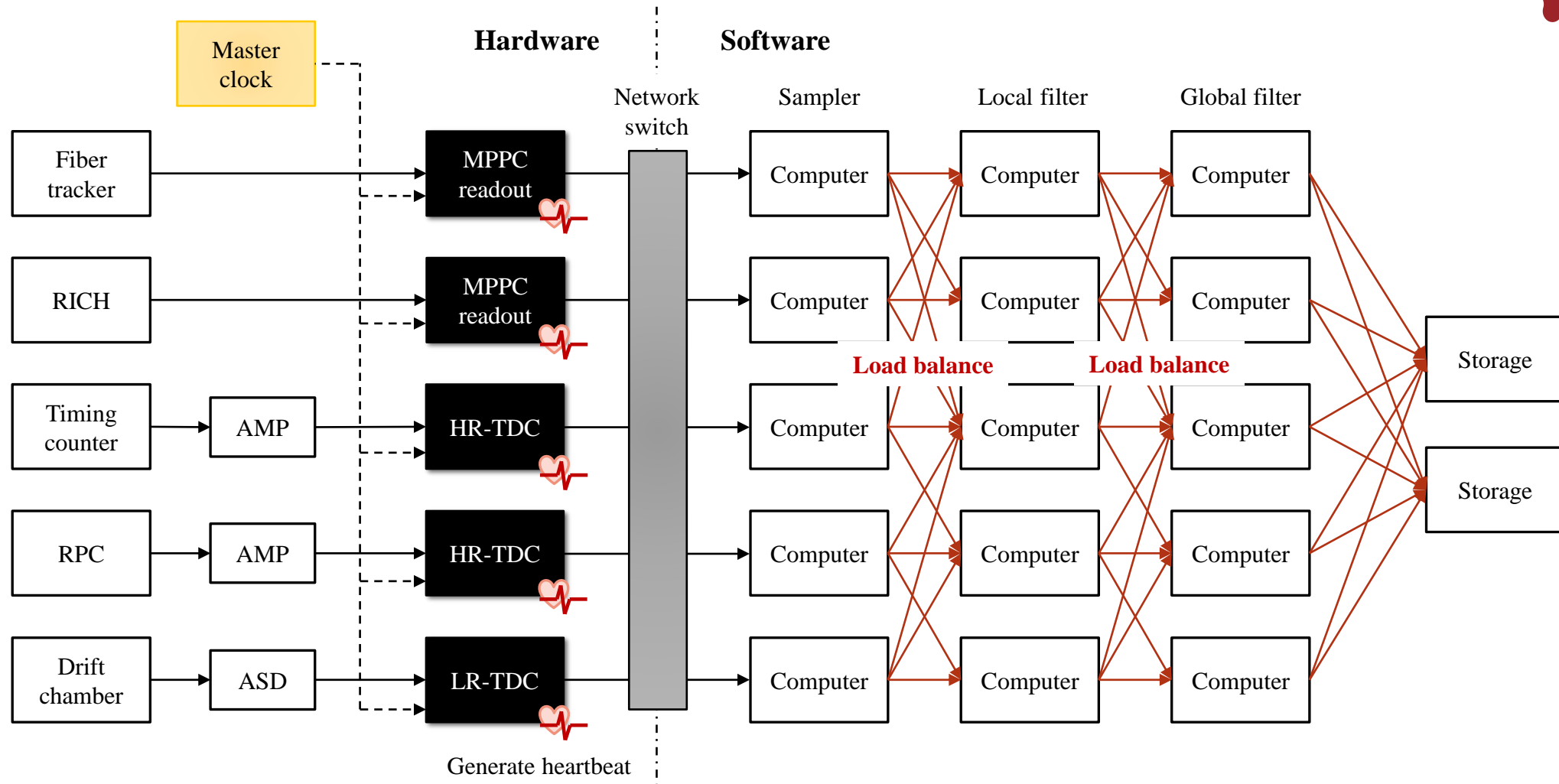
**複数の物理プログラム (実験) が想定されている**

- トリガー条件の変更が容易である必要性

FPGAで要求に応えるのは難しい

**完全ソフトウェアトリガー・連続読み出しDAQの導入**

# 私(本多)のやってきた事と今後の展開

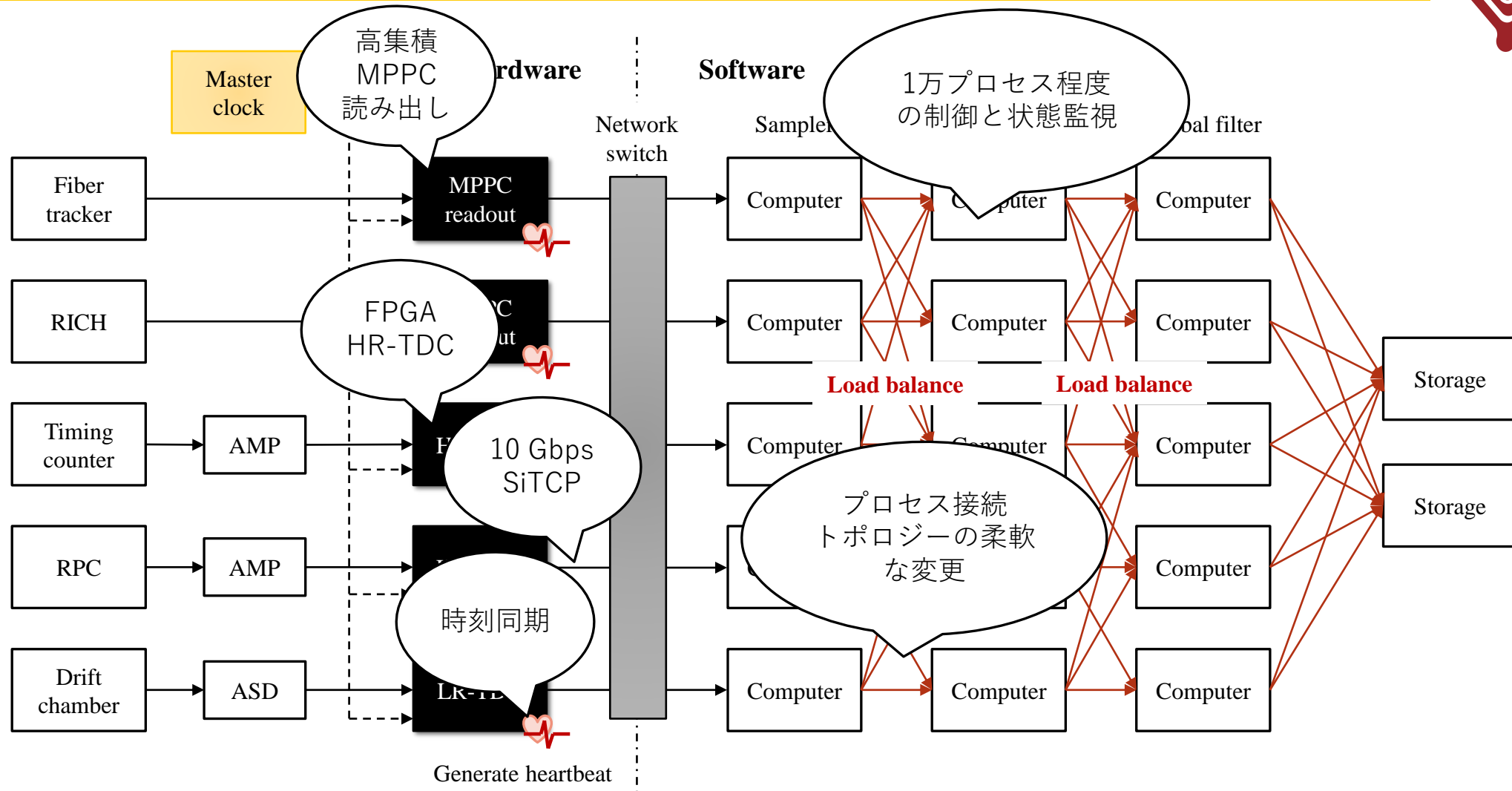


## Hardware

- Digitize all the hit signals without any trigger
  - Data streaming via communication standard faster than Gbps.
- Raw data rate from all the electronics **~50 GB/spill.**

Pipelined filtering system.  
Insert an additional filtering stage as we want

# 私(本多)のやってきた事と今後の展開

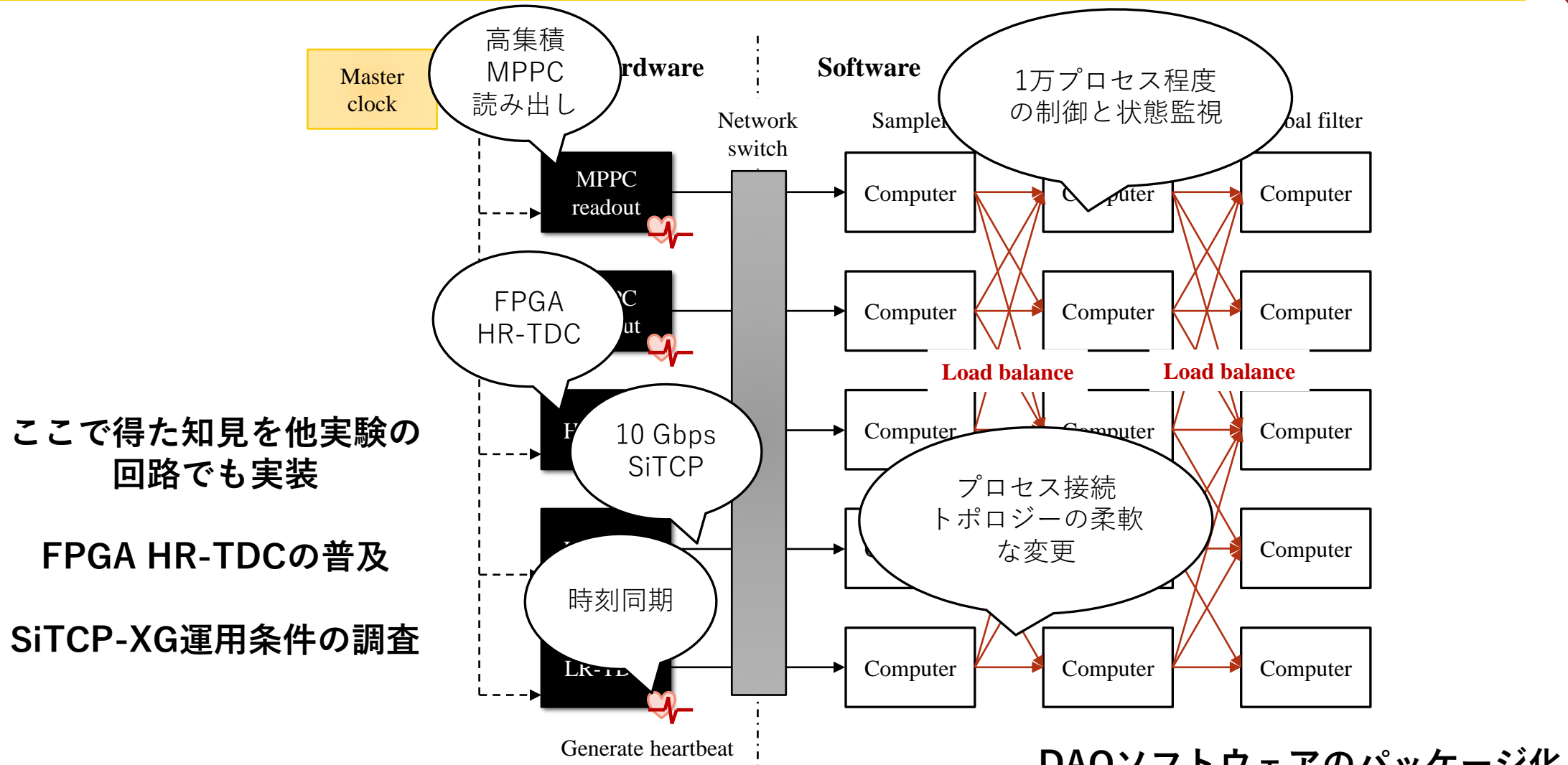


## Hardware

- Digitize all the hit signals without any trigger
  - Data streaming via communication standard faster than Gbps.
- Raw data rate from all the electronics **~50 GB/spill.**

Pipelined filtering system.  
Insert an additional filtering stage as we want

# 私(本多)のやってきた事と今後の展開



ここで得た知見を他実験の回路でも実装

FPGA HR-TDCの普及

SiTCP-XG運用条件の調査

## DAQソフトウェアのパッケージ化 他実験への展開

- 連続読み出し用
- イベントビルド型

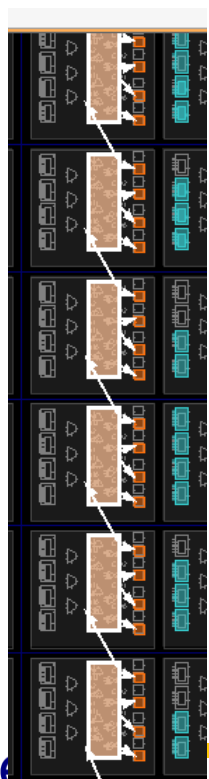


# 他開発してきたもの紹介

## FPGA内部のcarry素子を用いたTDLの実装

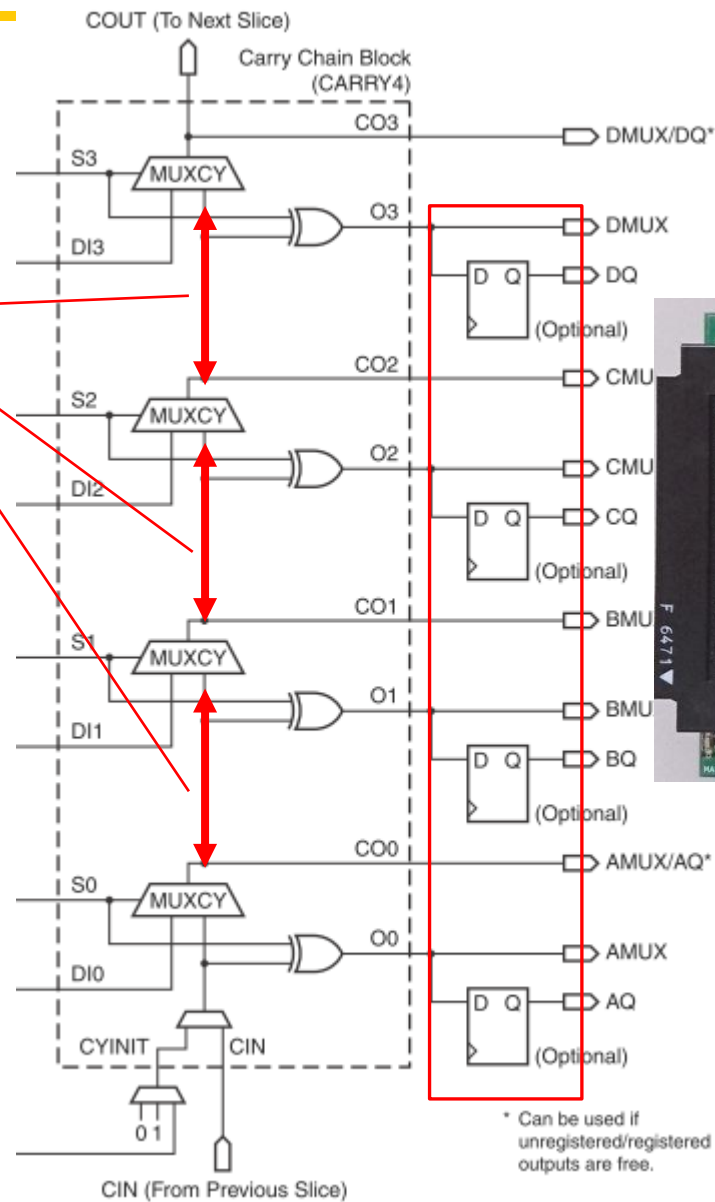
### Carry4

- 加算器の基本構成要素
- 非常に小さい遅延時間 : 5-30 ps
- Flip-Flopに近い
- 直列接続し延長が可能



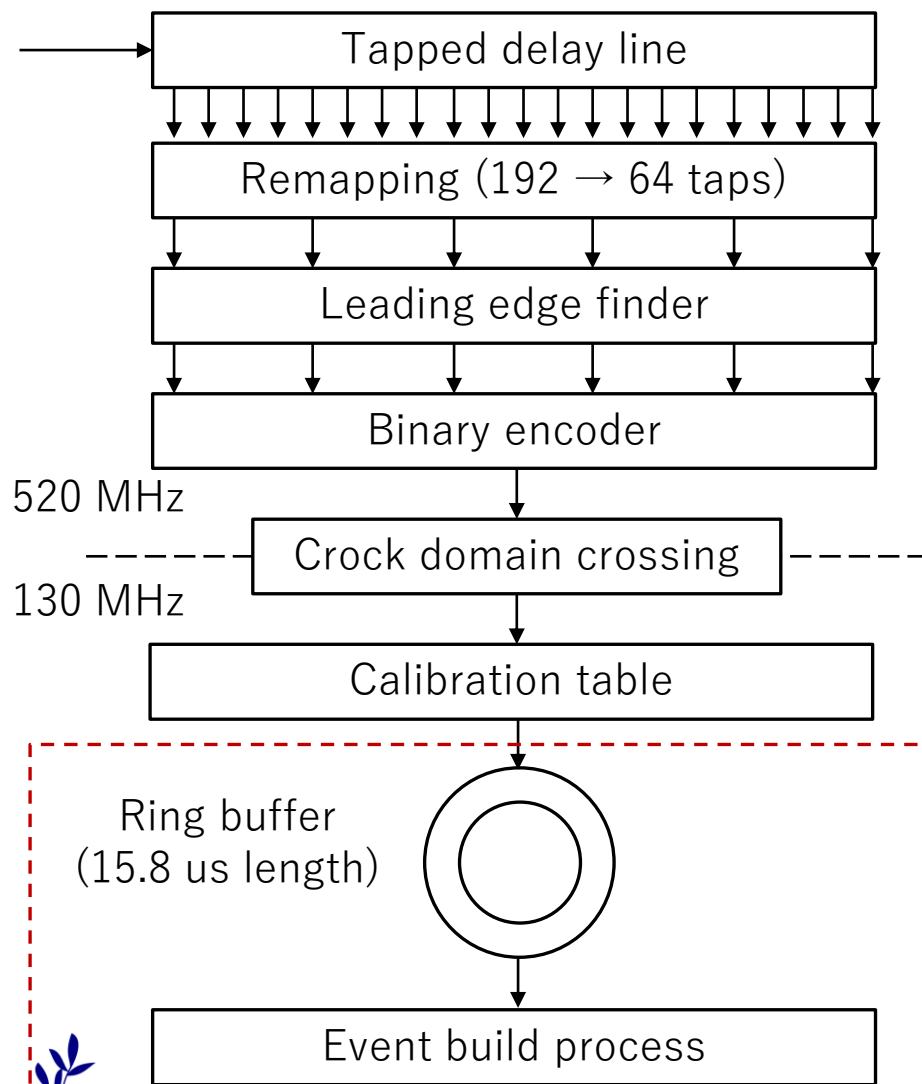
### XC7K-160T-1へ実装したTDL

- 48個のcarry4を接続
  - 192 taps
  - クロック領域の端から端に相当



### HUL mezzanine HR-TDC card





パルス進行方向

→  
11111111111111110000000000000000

1111100000

0000100000

5 : Fine count

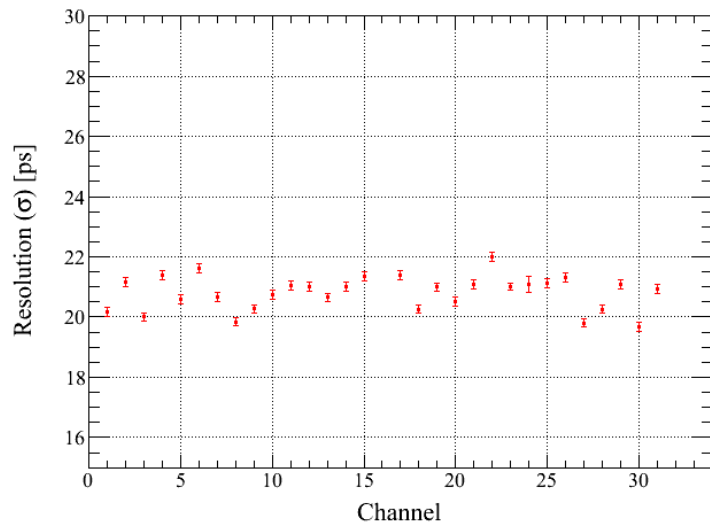
+  
Semi coarse count (2bit)

+  
Coarse count (11bit)

**32ch high-resolution timing unit  
(leading/trailing) をKintex7 160T-1に実装**

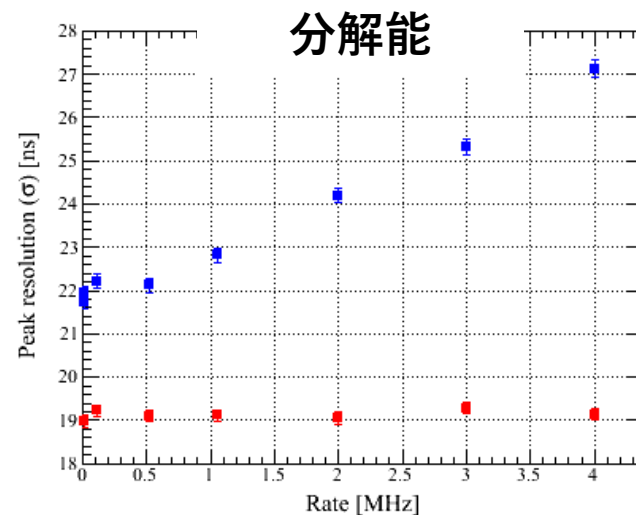
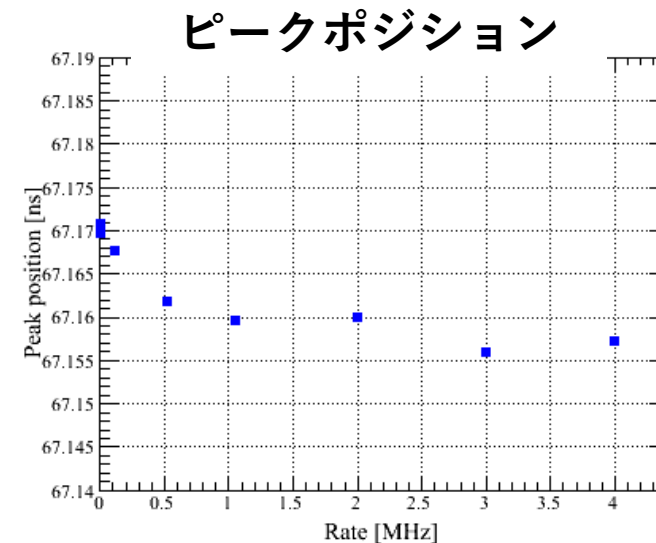
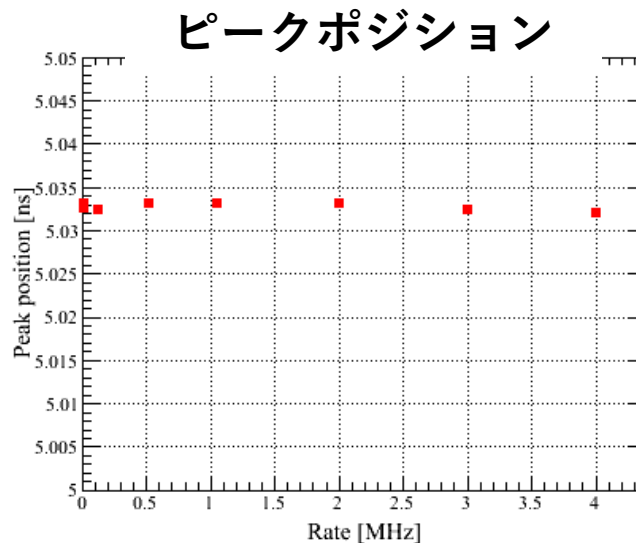
**ここを実装しなせば他のシステムにも乗る  
連続読み出しDAQでも同じHR-timing unitを利用**

## 各チャンネルの時間分解能



**FPGA HR-TDCに興味のある方は  
是非ご相談ください**

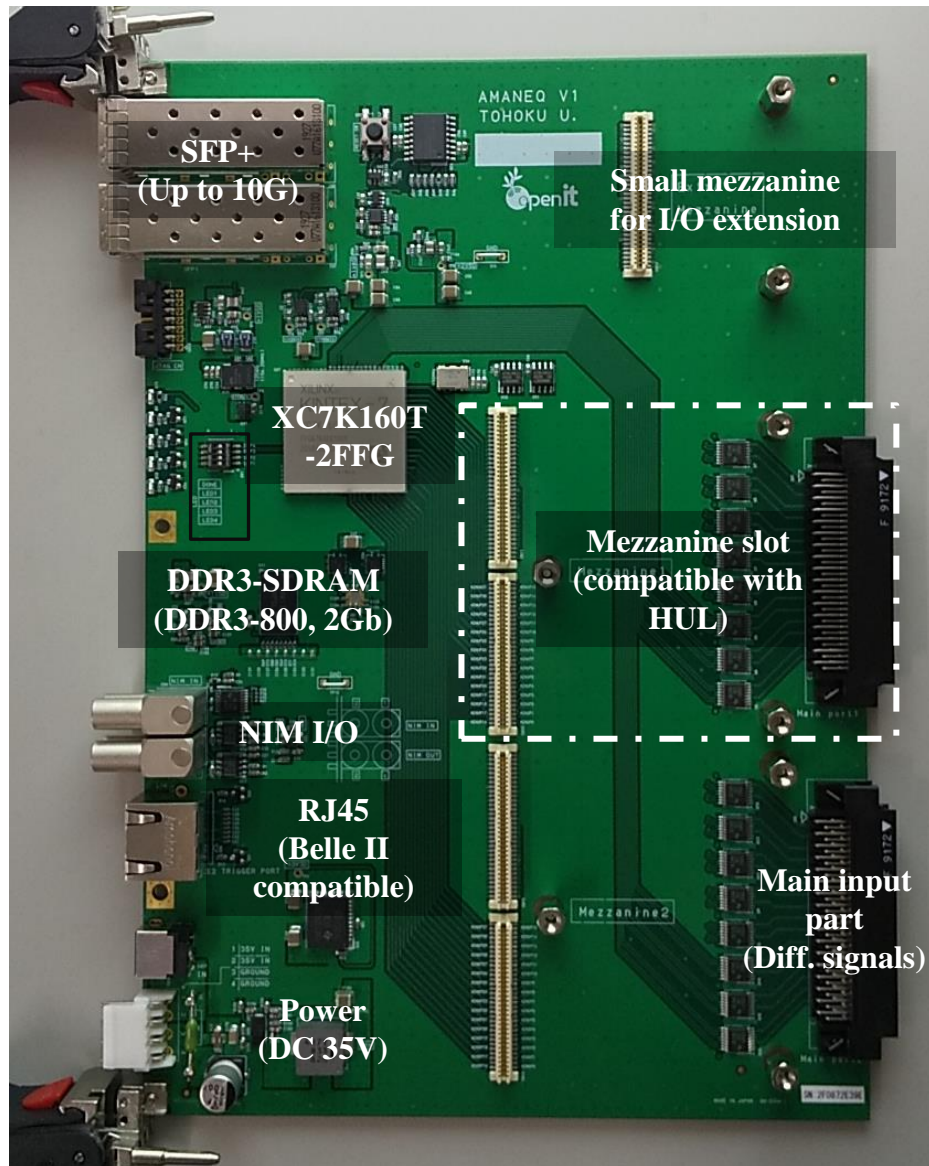
## 時間分解能のレート依存性



赤：Ch0 - Ch1  
 • 同レート同士

青：Ch0 - common stop  
 • Common stopはレート  
 固定

**レート依存性はあるが小さい**



## A main electronics for network oriented trigger-less data acquisition system (AMANEQ)

- VME 6U size but it doesn't have VME bus
  - VME crate without the power is used as a housing box
- Kintex7 with speed grade -2
  - Transceiver bandwidth up to 10Gbps
  - Can implement **10G SiTCP (SiTCP-XG)**
- Main input ports compatible with HUL
- Has two mezzanine slot
  - **Compatible with HUL**
  - Mount HUL mezzanine HR-TDC
  - Mount DCR mezzanine for DC readout
- Belle II link port (master clock)
  - Has a jitter cleaner to clean up the master clock
- **DDR3-SDRAM** as a de-randomizer
  - DDR3-800 with 16-bit bus width.
  - 2Gb
  - It allows us to use spill off time for data transfer
- Powered by the external power supply with DC 40V

お値段大体HULと一緒に

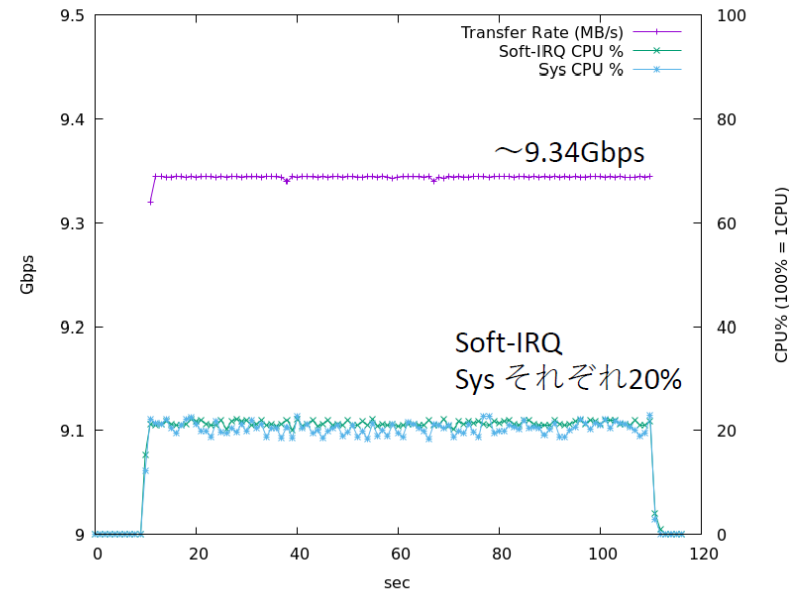
## KC705による速度試験 (千代さん実施)

- ダミーデータをKC705から帯域いっぱいでも送出
- コンピュータ側でひたすら読んで捨てる
  - 要 TCP window scale option設定。今回はWindow scale = 9で測定。
- **結果：9.3 Gbps (理論値の98%程度)**

## 10GbE read 転送速度とCPU使用率

### • 読出しPC

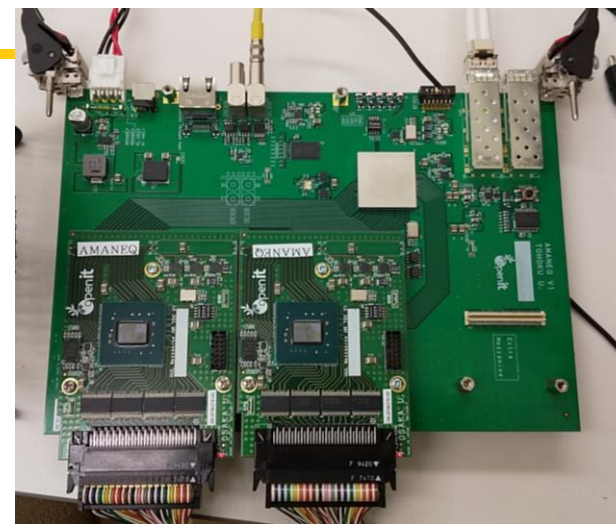
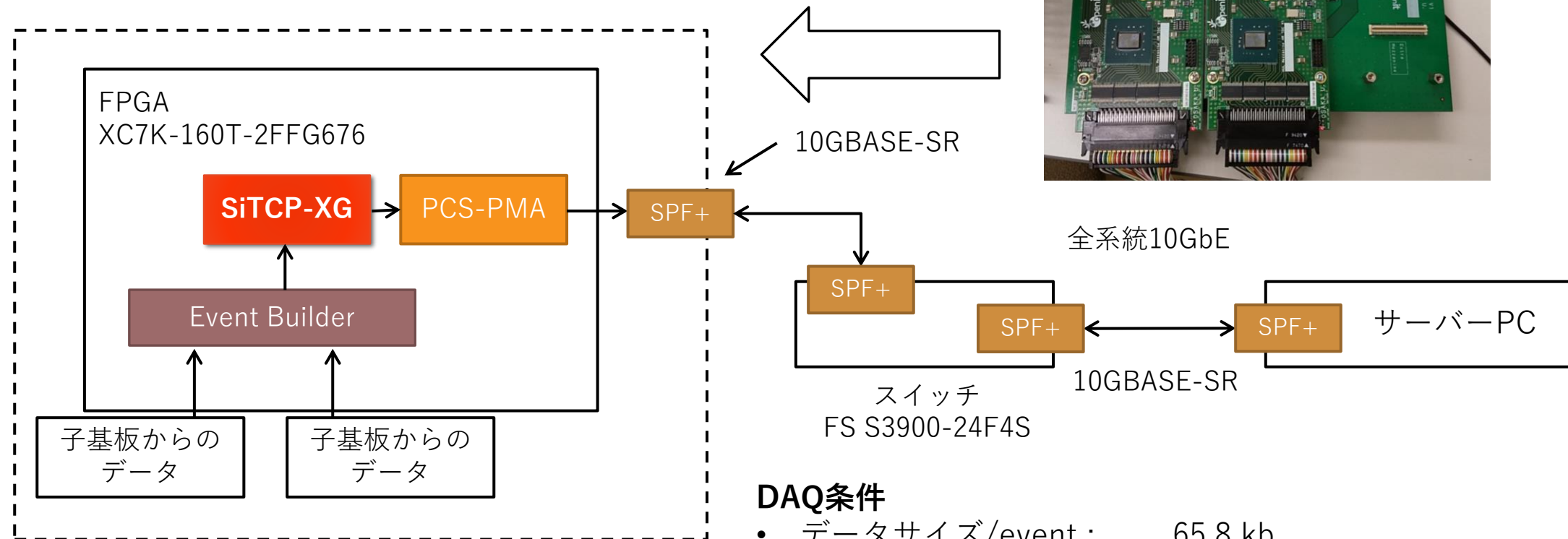
- Intel(R) Core(TM) i7-6800K CPU @ 3.40GHz
- 6GBメモリ
- Intel Corporation 82599ES 10-Gigabit SFI/SFP+ Network Connection (X520-2)
- KC705 - 光リンク - Fujitsuスイッチ - ダイレクトアタッチケーブル - PC
- CentOS 8 (kernel 4.18.0-147.3.1.el8\_1.x86\_64)
- ixgbeドライバ (5.1.0-k-rh8.1.0)



# SiTCP-XGの実装試験

## AMANEQによるデータ転送試験 (私が実施)

- 送ったデータが全部PCへ到達しているか試験



**BBTからベータ版がリリース**

### DAQ条件

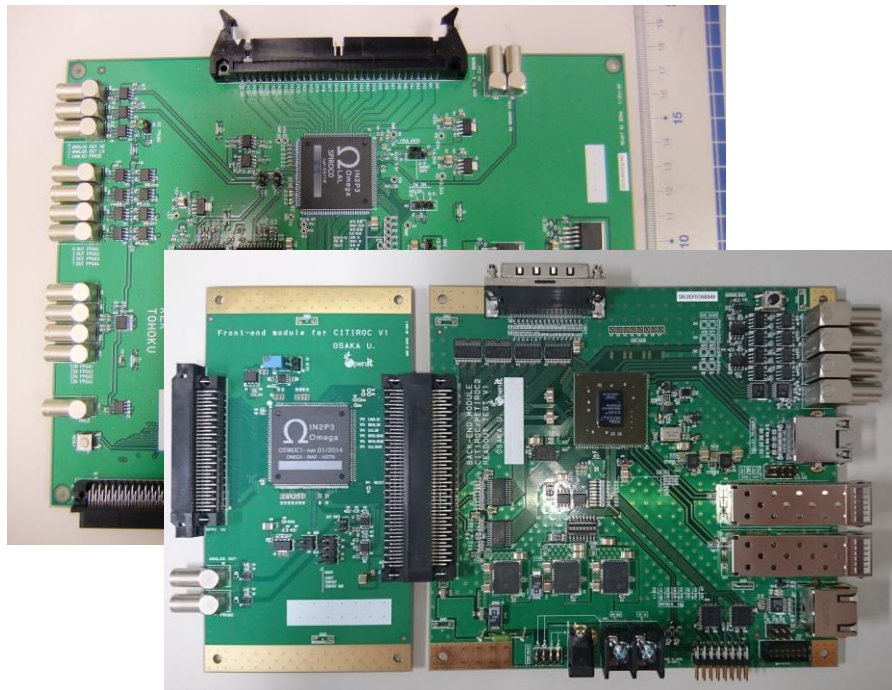
- データサイズ/event : 65.8 kb
- トリガーレート: 50 kHz
- 平均データレート: 3.3 Gbps

### 総送出データ量

- 1.025 TBytes (125,000,000 events, 2500 秒に相当)

**データのドロップ無し**

**ヘッダーデータの不整合無し**



## これまで扱ってきたROC系ASIC

- SPIROC2, EASIROC, CITIROC, PETIROC2A

ROC系の石の特徴はよくわかっているので  
開発の相談に乗れると思います。

## 現在開発中

- CITIROC x4 (128ch) + SiTCP-XG

しかし…

ROC系の石は最近入手性に難がある  
素核業界として完全に満足なASICかというそうでもない

**Esysで国産MPPC読み出しASICが出来ないか画策中**



# Esys東海として

## J-PARCの実験グループと組み J-PARCの実験で使えるシステムを開発

- 各実験に必要なFEE開発
- 次の世代のDAQソフト
- 開発したシステムの普及活動



## Open-Itを通じた教育活動 物理実験全体への貢献

- 計測システム研究会
- Open-It運営

## つくばの開発力と現場の需要をつなげ 将来を見据えたASIC開発

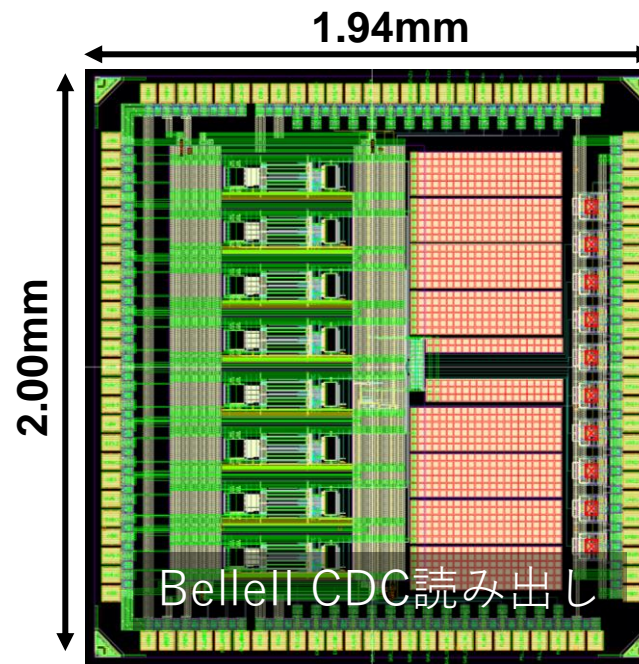
- 汎用的なASICを1つの実験グループの予算・人員で開発するのは難しい
- 東海Esysが取りまとめ、船頭となる

## Esysつくばで進めている技術開発

- シリコンストリップ読み出し
- ピクセル検出器
- TPC読み出し
- 光検出器読み出し
- ガス検出器読み出し



- psec分解能TDC
- ADC100MHz~1Gsp/s
- SiTCP in ASIC
- 高耐放射線 (1MGy以上)
- 印刷技術を用いた高密度実装



- ✓ 8ch, 10bit, 100MS/s ADC
- ✓ LVDS DDR転送
- ✓ 低消費電力 < 100mW (I/O電力含む)
- ✓ 小面積
- ✓ ASD等のAFE回路を混載予定

[参考]

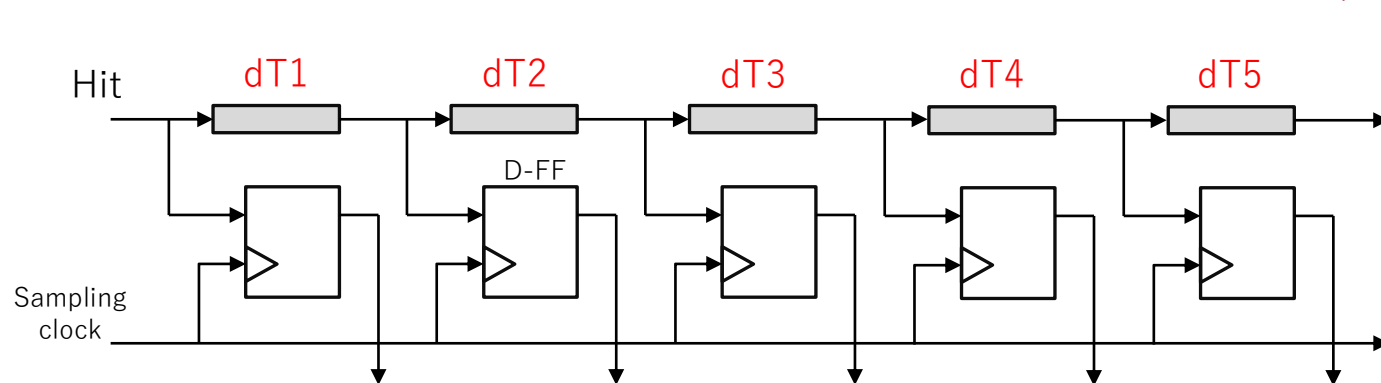
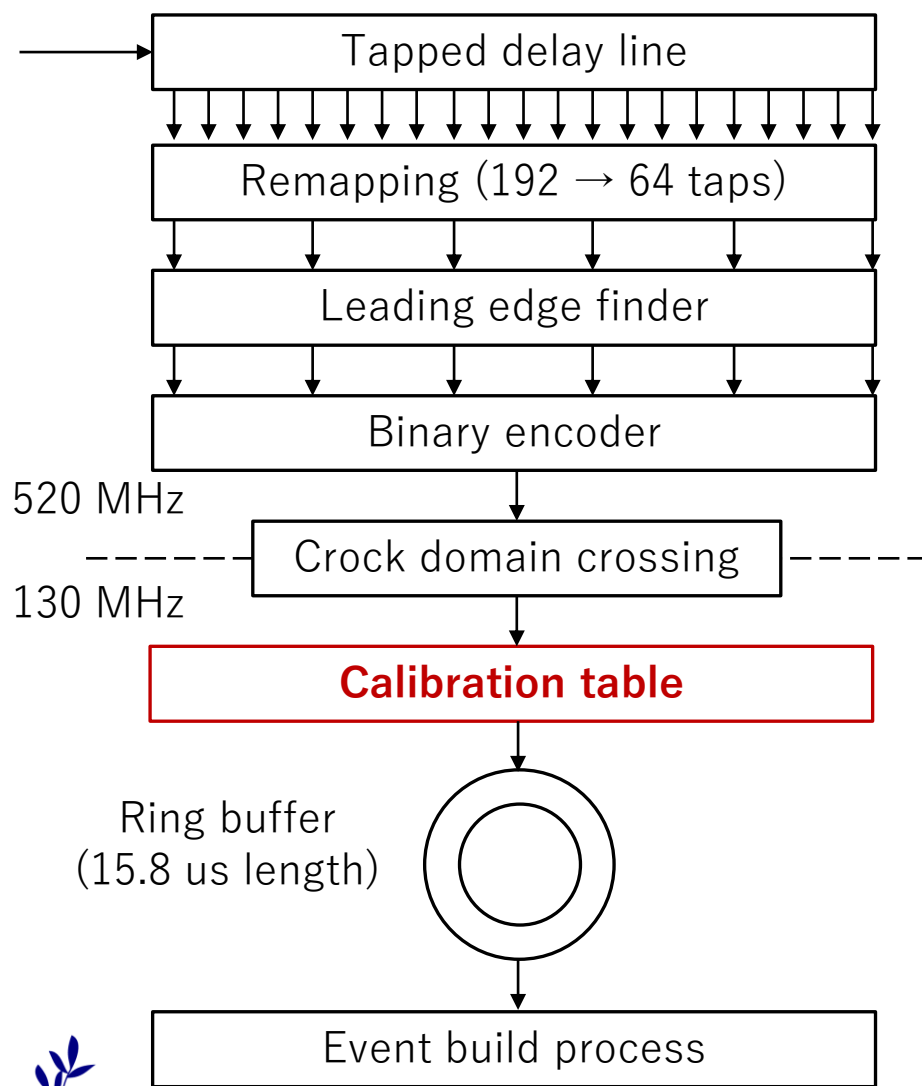
Analog Devices AD9212  
Sampling rate < 65MSps  
Power 800mW @ 65MSps

## 居室と連絡先

- 本多 第3研究棟201 rhonda@post.kek.jp
- 五十嵐 第3研究棟203 youichi.lgarashi@kek.jp
- 庄子 第3研究棟205 mshoji@post.kek.jp
- 千代 東海2号館22 hiroshi.sendai@kek.jp

こういった事を一緒にできないか？DAQ開発で困っている  
お気軽にご相談ください





各遅延素子のdTのテーブルをFPGA内部に搭載

全チャンネルのdT分布

