

# Level-0 muon trigger for HL-LHC

加納勇也 (名古屋大),  
ATLAS日本トリガーグループ,  
Open-It

2020/11/26



# はじめに

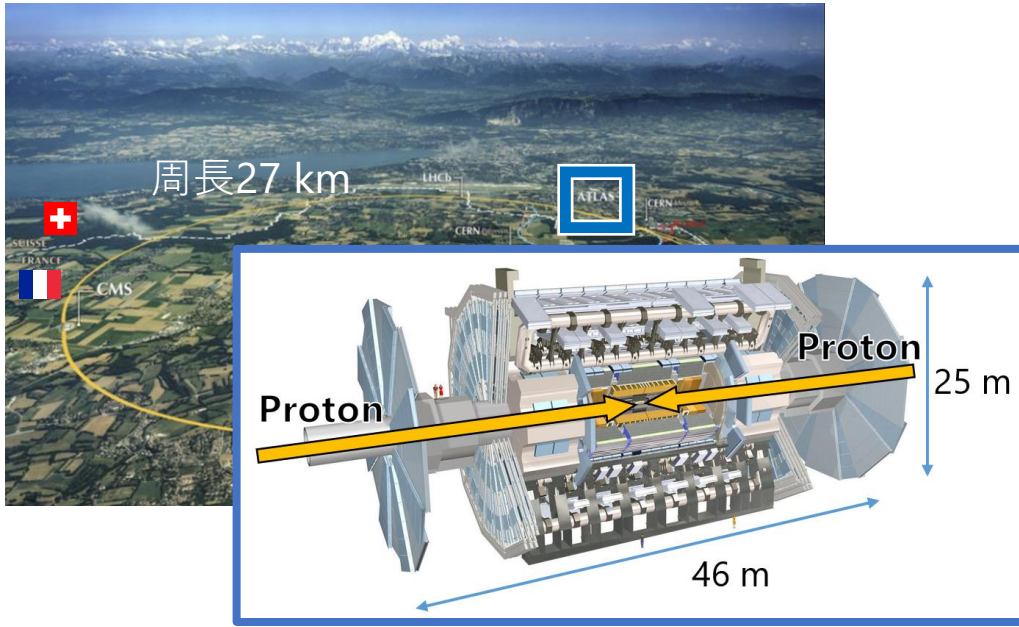
本研究は、Open-Itの複数のプロジェクトの支援のもとに進めています。

- TGC検出器用新型PSボードの開発  
[http://openit.kek.jp/project/atlas\\_tgc\\_new\\_psboard](http://openit.kek.jp/project/atlas_tgc_new_psboard)
- TGC検出器用新型Patch-Panel ASICの開発  
<http://openit.kek.jp/project/atlas-tgc-pp>
- TGC検出器用新型Patch-Panel ASIC用試験ボードの開発  
<http://openit.kek.jp/project/atlas-tgc-pp-ev>
- ミューオン検出器フロントエンド制御のための  
JTAG Assistance Hub moduleの開発  
<http://openit.kek.jp/project/JATHub/JATHub>
- 高輝度LHC-ATLAS実験のための初段 $\mu$ 粒子トリガーボード開発  
[http://openit.kek.jp/project/atlas\\_phase2\\_sl/atlas\\_phase2\\_sl](http://openit.kek.jp/project/atlas_phase2_sl/atlas_phase2_sl)

# High-Luminosity LHC (HL-LHC) アップグレード

## LHC-ATLAS実験：

- $\sqrt{s} = 13 - 14 \text{ TeV}$   $pp$ 衝突のエネルギーフロンティア実験
- 目的：新粒子探索、標準模型の精密測定
- バンチ交差 40 MHz



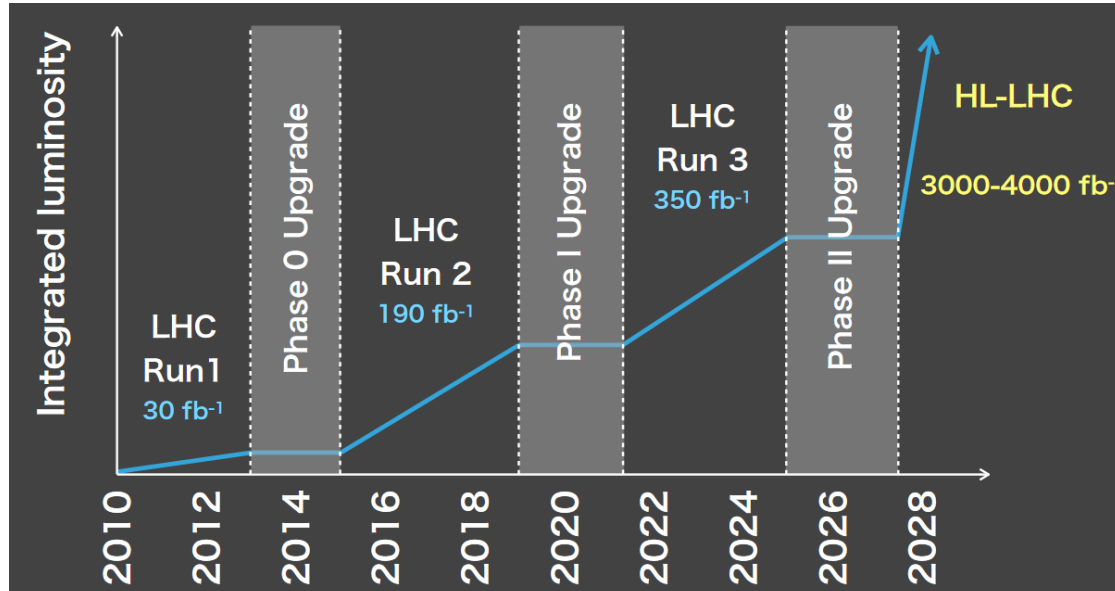
## HL-LHC：

- 瞬間ルミノシティを増強する計画

LHCデザイン：  
 $1.0 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$

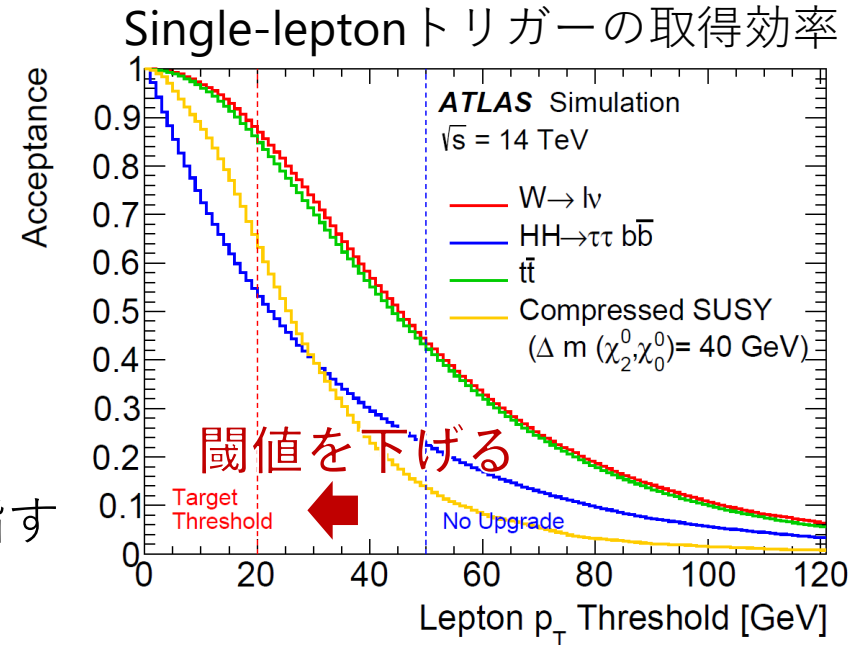
↓

HL-LHCデザイン：  
 $7.5 \times 10^{34} \text{ cm}^{-2} \text{ s}^{-1}$



# HL-LHCに向けたトリガーシステム刷新

- 現行のトリガーシステムでは、興味ある事象の取得効率が低下する
  - トリガーレートを抑えるために、 $p_T$  閾値を上げる必要があるため
- トリガーシステムを刷新することで  $p_T$  閾値を下げ、取得効率の向上を目指す



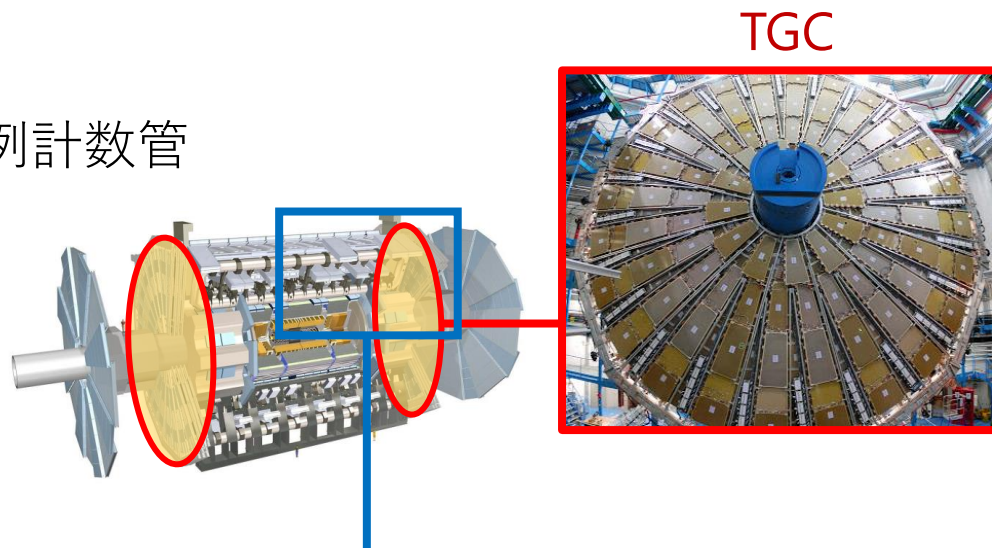
- 検出器の読み出し系を增強し、トリガーパラメータを変更
- これにより、現行より高度なトリガーアルゴリズムを可能にする

| ハードウェア<br>トリガー | 現行<br>(2015-2025) | HL-LHC<br>(2027-) |
|----------------|-------------------|-------------------|
| トリガーレート        | 100 kHz           | 1 MHz             |
| レイテンシ          | 2.5 $\mu\text{s}$ | 10 $\mu\text{s}$  |

# ミューオントリガーのコンセプト

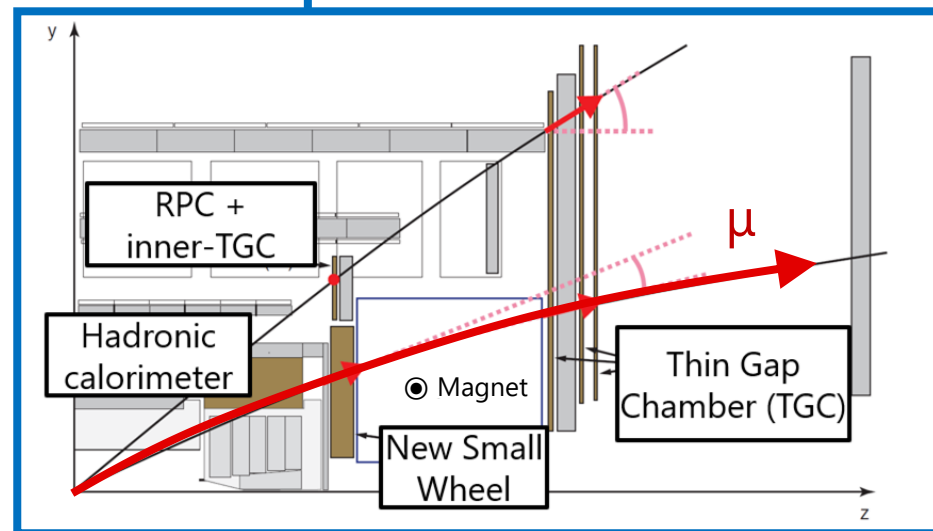
## Thin Gap Chamber (TGC) :

- ミューオン検出用の多線式比例計数管
- 高速応答(<25ns)
- 全32万チャンネル

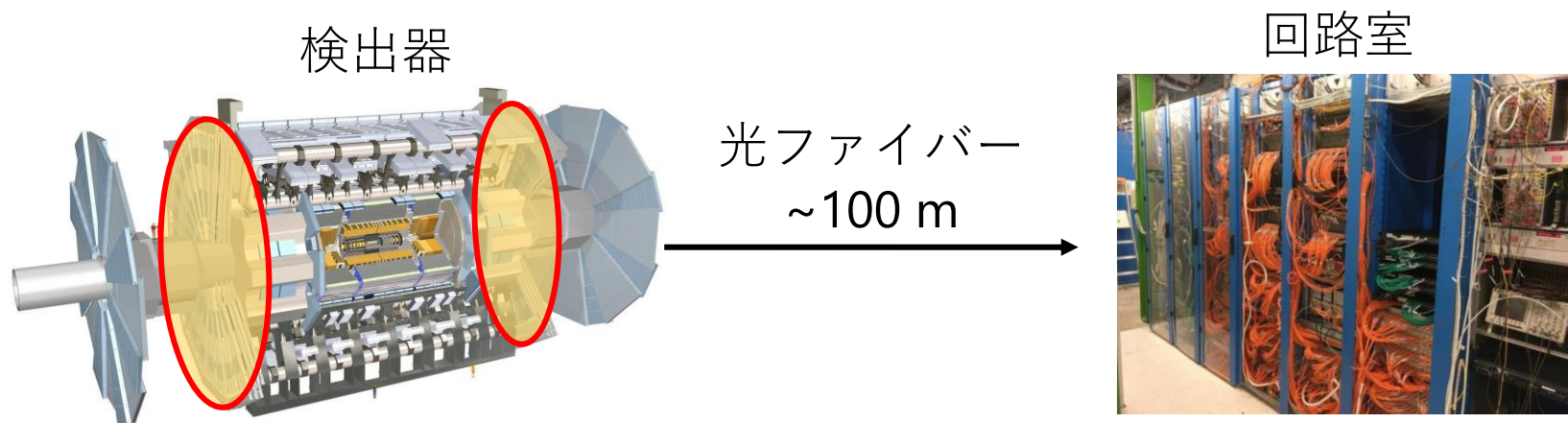


## エンドキャップ部ミューオントリガー :

- TGCのヒットをもとに、 $\mu$ 粒子候補を再構成
- トロイド磁場の内側の検出器の信号と組み合わせ、 $p_T$ を導出する



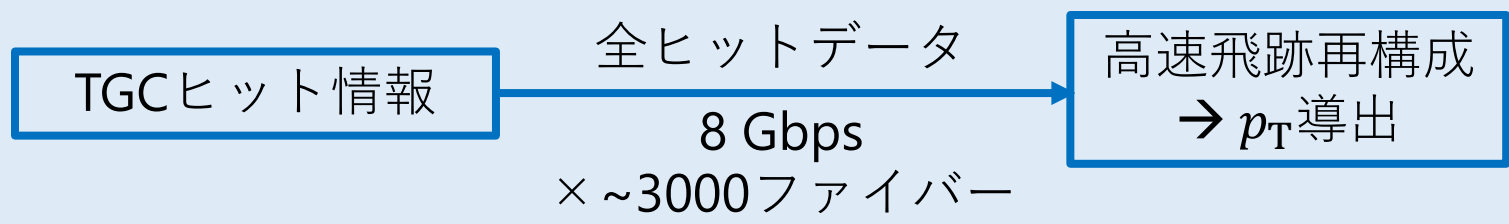
# 新ミュオントリガー：データ処理パスの変更



現行  
(2010-2025)

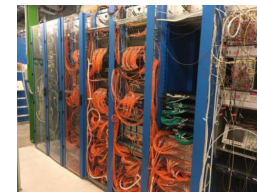
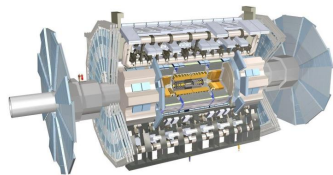


HL-LHC  
(2027-)



**“Send-all” scheme:** 高速データ転送技術を活用し、 $p_T$ 分解能を向上させる。

# 新ミュオントリガー：回路系の刷新



検出器ホール

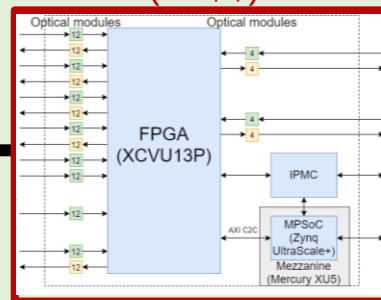
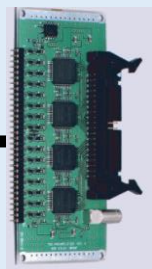
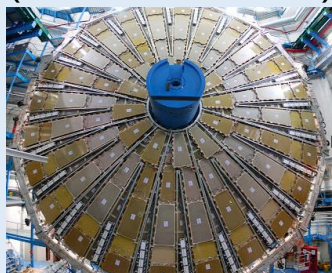
回路室

TGC  
(32万チャンネル)

ASD  
(~2万台)

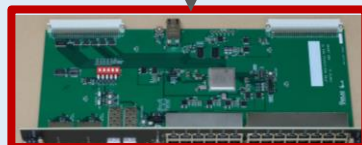
前段ボード  
"PS board"  
(1434台)

トリガーボード  
"SL board"  
(48台)



中央トリガー  
システム

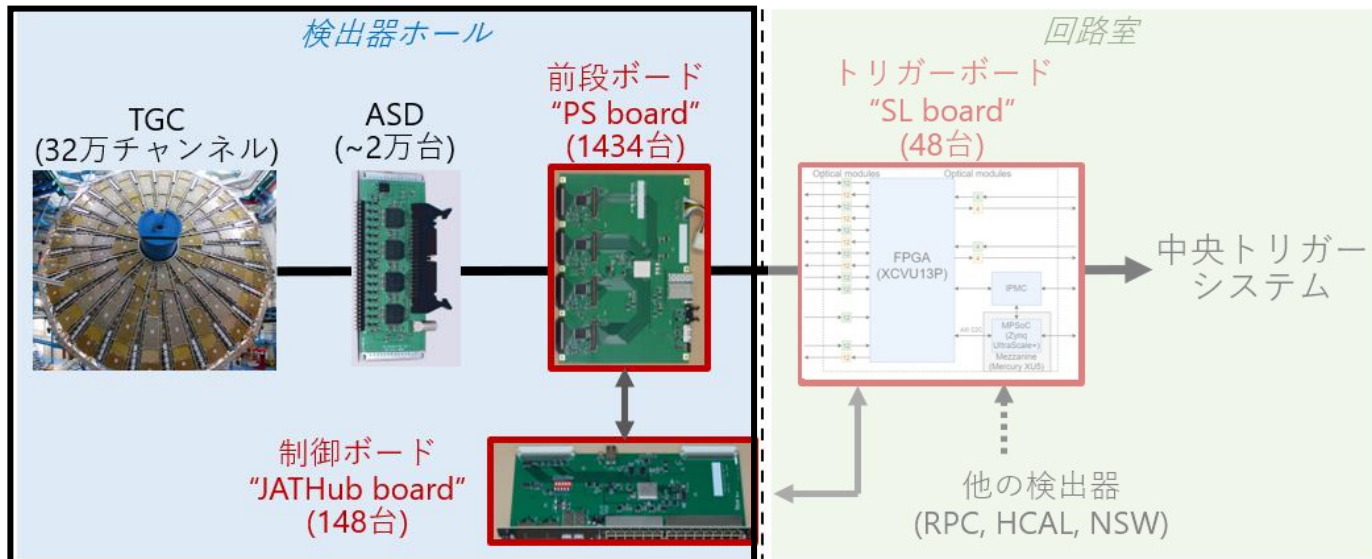
制御ボード  
"JATHub board"  
(148台)



他の検出器  
(RPC, HCAL, NSW)

回路系を大幅に刷新

# 検出器側





# 前段ボード

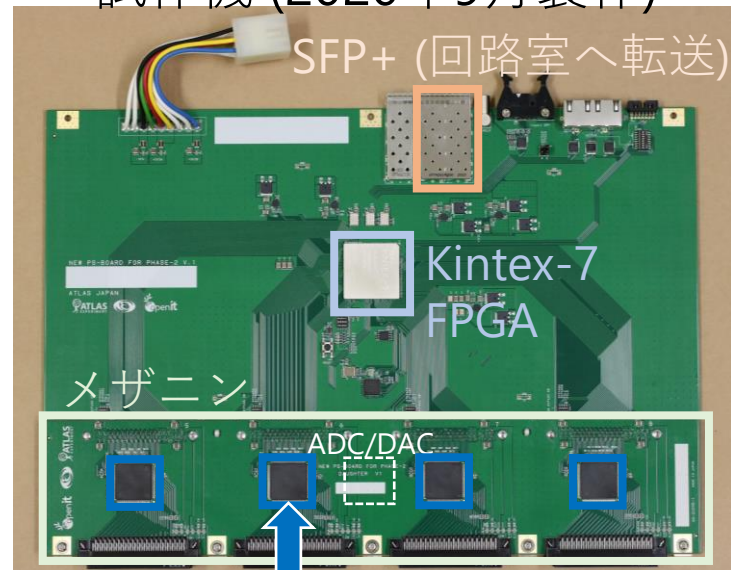
## “Patch-panel and Sender (PS)” board

- 1台でTGC 256チャンネルを受信 (全1434台)

### 機能：

- タイミング調整用の可変遅延回路 ( $\mu$ 粒子飛行時間、ケーブル長などを補正)
- 信号をバンチ交差と同期させるための識別回路
- ASDの閾値を調節するためのADC/DAC
- ASDへのテストパルス送信機能 (コミッションング用)

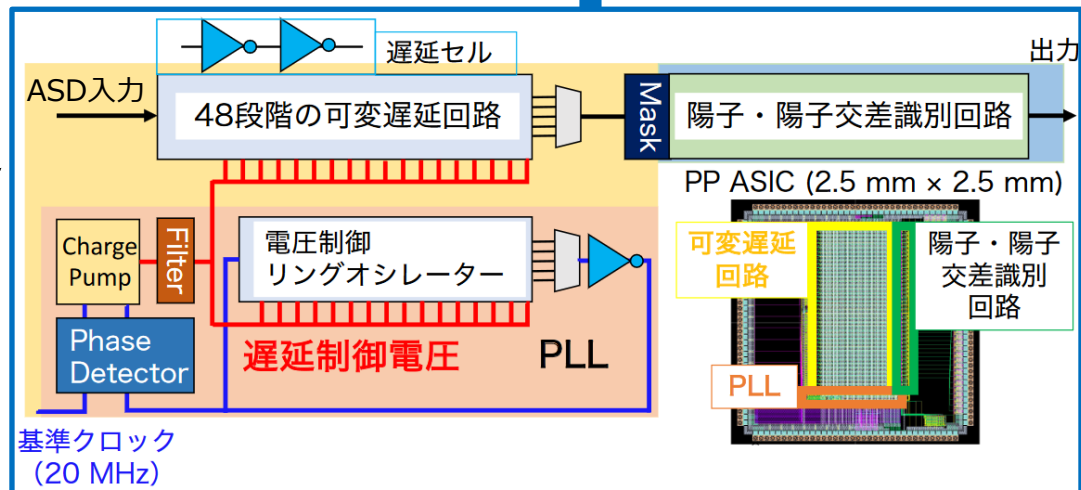
試作機 (2020年9月製作)



Patch-Panel ASIC × 8

- ASICは全25000個を新しく製造 (2020年3月に完了)

- 仕様は現行とほぼ同じ (一部マイナーな改善)

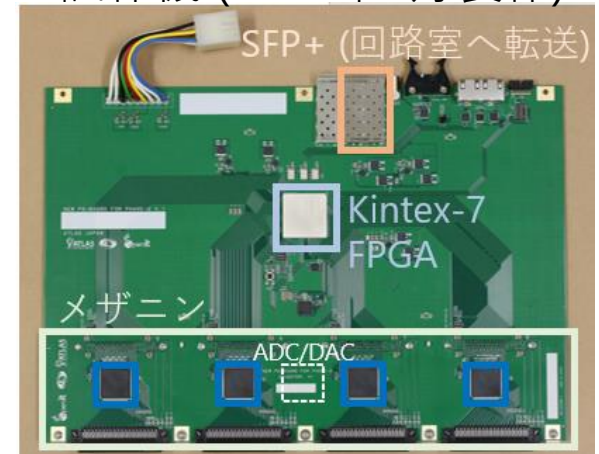


# PS boardの開発状況

## PS board試作機

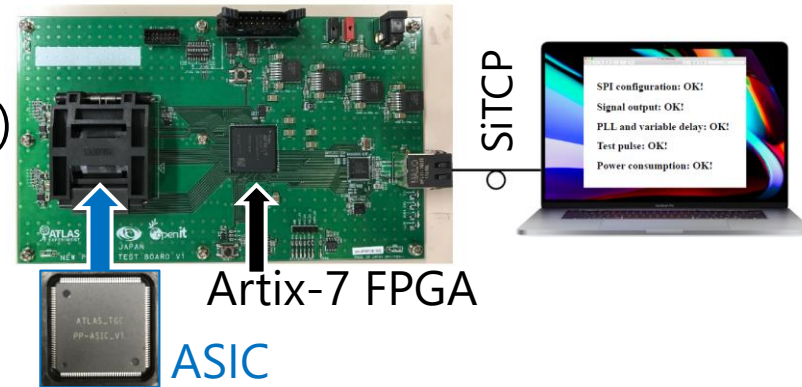
- 各機能の試験が順調に進行中
  - 例：
    - FPGA programming
    - SFP+光通信 bit error ratio測定
    - ADC, DAC linearity測定
- ファームウェア開発中
- 修正点を洗い出し、試作2号機の製作へ

試作機 (2020年9月製作)



## ASIC量産品の品質試験

- 品質試験用の専用ボードを製造し、自動検査システムを構築(1個あたり1~2分)
- 25000個中の6000個以上を試験完了し、歩留まり>90%を確認 (要求:>50%)
- ICソケットとASICとの接触不良に悩まされたが、ソケットを置き換えて解決した



ASIC

ICソケット  
コネクタ

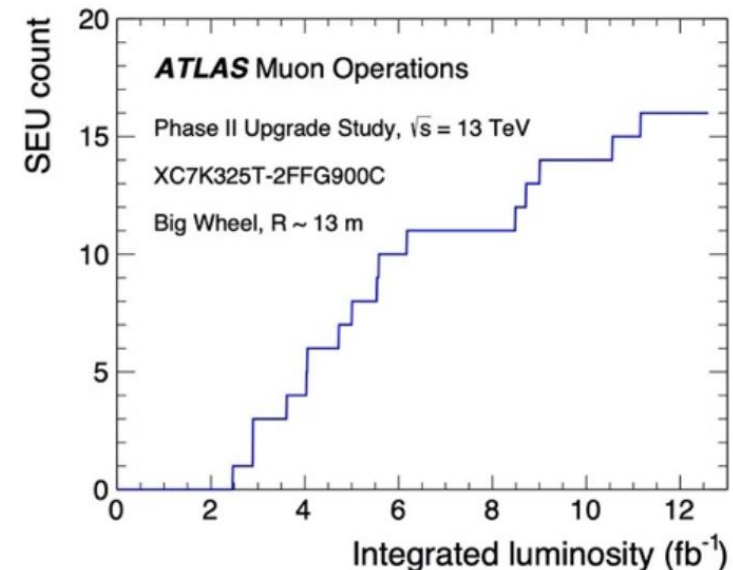
# PS boardの放射線耐性

- 要求：高放射線環境で10年以上稼働
- TID, NIELについては放射線照射試験で検証済み（バックアップ参照）
  - TID: 最大180 Gy
  - NIEL: 最大 $1.6 \times 10^{12} n_1 \text{ MeV equiv./cm}^2$



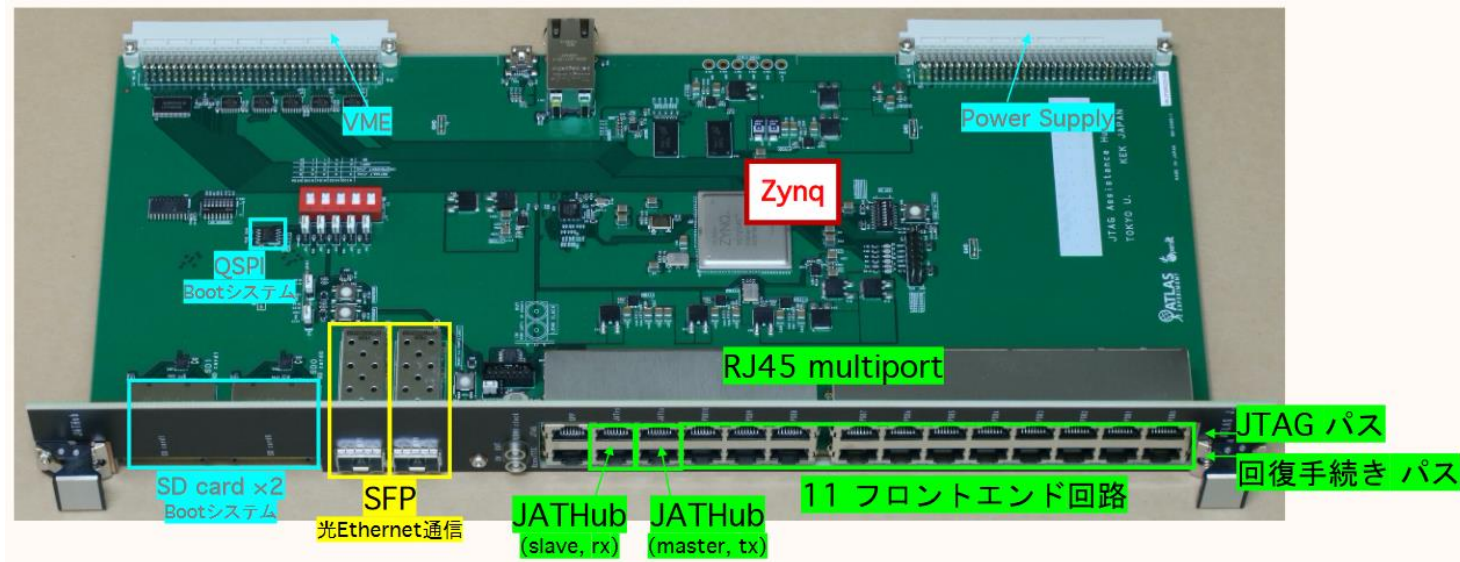
## Single event upset (SEU):

- FPGA Soft Error Mitigation (SEM) 試験：
  - PS boardのテストボードをATLAS検出器表面に設置（2018年9月の物理ラン中）
  - 観測した全てのSEU事象について、SEM機能によるFPGA自動復帰を確認した
  - HL-LHC環境に外挿すると、PS board全1434台のSEU発生は10秒に最大1回
- 稀にFPGA 1つでSEU 2事象が同時発生すると、SEM機能が機能しない懸念  
→ 外部からSEU回復を制御する（次ページ）



# 制御ボード ("JTAG Assistance (JAT) Hub" board)

試作機 (2020年4月製作)

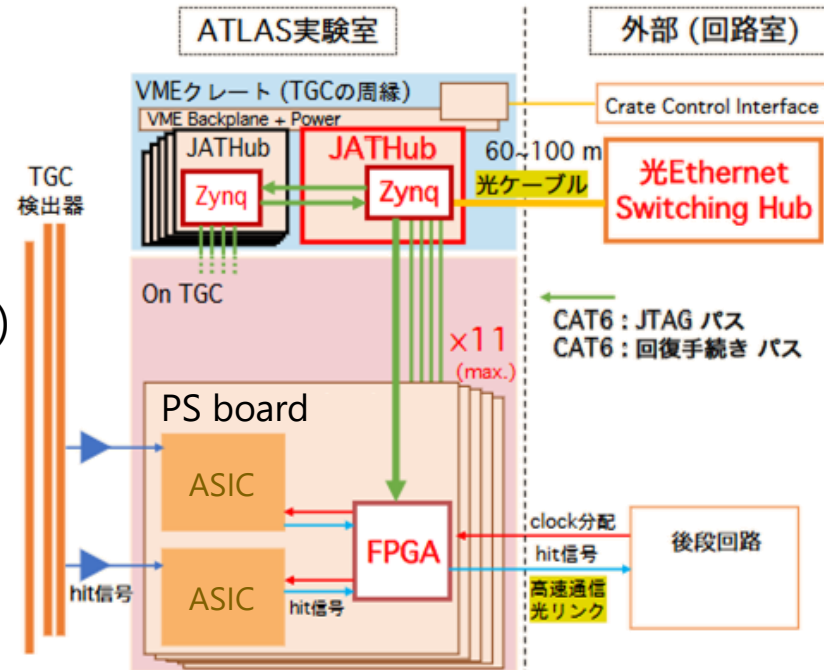


- 1台でPS board 11台を制御 (また、近隣のJATHub 2台と接続)
- 全148台
- 特徴：
  - 13対のRJ45ポート (PS board, JATHubとの接続用)
  - Zynq SoCの使用
  - BOOTシステム(QSPI flash, SDカード×2)：  
ブートファイルを2コピー用意して冗長性を確保

# JATHubを用いたremote control

## 1. PS boardのSingle Event Upset (SEU)対応

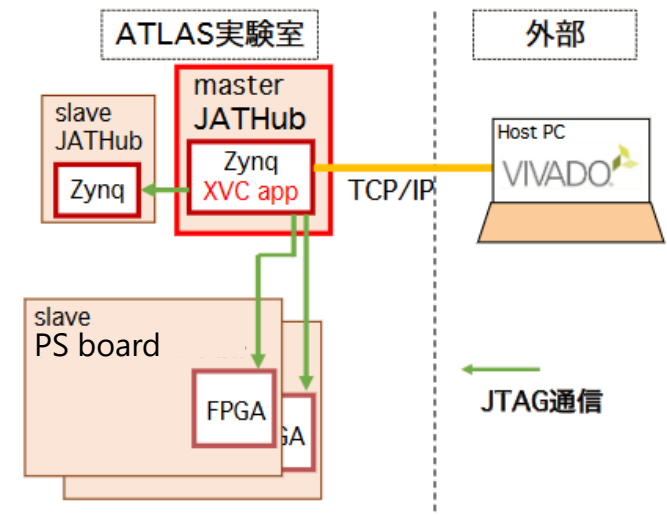
- 多くの場合はPS board FPGAのSoft Error Mitigation (SEM) 機能で対処可能 (※全1434台のSEU発生は10秒に最大1回程度)
- SEM機能が対処不能の場合、JATHubから自動reconfigurationを行う



## 2. PS boardのクロック位相の監視

## 3. FPGAへのremote JTAG access (Xilinx Virtual Cable使用)

- Firmware programming (FPGA, flash)
- デバッグ
  - 信号観測 (Integrated Logic Analyzer)
  - bit error ratio測定 (IBERT)



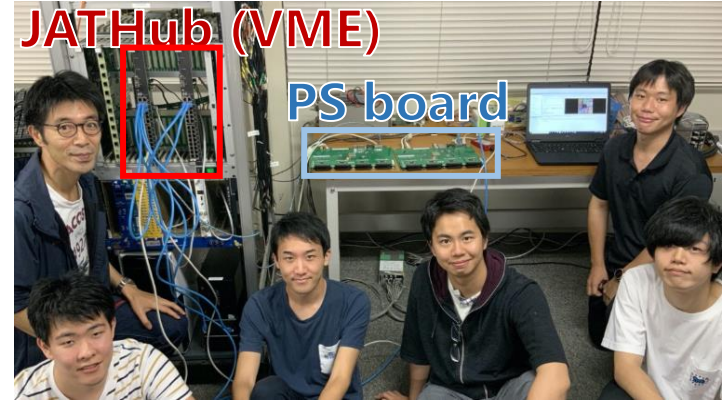
# JATHub remote controlの試験

テストベンチ@KEK

JATHub (VME)

PS board

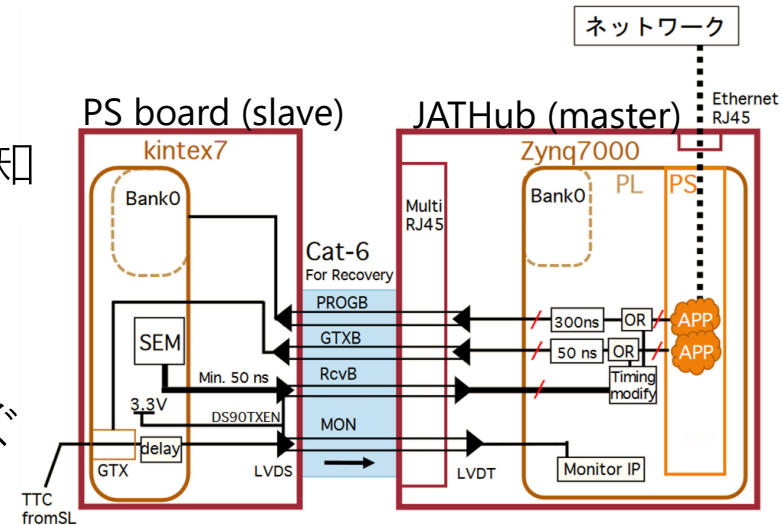
- JATHub — PS board接続試験を実施 (2020年10月)



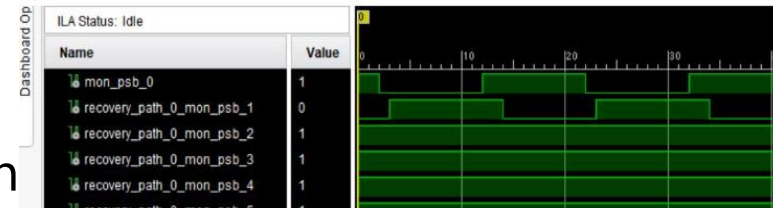
- SEU対策の自動reconfigurationを実証した

- PS boardからの救難信号をJATHubが検知
- JATHub → PS boardへPROGBを送信
- PS board FPGAがreconfigureされた

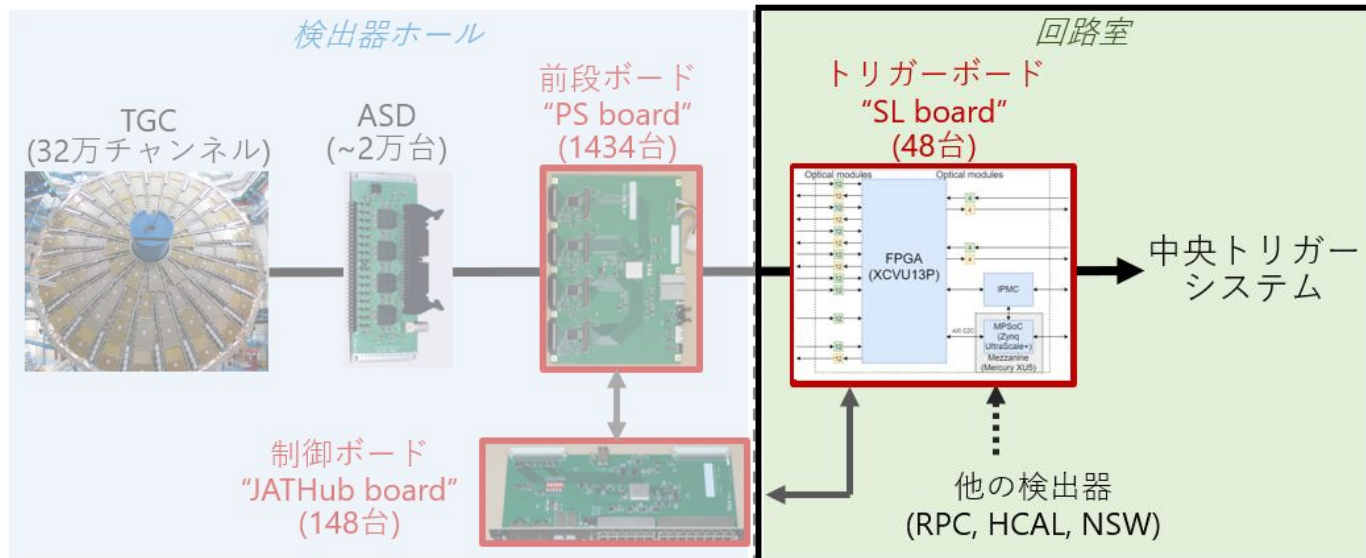
ポイント：Zynq内のSEUによる誤動作を防ぐため、多数決ロジックを実装している



- 他機能も実証した
  - PS boardのクロック位相の監視
  - Remote JTAG accessによるconfiguration



# 回路室側

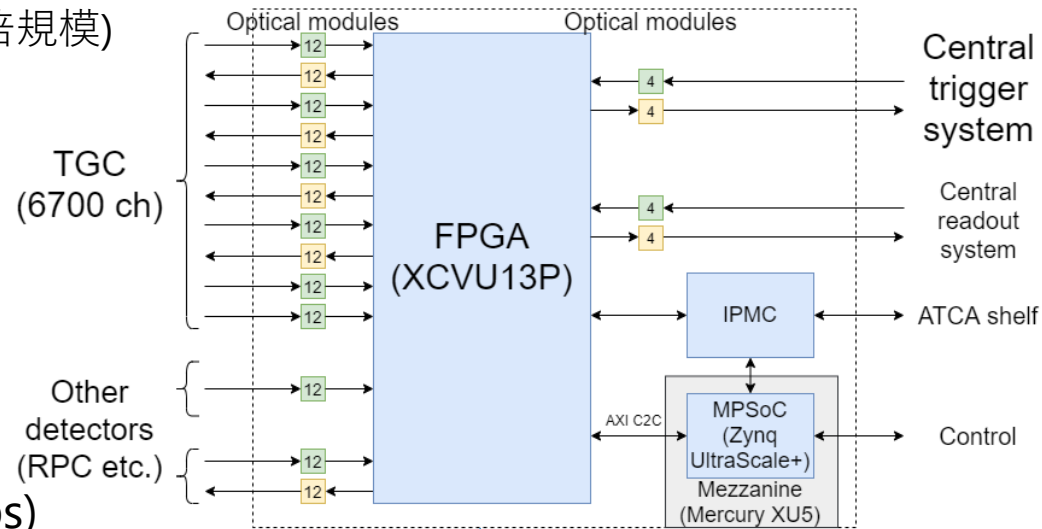


# トリガーボード ("Sector Logic (SL)" board)

- 大規模FPGAを利用 (Kintex-7の~10倍規模)

## Xilinx Virtex UltraScale+ (VU13P)

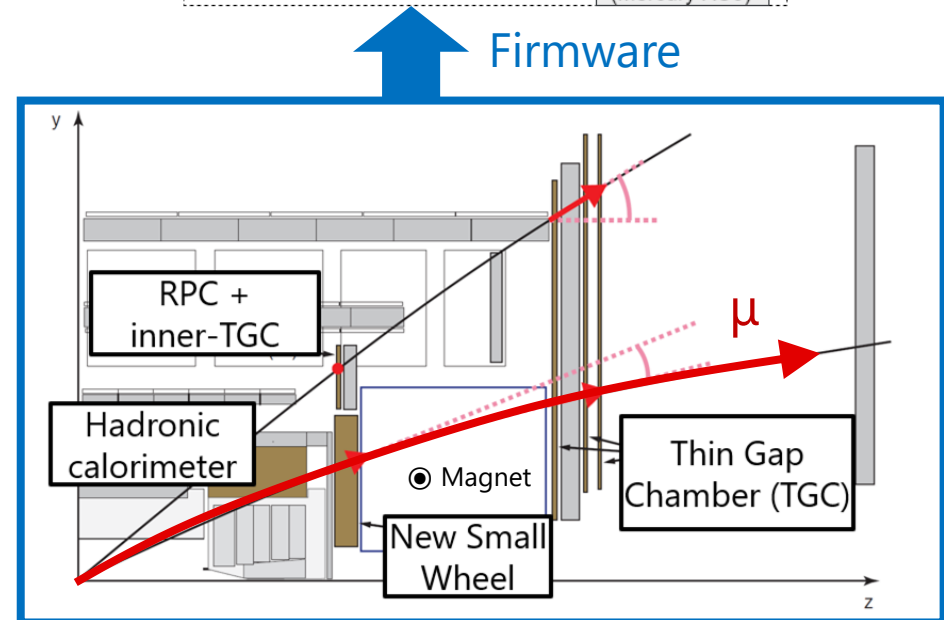
- ロジックセル： 3.8M個
- RAM： 455 Mb
- MGT (GTY)： 128個



- 135本の光ファイバーを接続し、FPGAで高速送受信 (各8.0-9.6 Gbps)

全48台

- TGCのヒットデータをもとに、 $\mu$ 粒子飛跡を再構成 ( $\sim 100$  ns)
- トロイド磁場の内側の検出器と組み合わせ、 $p_T$ を算出 ( $\sim 1$   $\mu$ s)



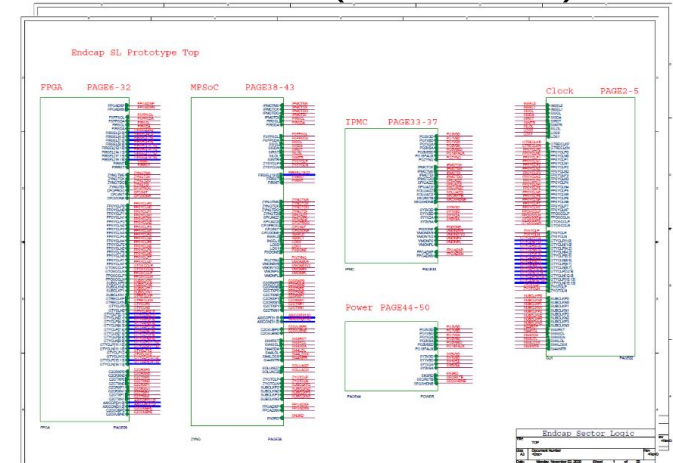


# SL board 開発とチャレンジ

## 回路図 (50ページ)

**基板：** 試作機の回路図・レイアウトを作成中

- 135チャンネル用の光モジュールの配線
- 大規模FPGAの消費電力と排熱



**ファームウェア：** 試作版の開発が進行中

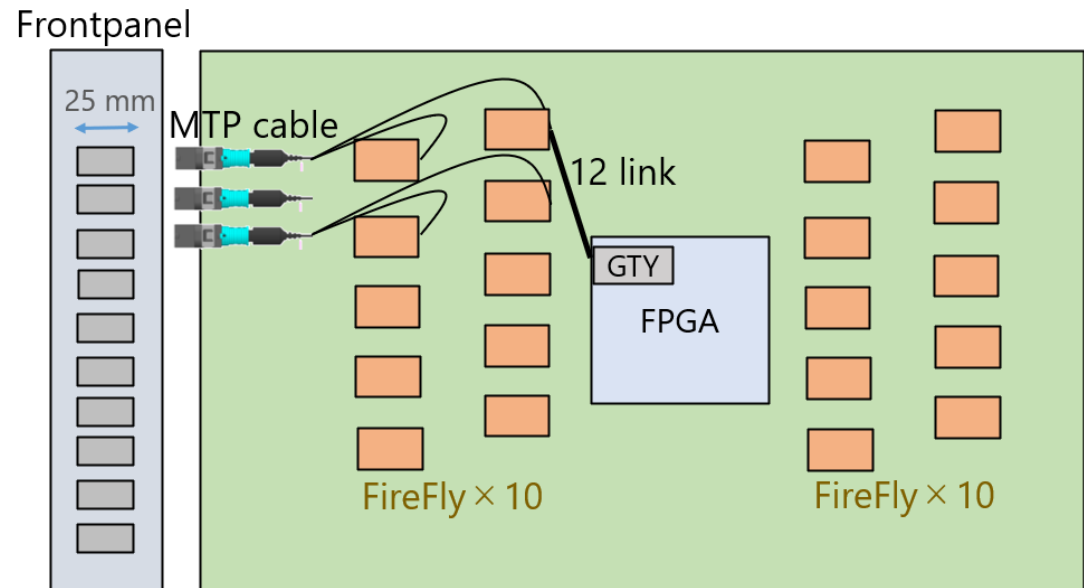
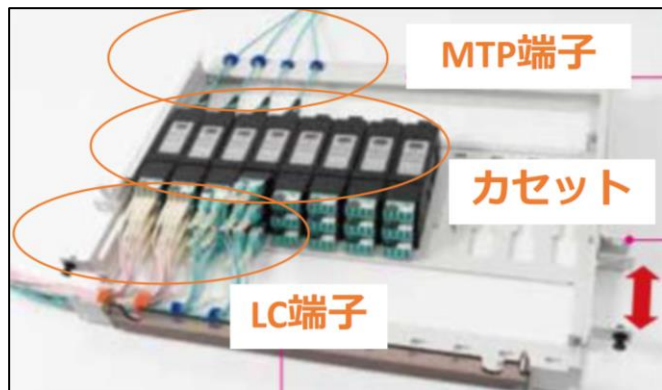
- 大規模FPGAの特性に基づいたファームウェアデザイン
- 大規模RAMの活用

## XCVU13P



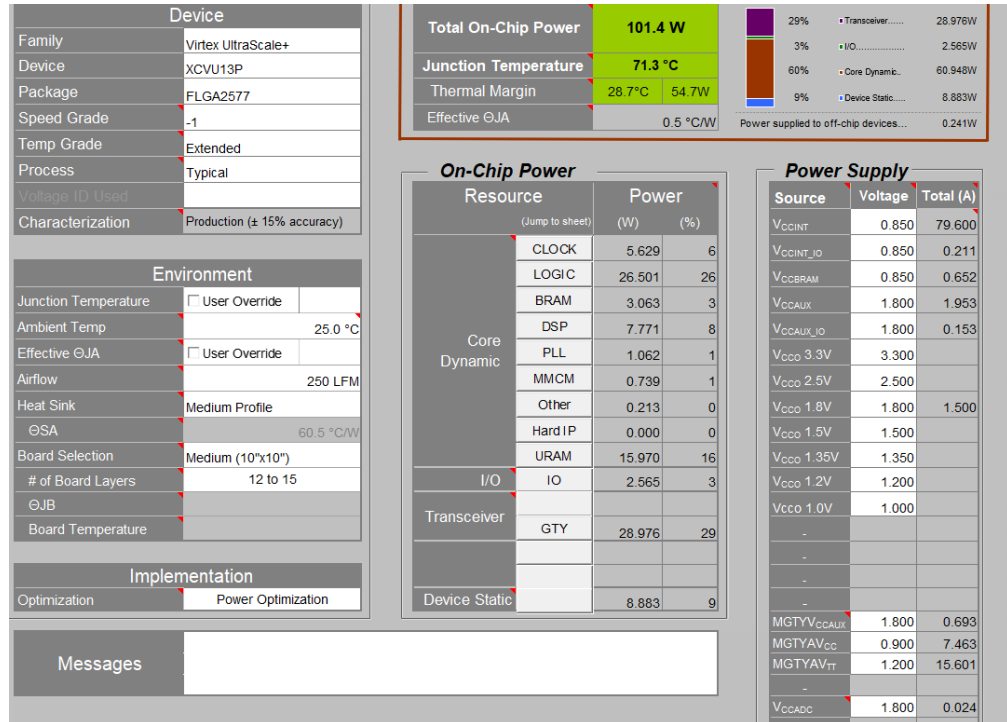
# 135チャンネル用の光モジュール配線

- Samtec FireFlyを採用
  - 1モジュールで光ファイバー12本を扱う
  - メリット：フットプリントが小さい



- 汎用性を高めつつ、フロントパネルの占有面積を小さくするためのデザインを採用
  - FireFly 2モジュールを、1つのMTPケーブル (24 link) に接続する
  - カセットを用いてMTP端子をLC端子へ変換し、各接続先と配線

# FPGA (XCVU13P)の消費電力の試算

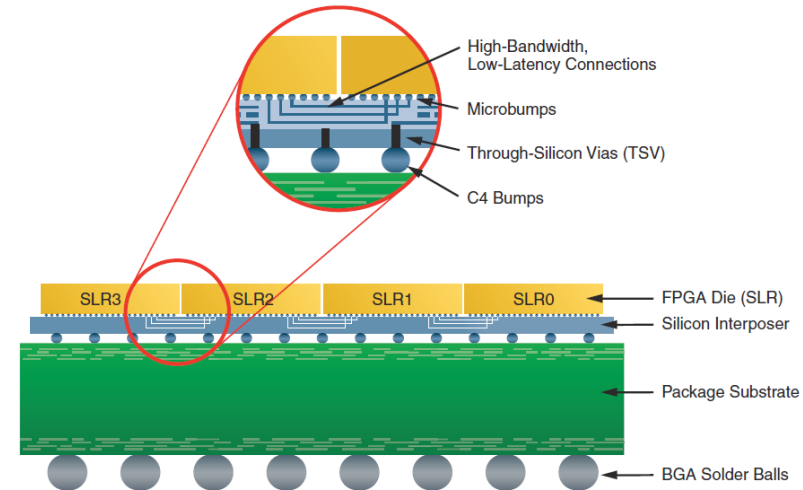


試算条件：  
 トグルレート 25%  
 ロジックセル 60%  
 RAM 100%  
 クロック 240 MHz

- Xilinxが提供しているツール (Xilinx Power Estimator)を用いて試算
- 試算値は100 Wで、ボードの供給電力 (350 W)の範囲に収まっている
- ATCAシェルフの空冷で排熱が十分かどうかは、ボード試作機を用いて検証予定

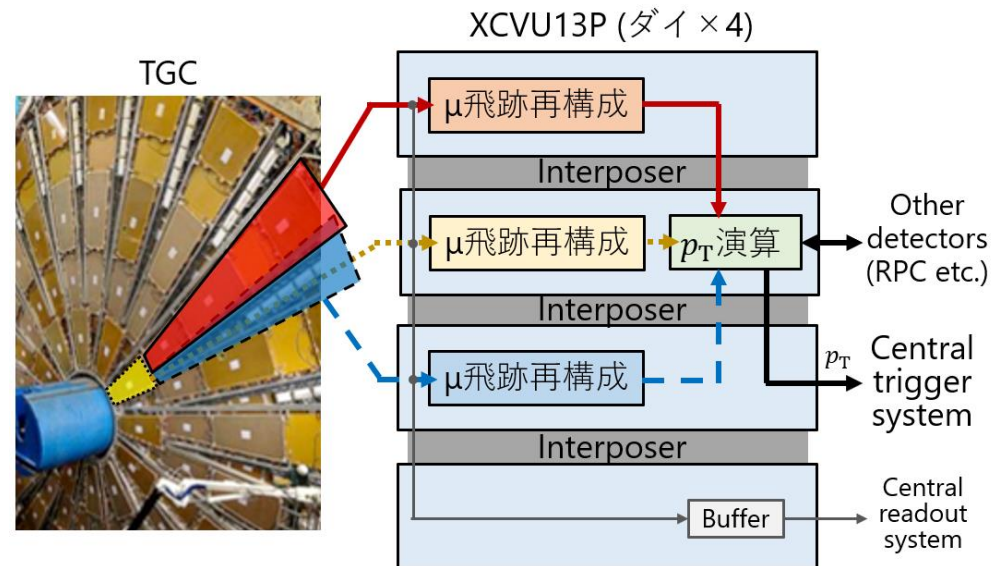
# FPGA構造に基づいたファームウェア開発

- XCVU13P FPGAは、4つのダイを連結して構成されている  
("Stacked Silicon Interconnect")
- ダイ間の信号の送受信には制約がある
  - レイテンシ ( $O(ns)$ )
  - 信号線数が有限 (計23 Kb分)



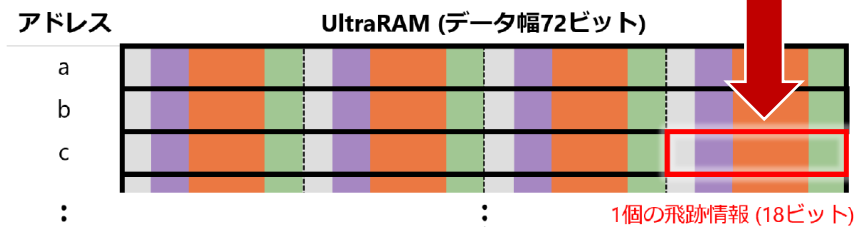
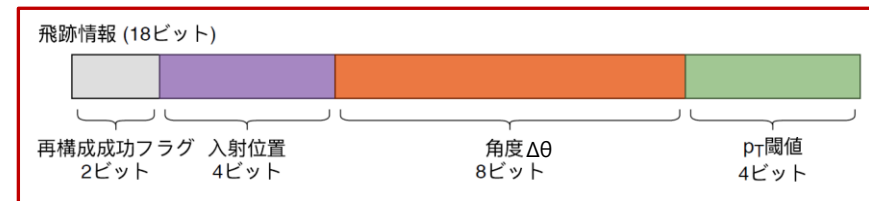
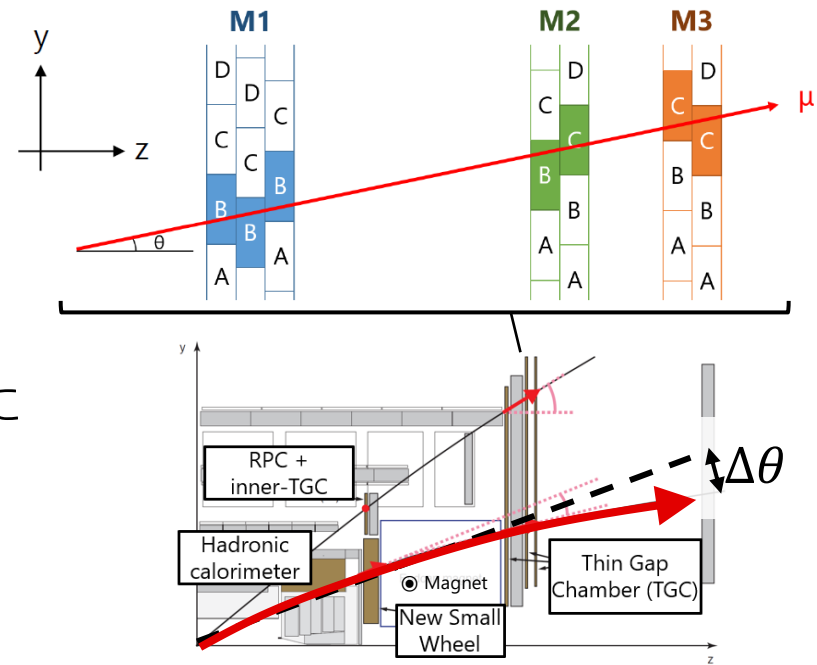
- $\mu$ 粒子飛跡再構成をTGCセクターごとに実行し、各実行ブロックを各ダイに配置することとした  
→ レイテンシ低減

- 光ファイバーの接続先のアサインをこれに従って定めている



# $\mu$ 粒子飛跡再構成とFPGA RAM

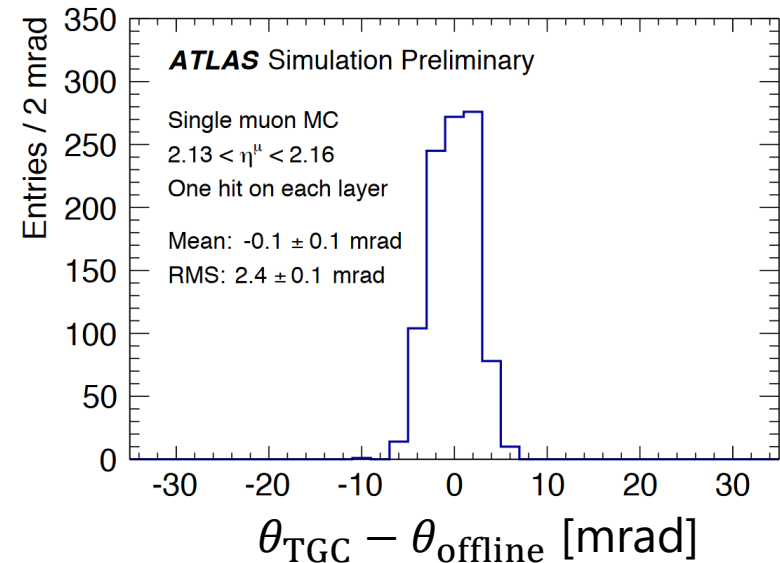
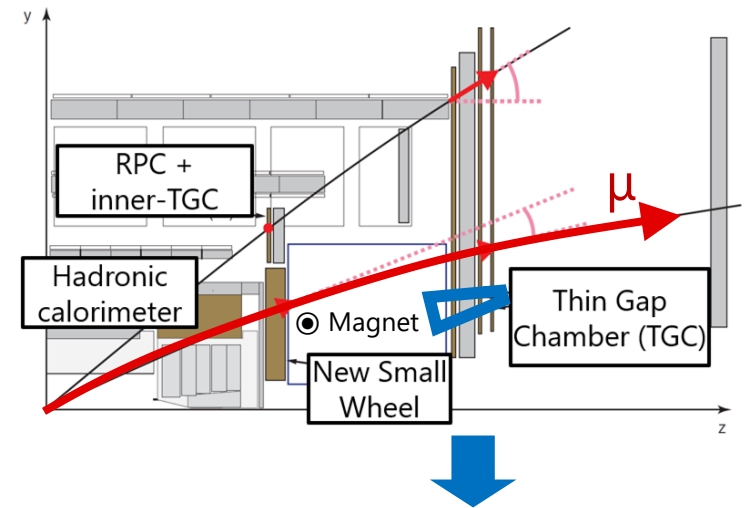
- “パターンマッチング”手法：  
TGCにおけるヒットパターンをもとに、 $\mu$ 粒子飛跡の角度を導出する ( $\sim 100$  ns)
- 大容量FPGA RAM (UltraRAM 計350 Mb)に  
飛跡の角度情報を事前に格納し、  
それを参照する
- UltraRAMの難点は、データ幅が72 b  
で固定 (unconfigurable) であること
- 本研究では、飛跡情報(18 b)を  
各アドレスに4セット格納することで、  
UltraRAMの使用量を節約できた  
( $\sim 100$  Mb使用)



1個の飛跡情報 (18ビット)

# $\mu$ 粒子飛跡再構成のFPGA実機テスト

- Virtex UltraScale+の評価ボード (VCU118)を用いて、  
ファームウェアの動作実証を行った
- 試験対象：
  - 一部領域( $2.16 < \eta < 2.19$ )
  - 単一 $\mu$ 粒子のMCシミュレーション ( $p_T = 20 \text{ GeV}$ )
  - $\eta$ 座標 (アノードワイヤ)のみ
- 結果：
  - 再構成効率：97%
  - レイテンシ：81 ns (固定)
- 性能目標の達成を確認できた



# 今後の計画

## PS board & JATHub board :

- 試作機の性能試験のうち未達成項目を進め、修正点を洗い出す  
→ 試作2号機のデザインに反映する（目標：今年度中）
- JATHubのクロック監視機能を用いた、  
PS board間のクロック位相の調整機構を実証する
- 試作2号機で修正点を確認出来たら、初期量産品の作成へ

## SL board & firmware :

- 試作機の回路図・レイアウトを完成させ、製作へ（目標：今年度中）
- ファームウェアの試作1号を作成。  
試作機で性能試験を実施し、実機仕様へと洗練させていく。

# まとめ

- High-Luminosity LHCアップグレードに向けて、  
ミュオントリガーを刷新する
  - TGC検出器の全データを回路室に送信し、 $\mu$ 粒子の飛跡を再構成
- タイミング調整ボード(PS board)および制御ボード(JATHub board)の  
試作機の製作を完了した
  - PS boardのタイミング調整機能を実証した
  - JATHub boardによるSEU回復機能を検証し、  
slaveのFPGAが正しくreconfigureされることを確認した
- トリガーボード(SL board)の試作機の作成が進行中
  - 多チャンネル光ファイバーの信号を配線するデザインを決定した
  - 大規模FPGAの特徴（ダイ構造、UltraRAMの特性）を踏まえた  
ファームウェアデザインの作成が進行中
- 総じて、2025年のインストールに向け、開発が順調に進行中



# Backup

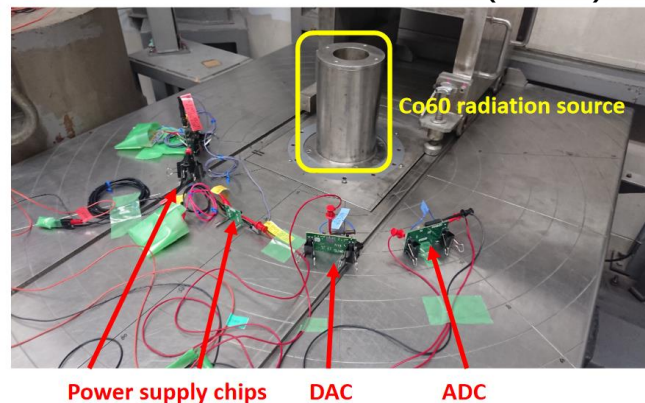
# PS board & JATHub: 素子の放射線耐性試験

- 要求値： 放射線量シミュレーション (FLUKA) を保守的に補正して導出
- 補正係数： ICのロット依存性、線量依存性、シミュレーション不定性

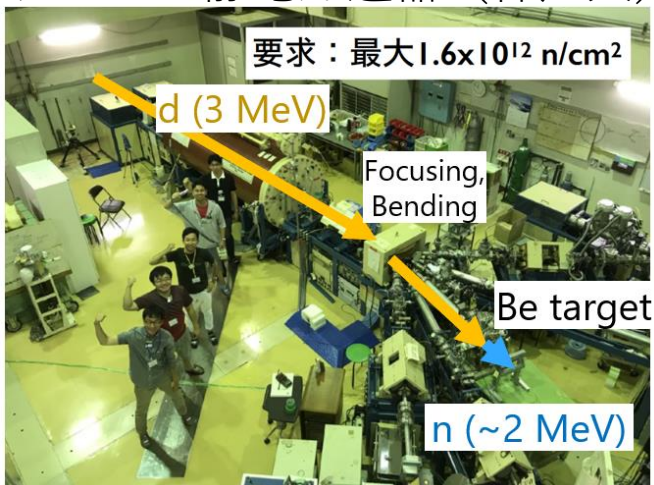
## Total ionizing doze耐性：

- 要求：最大180 Gy (補正係数=30)
- 2018-2019年に計8週間の照射試験を実施
- 各素子(ASIC, SFP+, Si5344, SD card etc.) のTID耐性を実証した

コバルト60照射室 (名大)



タンデム静電加速器 (神戸大)



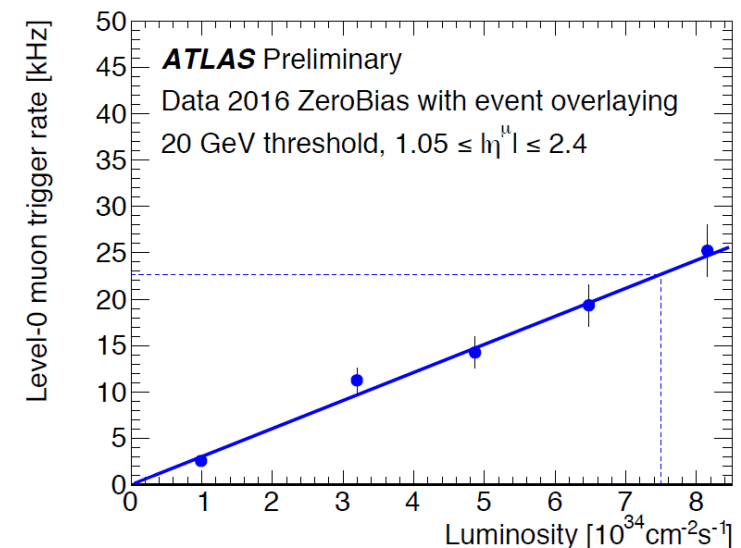
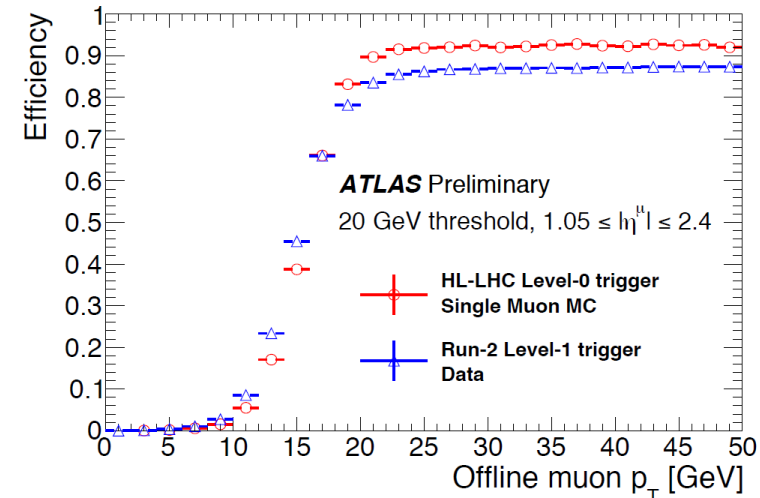
## Non-ionising energy loss耐性：

- 要求：最大 $1.6 \times 10^{12} n_{1 \text{ MeV}}/\text{cm}^2$  (補正係数=8)
- 2019年に計3週間の照射試験を実施
- 各素子(ASIC, SFP+, DAC, LDO, voltage reference) のNIEL耐性を実証した

# 新エンドキャップミュオントリガー の性能推定

27/24

- トリガーアルゴリズムをC++コードでエミュレートし、性能を推定した
- トリガー選別効率 ( $p_T > 20$  GeV) :
  - $\mu$ 粒子のMCシミュレーションをもとに算出
  - $p_T$ 分解能の向上によって、現行(Run 2)に比べてturn-onがよりシャープになっている
- トリガーレート ( $p_T > 20$  GeV) :
  - Run 2実験データを重ね合わせて、HL-LHC環境をエミュレート
  - レート < 30 kHzであり、要求を満たしている  
(※ハードウェアトリガーレートの総和は1 MHz)

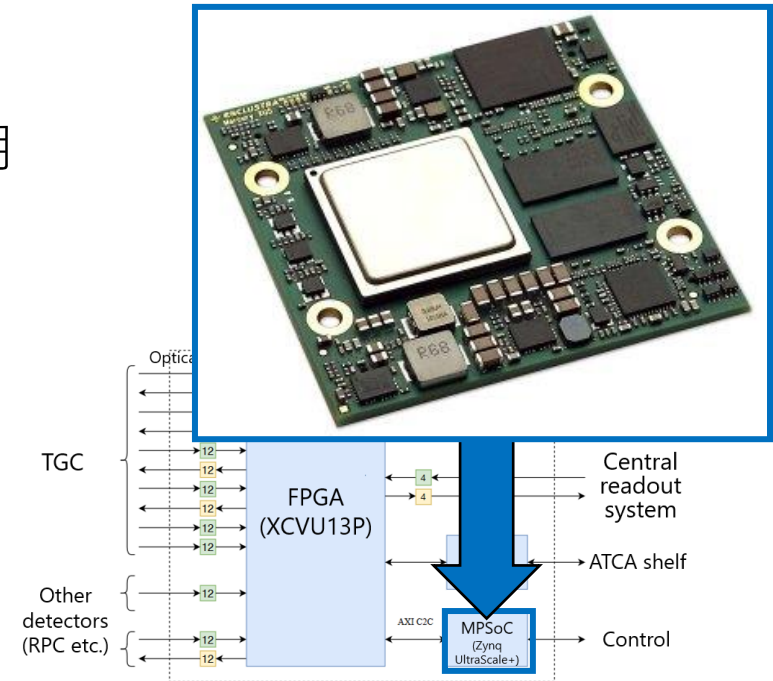


# SL board: 商用MPSoCメザニンの使用

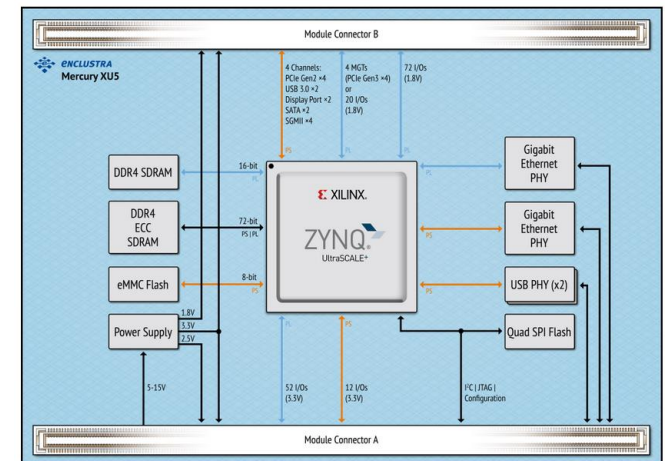
- MPSoCとして、商用のメザニンを採用

## Enclustra Mercury XU5 mezzanine

- Xilinx Zynq UltraScale+ MPSoC
- DDR4 SDRAM, eMMC flash, quad SPI flash, Gigabit ethernet PHY, USB



- これによって、回路基板の開発の手間を削減



# TGC検出器回路系の模式図

