

Hyper-Kamiokandeのための エレクトロニクスの開発

片岡洋介, 早戸良成, 竹本康浩, 田代拓也, 泉山将大^A, 久世正弘^A,
石塚正基^B, 米永匡伸^B, 菅沼匠人^B, Hyper-Kamiokande Collaboration
(東大ICRR, 東工大理^A, 東理大理工^B)

内容

- イントロダクション
Hyper-Kamiokande, HK PMT, HK Electronics
- 各コンポーネントの開発状況
Digitizer, Timing分配, HV, 防水ケース

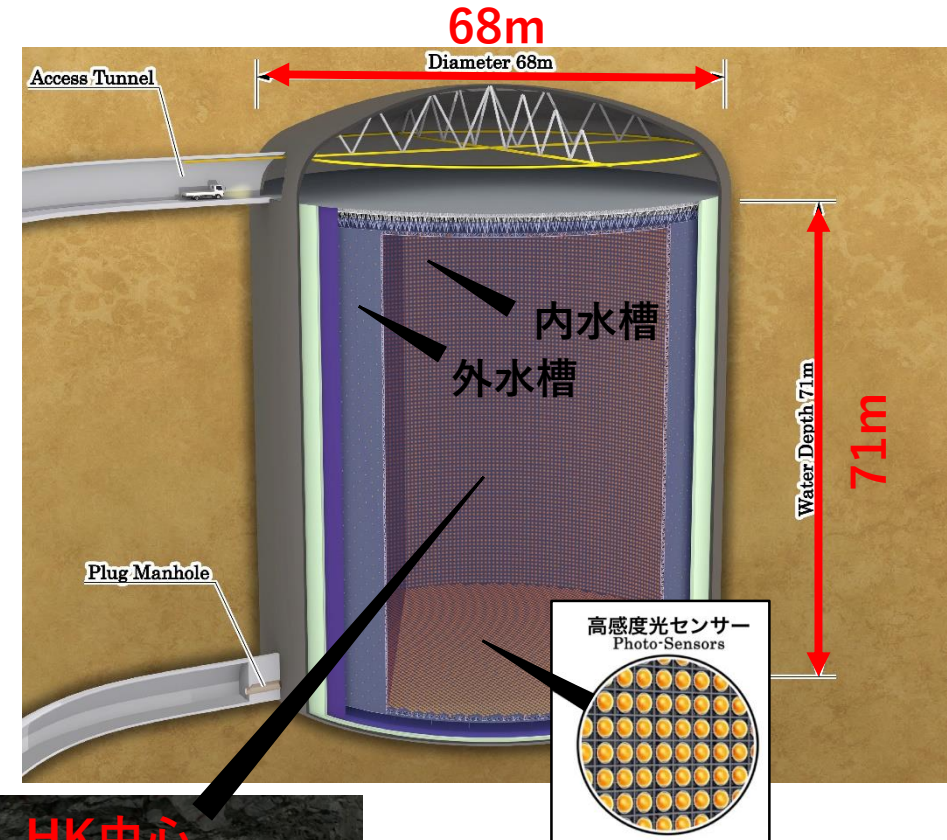
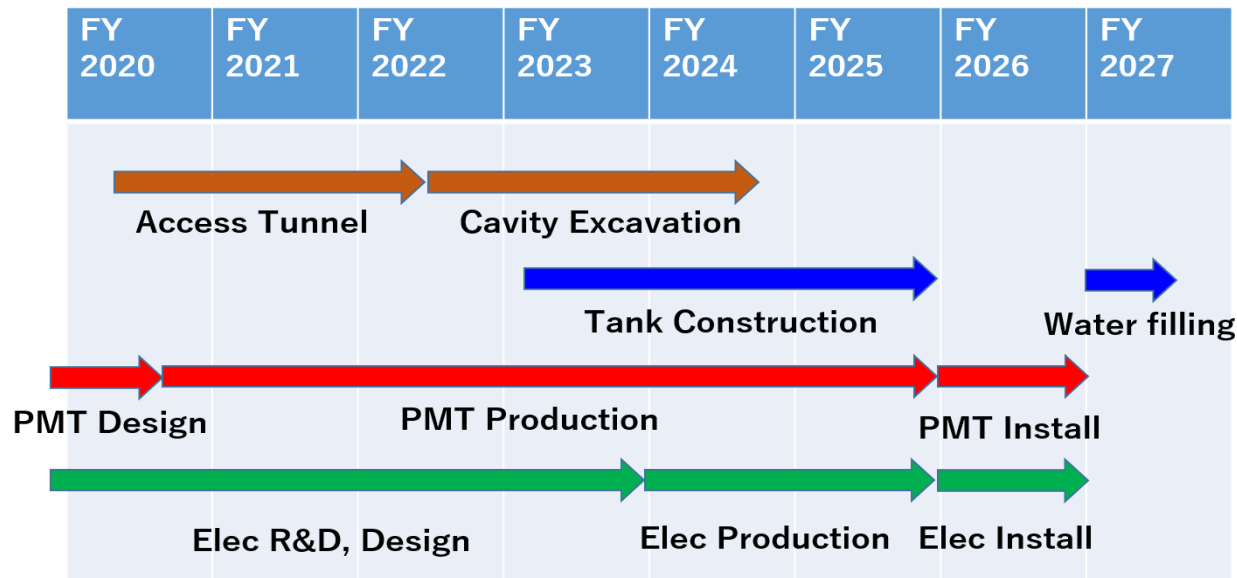
開発段階ですのでお気づきの点あれば遠慮なくご指摘ください。

ハイパーカミオカンデ

- SKの10倍の観測質量をもつ水チェレンコフ検出器、光感度2倍の新型PMTをベースラインとしたSKの後継実験
- CP非対称性の破れや核子崩壊、天体ニュートリノ観測などについて大幅な感度向上
- 2027年の観測開始を目指し建設を開始した。

エレクトロニクスについても今後2~3年でデザインの確定、その後、量産・インストールへ

HK実験スケジュール

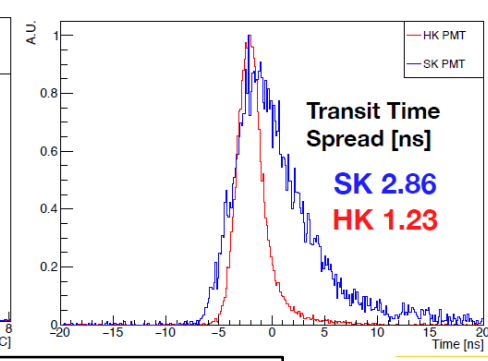
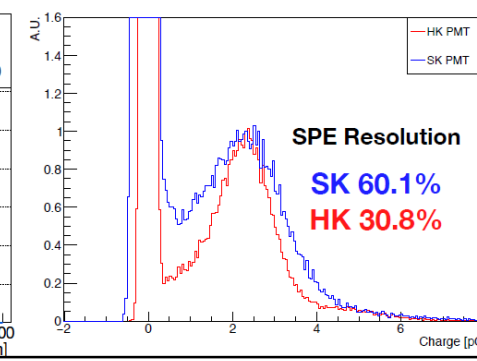
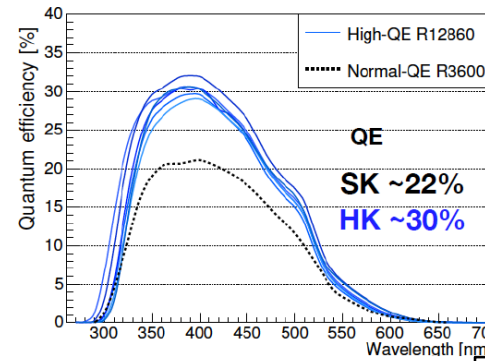


タンク:
 高さ71m x 直径 68m
 容量 26万トン
 (観測質量 19万トン)

HK PMTs

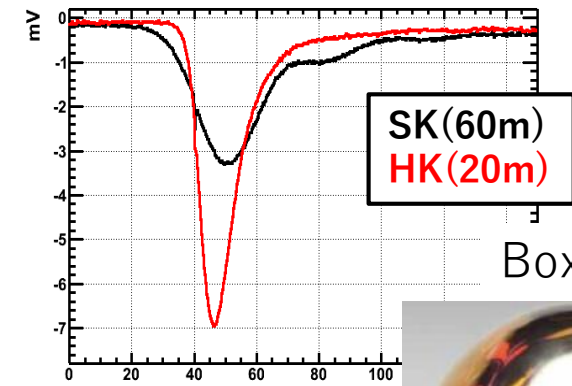
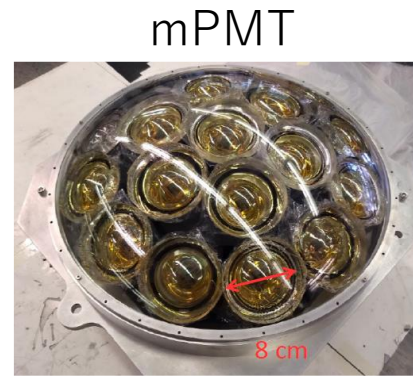
新たに開発された複数のPMT

- **Box&Line PMT** (~20000本以上)
 - 内水槽用新型20インチPMT
 - SK PMTと比較して電荷/時間分解能、光感度、耐水圧、それぞれ2倍！
 - 壁面20%を覆う



HK PMTはより速く、高分解能へ

- **multiPMT** (~5000本)
 - 内水槽用PMT(3インチPMTx19本)
 - 海外勢が主導する方向感度に優れたPMT



- **OD PMT** (~13000本)
 - 外水槽用3インチPMT
 - WLSプレートを装着



PMTの本数はSKの3倍以上、またSKより高分解能な信号処理をエレキに要求

HK Electronics

SKとの最大の違い

長いケーブルによる信号の劣化やケーブルの総量を抑えるためエレキを水中に設置

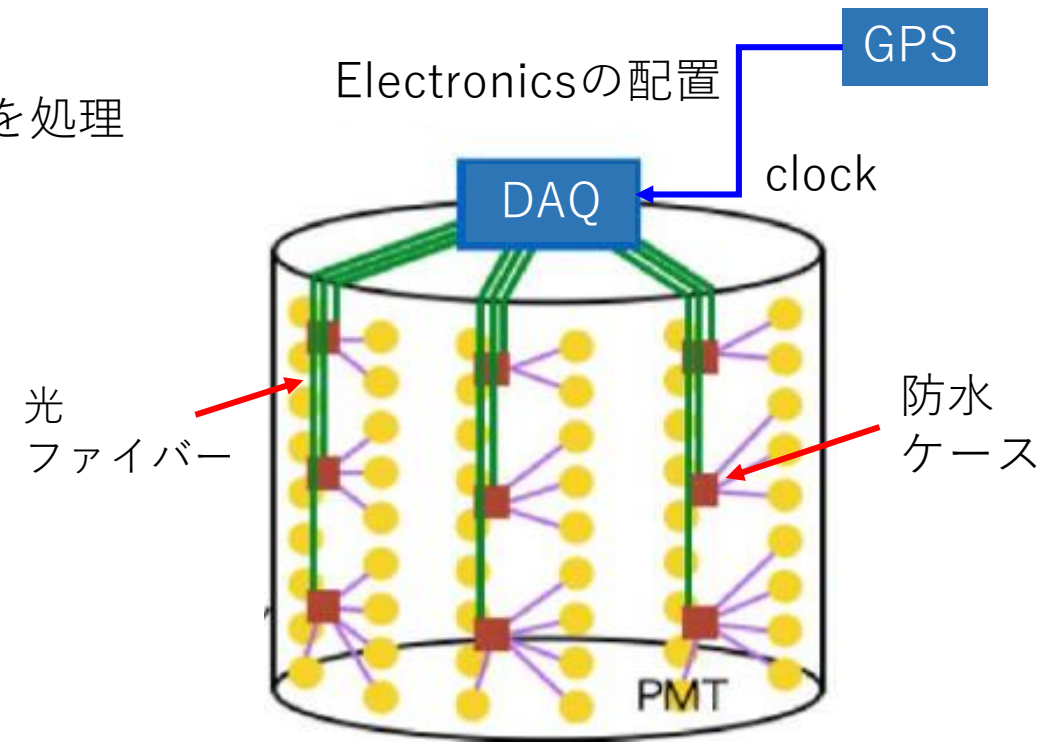
→ 防水耐圧、交換不可、排熱など数々の課題を克服する必要がある！

Frontend Electronics

- 約2000台の防水ケースにDigitizerとHVを収納、24本のPMTを処理
- PMT信号をセルフトリガーで検出・Digitize
- 全ヒットを光ファイバーでタンク上のBackend/DAQに転送

Backend/DAQ

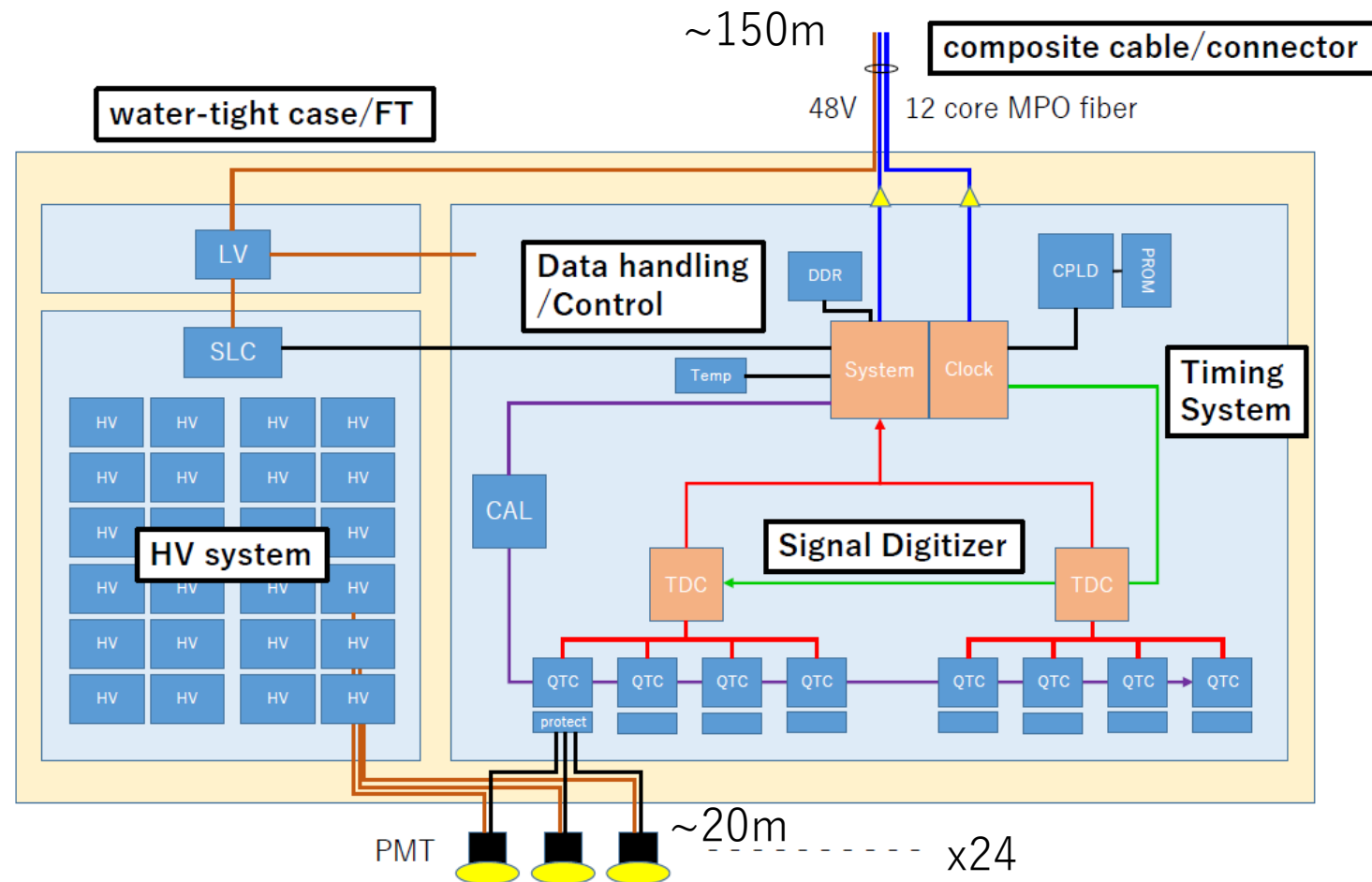
- ソフトウェアトリガー、記録
- GPSを元にしたクロックを光ファイバーで全フロントエンドに分配 (JPARCとも同期)



Frontend Electronics

各コンポーネントの開発を並行して進めている

- 防水ケース
 - ✓ 1MPa耐圧、 ϕ 300の円筒型
- 電子基板
 - ✓ Signal Digitizer
 - ✓ Data handling/Control
 - ✓ Timing System
 - ✓ HV system
- PMTとの接続
 - ✓ 20mの複合ケーブル(HV/信号2同軸)
- Backendとの接続
 - ✓ 150mの光ファイバー(12芯のMPO)
 - ✓ DAQ(2線)、Timing system(3線)
二重化して障害故障に備える
 - ✓ 48V電力線

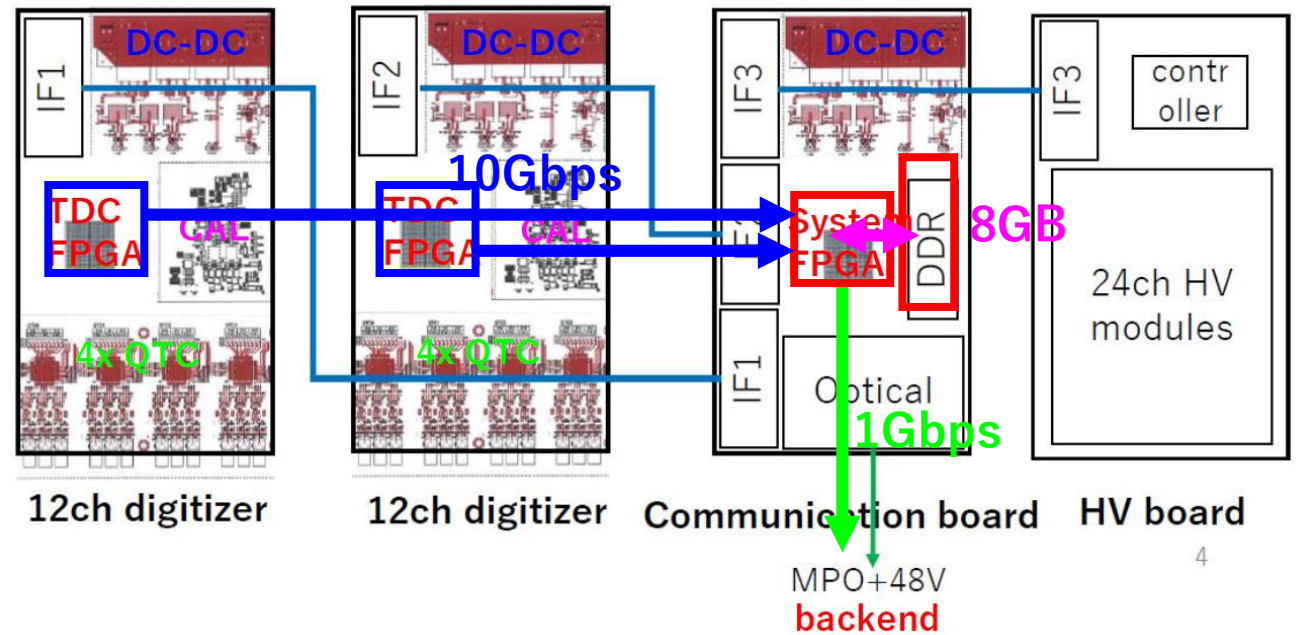


電子基板

防水ケースに収めるため分割&スタック(23cm x30cm)

- Digitizer board x2
 - ✓ ASIC+FPGA
 - ✓ GTX転送(~10Gbps)で後段FPGAへ
- Communication board
 - ✓ FPGA
 - ✓ 1Gbps光接続
 - ✓ 8GBのDDRメモリでバッファ
- HV board
 - ✓ 24 ch

分割基板 (概念図)



データ量

常時(dark rate) ~ 5Mbps/FE (5kHz/PMT)
SN時(最初1s) ~ 600Mbps/FE (600kHz/PMT)
(~10s) ~ 170MB/FE

外部接続までボトルネックのない転送
近傍SNに十分なバッファ

Digitizer

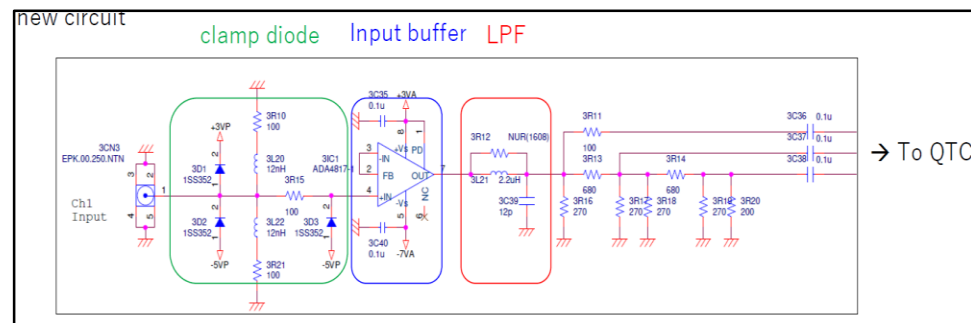
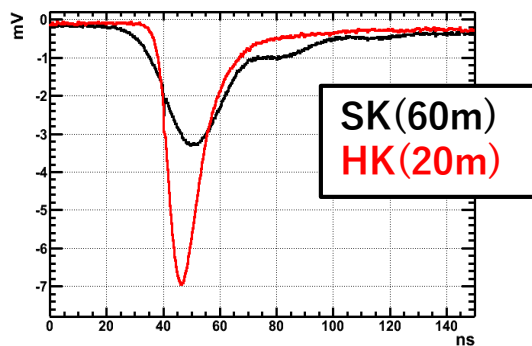
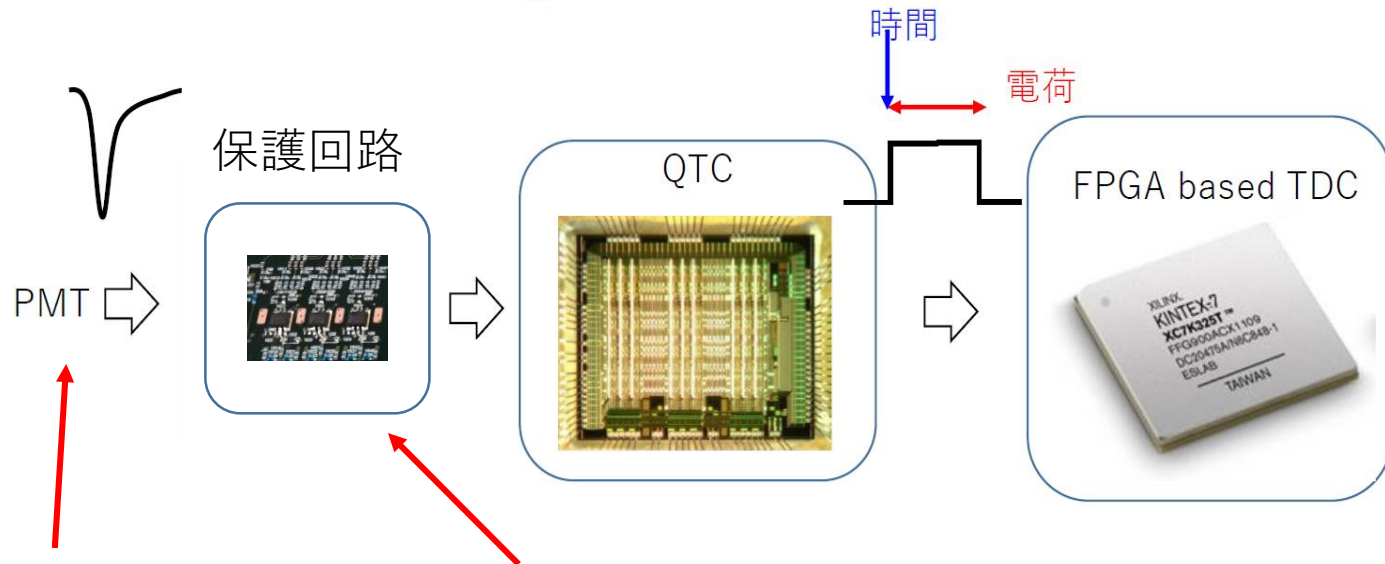
3つのコンポーネントで構成

- QTC ASIC .. SKのために開発された

QTC .. Charge to Time converter
入力電荷に比例した幅の矩形波

- TDC .. FPGA上に4GHz TDCを実装
- 前段保護回路 .. HK PMTの速い信号への対応
 - ✓ 保護ダイオード
 - ✓ 波形整形 (SKレベルの波高に)
 - ✓ 3レンジ分割

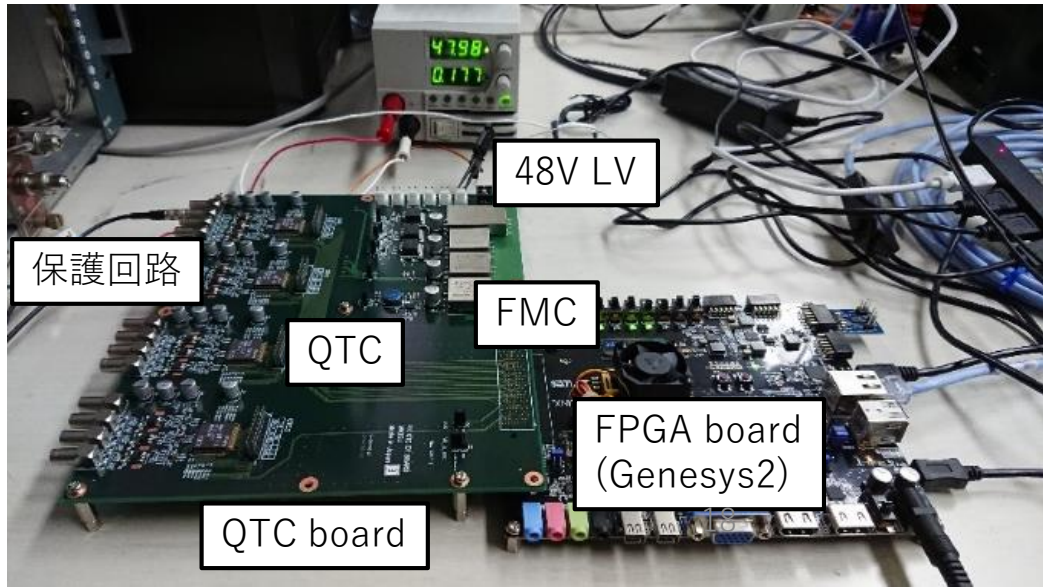
水中下のため安定性と実績を重視
SKレベルの波高で10年の実績
(故障率<0.1%)



ダイオード保護 波形整形 3レンジ分割

Digitizer試作機

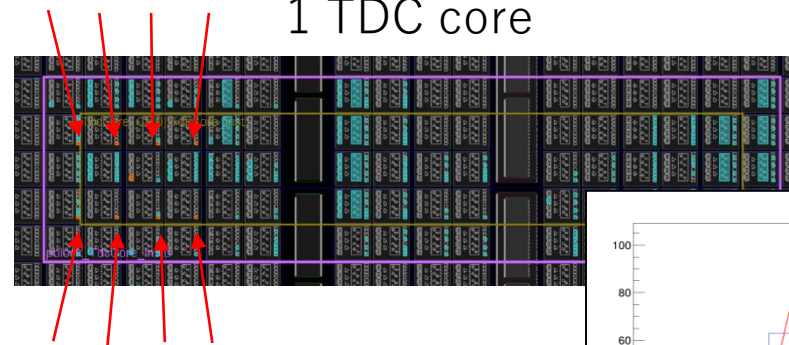
試作機が完成、評価中



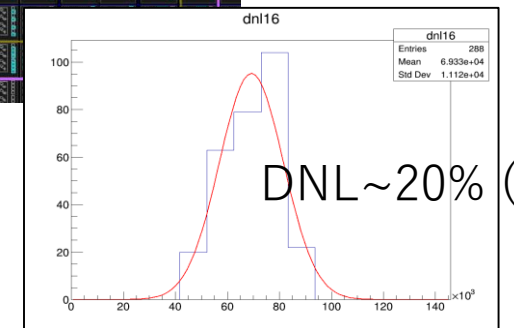
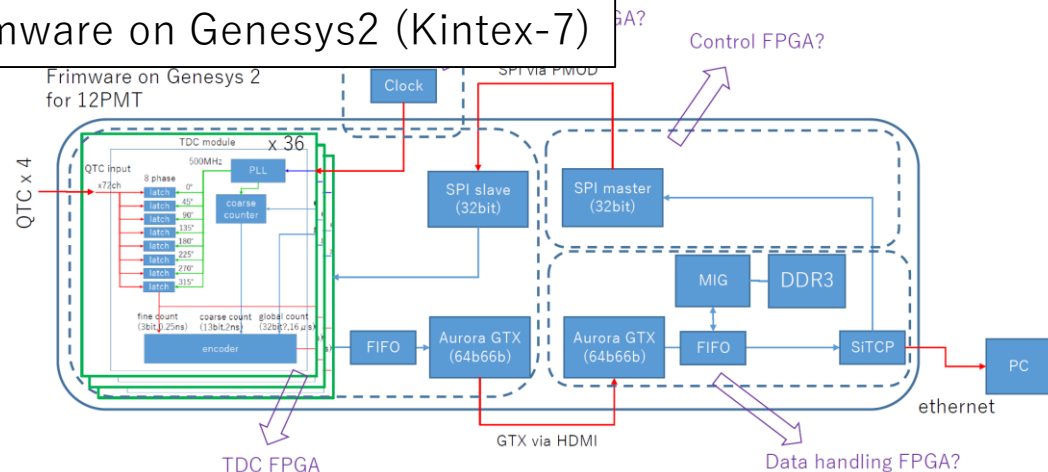
- QTC、保護回路を搭載したアナログボードを試作
- TDCはFPGA評価ボード上で構成
 - ✓ 500MHz x 8 phase = 4GHz (250ps bin)
 - ✓ 手動配置によりDNLを最小化 ~ 50ps
 - ✓ ~100psの分解能を達成

8 phaseラッチの配置

1 TDC core



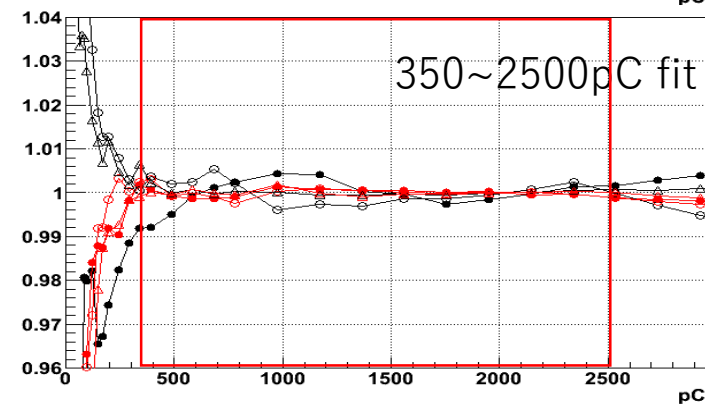
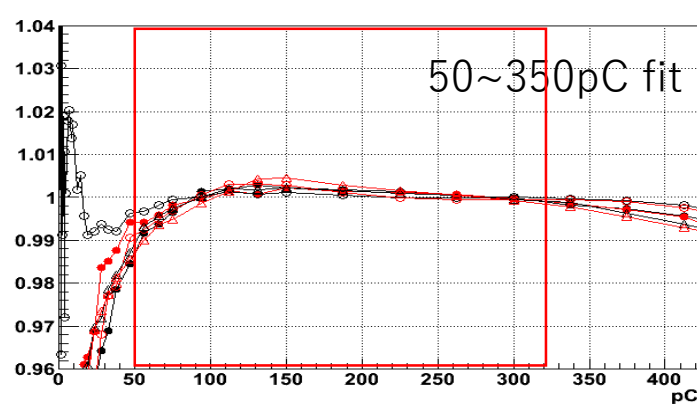
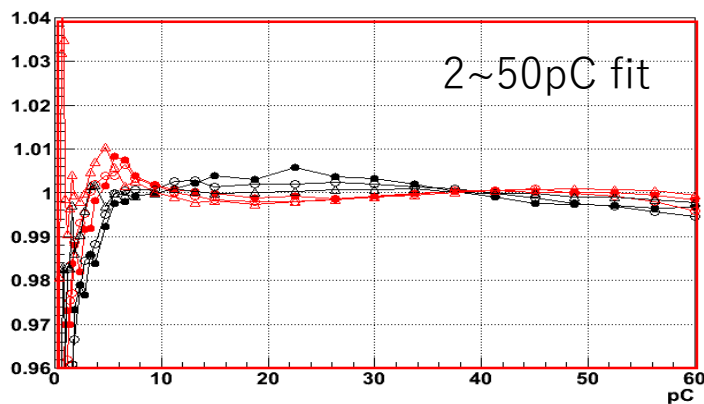
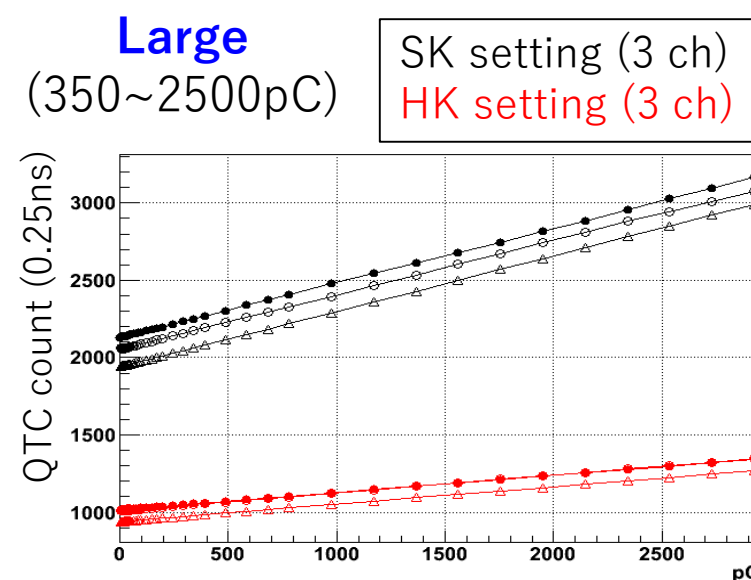
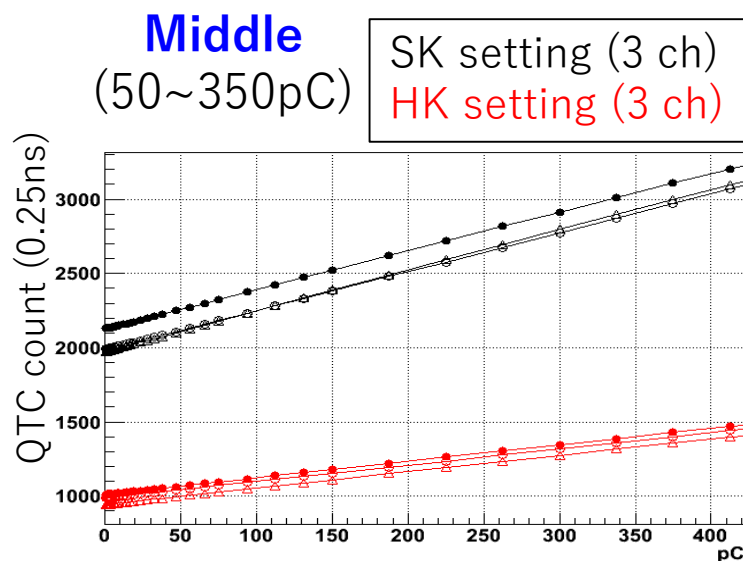
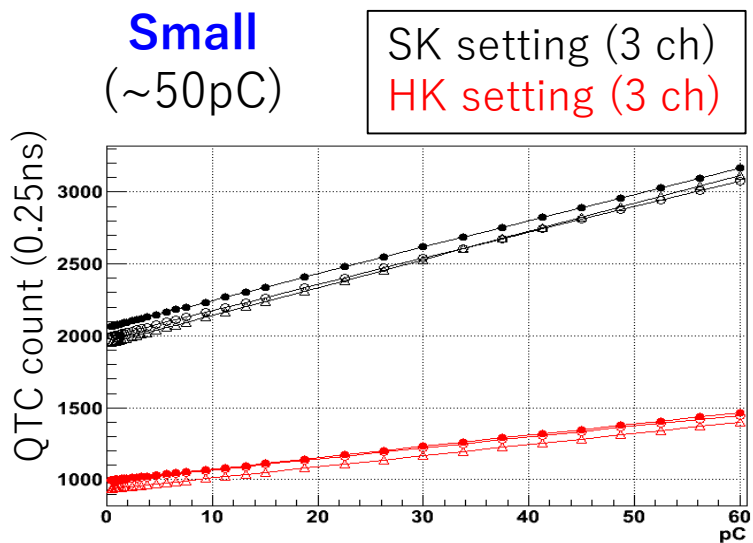
Firmware on Genesys2 (Kintex-7)



電荷測定

- 3 rangeで2500pC(~1250pe)までカバー
- Linearityは $\pm 1\%$ (分解能 $\sim 10\%$ @1pe)
- HK用に積分時間・放電時間を短縮したモードでも同等

レンジ、Linearity、分解能においてHK要求を満たす

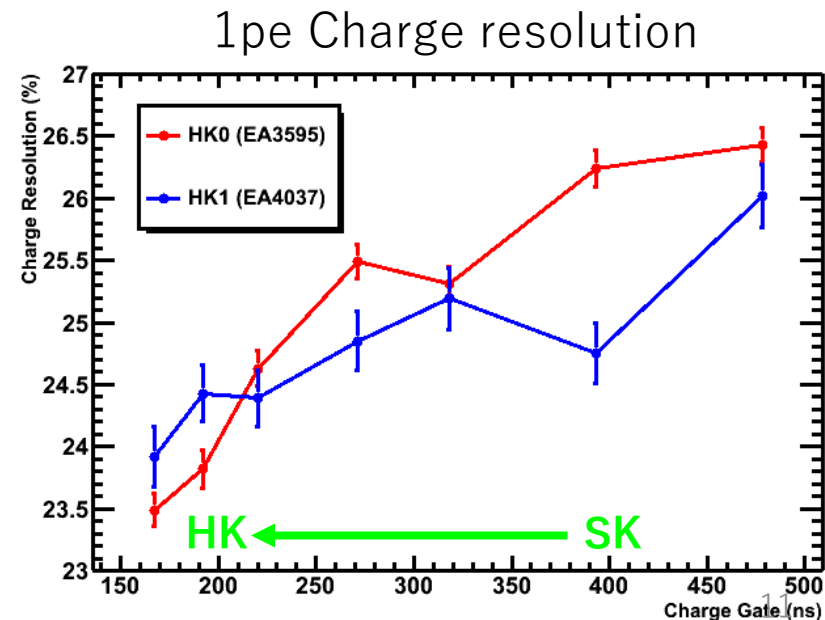
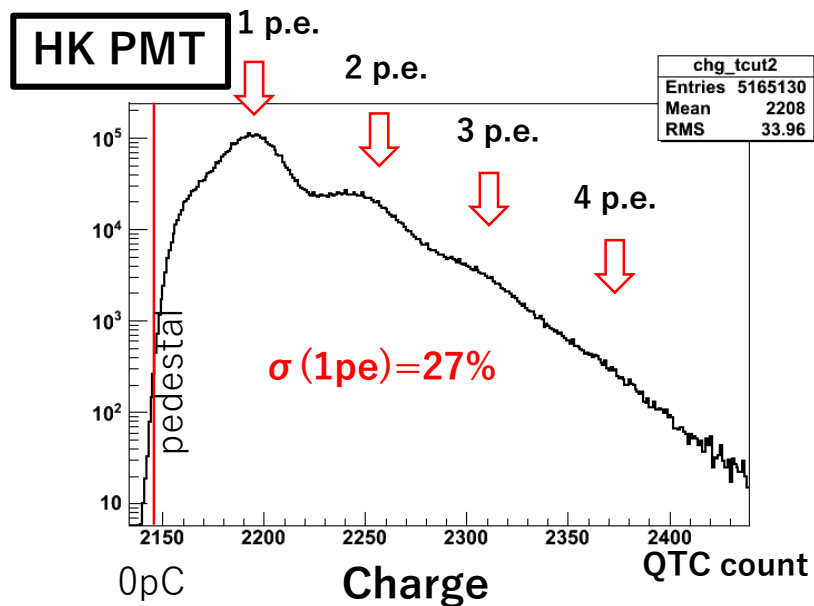


積分/放電時間の調整

QTCはゲート巾の制御が可能、
信号の速いHKに合わせて積分/放電時間の調整を行った

- ✓ 積分時間の縮小によるS/Nの(若干)向上
- ✓ TDC分解能の向上(0.5→0.25ns)により放電時間の縮小が可能に
- ✓ Dead timeの半減によりmuon崩壊(~2us)検出効率の改善

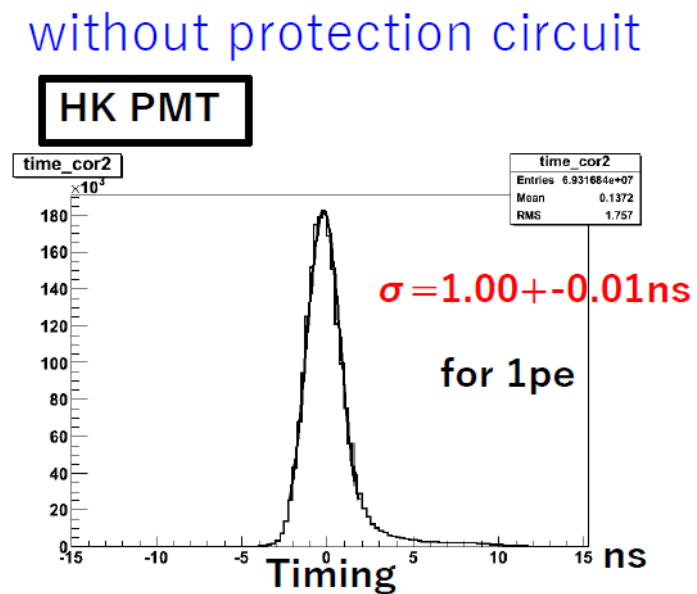
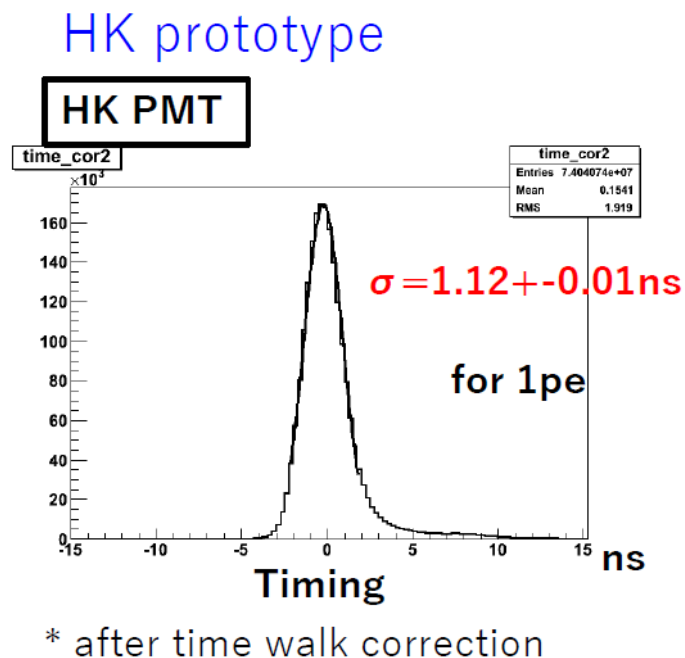
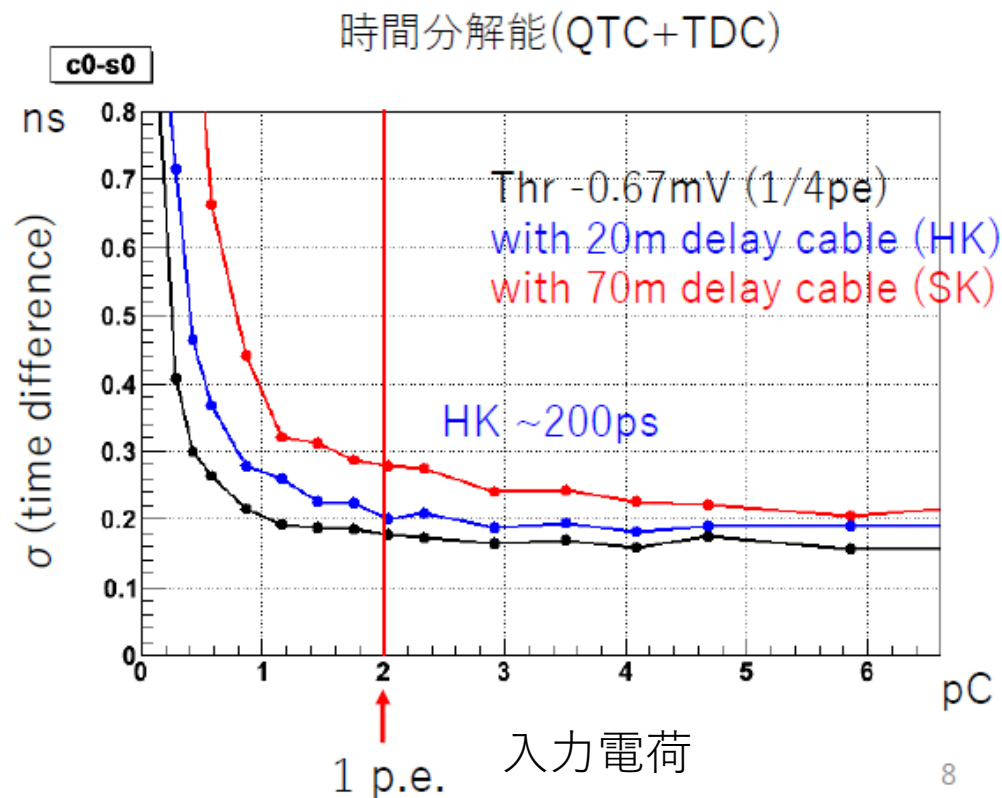
	SK setting	HK setting
積分時間	393 ns	192 ns
放電時間	366 ns	156 ns
Reset&Veto	225 ns	180 ns
Dead time	984 ns	528 ns (54%)



時間測定

保護回路を含めてHK要求を満たす

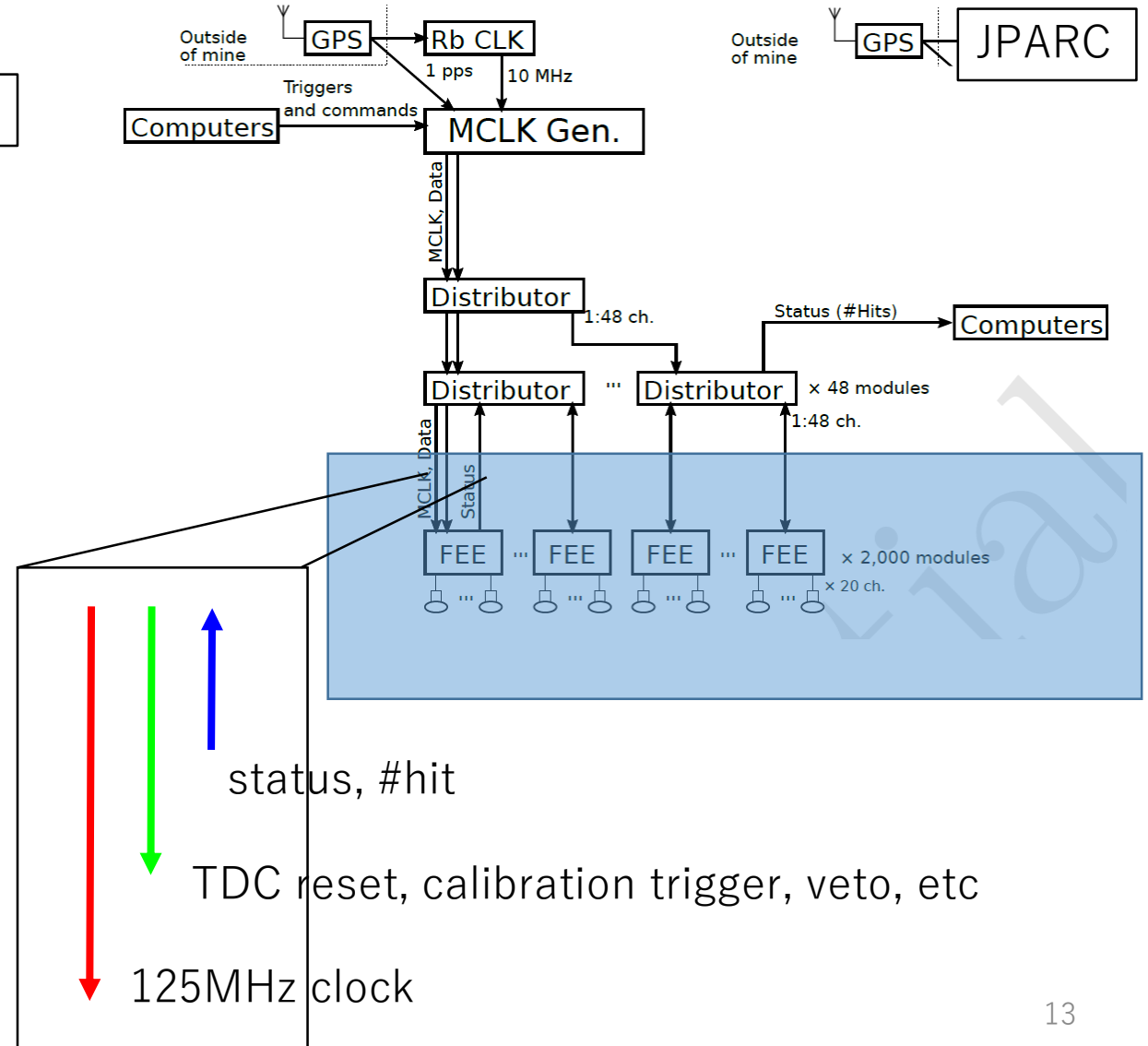
- 200ps程度の時間分解能を達成 \ll PMT \sim 1ns
- 保護回路(shaper)とはトレードオフの関係 \rightarrow ただし影響は $\Delta\sigma \sim 0.1$ ns程度



Timing分配

約2000のFEをTDC分解能(100ps)以下で同期させる

- MCLK/Distributor
 - GPSを元にした125MHz Clock生成
 - 約2000に分割
 - 配布方式の検討(カスタム、White Rabbit)
 - Jitter 100ps以下
- 光ファイバー転送
 - 150m、水中下
 - 12芯MPO+48V電源の複合線
 - 各線2重化による障害対策
 - Jitter Cleaner(検討)
- 同期情報
 - TDC resetなど同期コマンド
 - FE statusや#hitなどのモニター

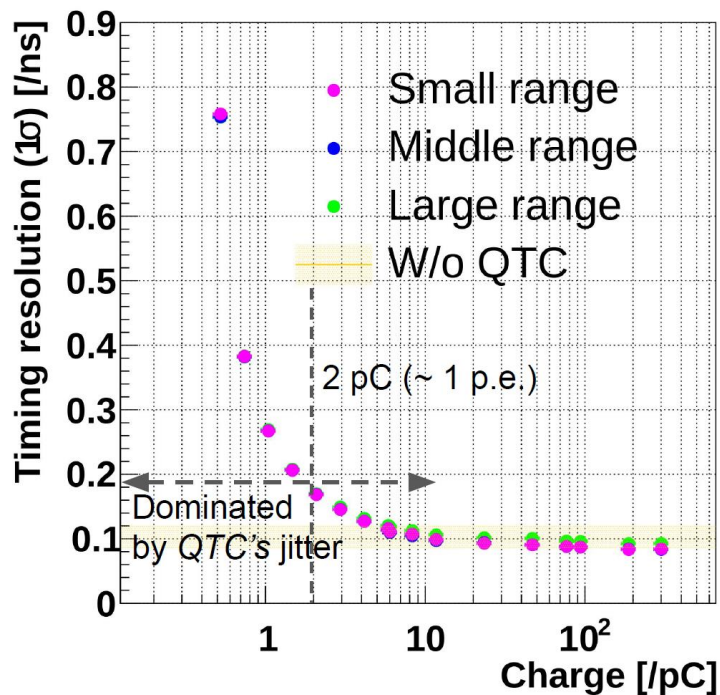
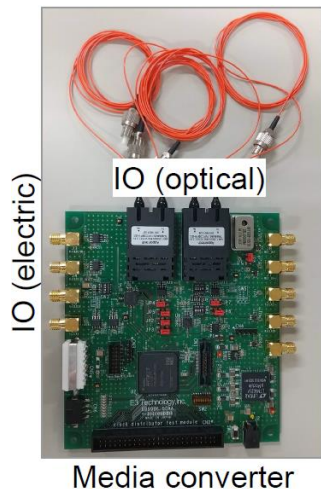


Timing転送試験

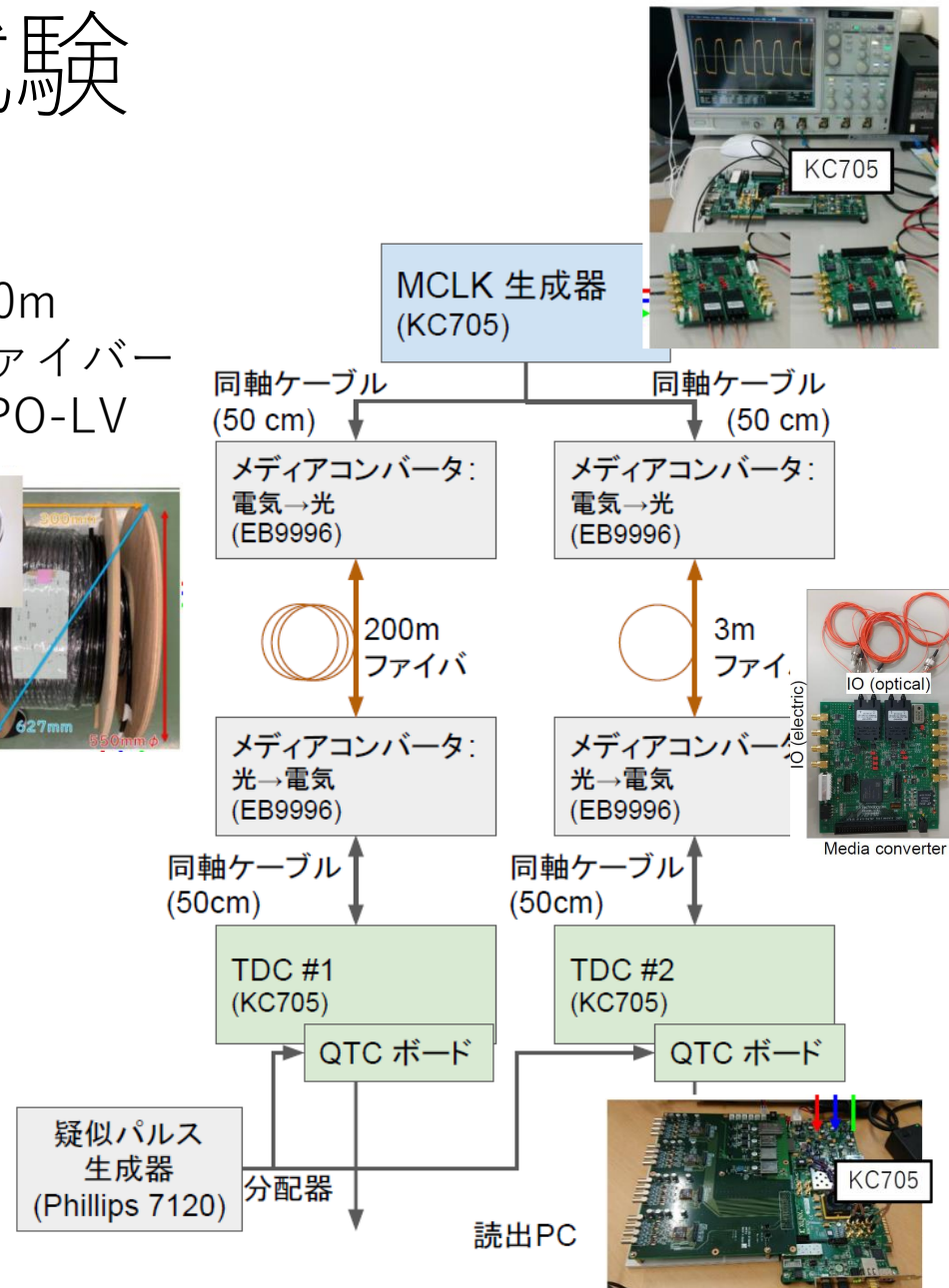
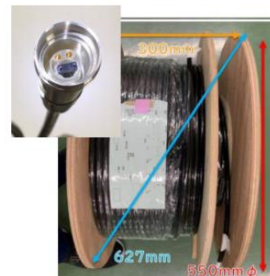
Digitizerまで含めたスライステストで動作を確認

- 試作モジュールによる jitter測定 (<20ps)
- 200m MPO-LV複合ケーブルで転送試験 (<20ps)
- 実際にDigitizer試作機へ転送し時間計測

光転送モジュール
Appointech inc.
850nm multi-mode



200m
ファイバー
MPO-LV



HVモジュール

各社プロトタイプモジュールを評価

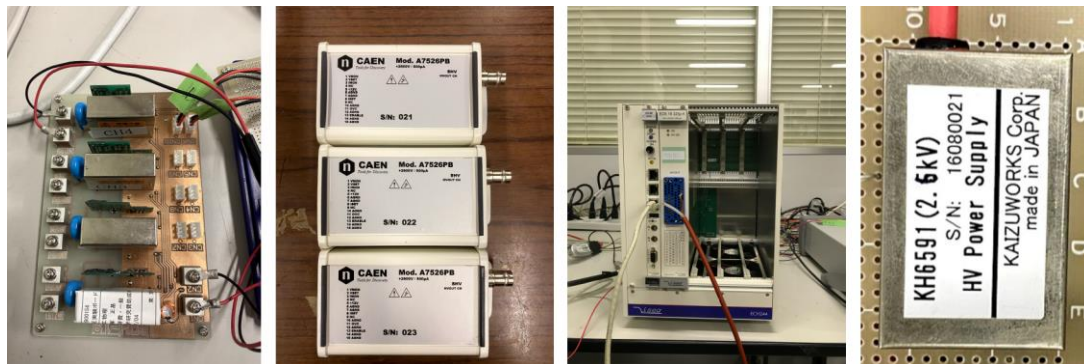
- 基本性能 ... HK仕様を満たす
- サイズ、電力、コスト ... 見積中
- 故障率 ... 今後の課題

- ✓ 多チャンネル化方式 (Primary / Divider)
- ✓ 初期不良のコントロール

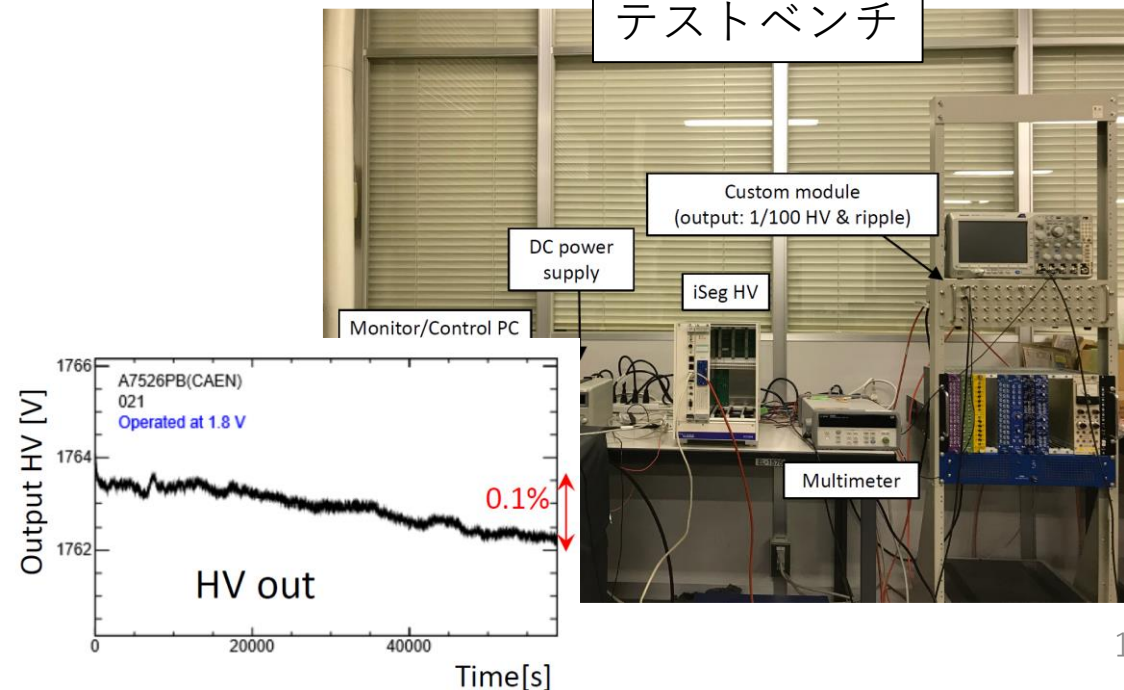
HK HV仕様

HV range	0 - 2500V (or 2600V if possible)
Stability and reproducibility	within $\pm 0.2\%$
Maximum output current	> 0.5mA/channel for 1800-2500V
Ripple noise	< 10mV _{p-p} for > 10kHz, < 100mV _{p-p} for < 10kHz
Temperature dependence	within $\pm 0.2\%/K$ for 10-40°C
Failure rate	< 1% for 10 years operation
Heating (power consumption on board)	1 W/channel

各社プロトタイプモジュール



テストベンチ



防水ケース

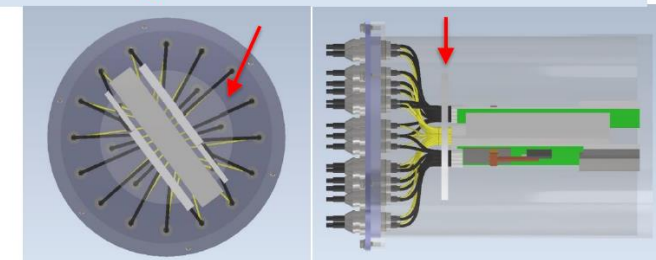
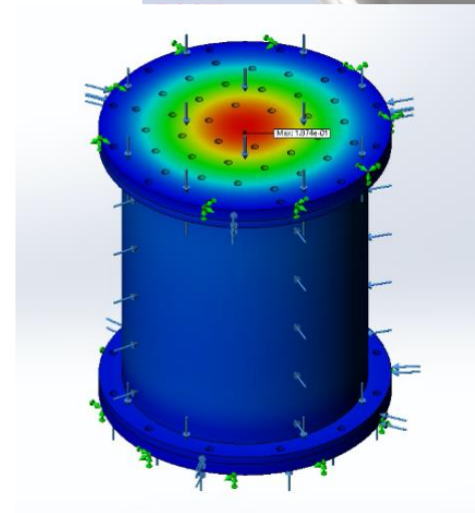
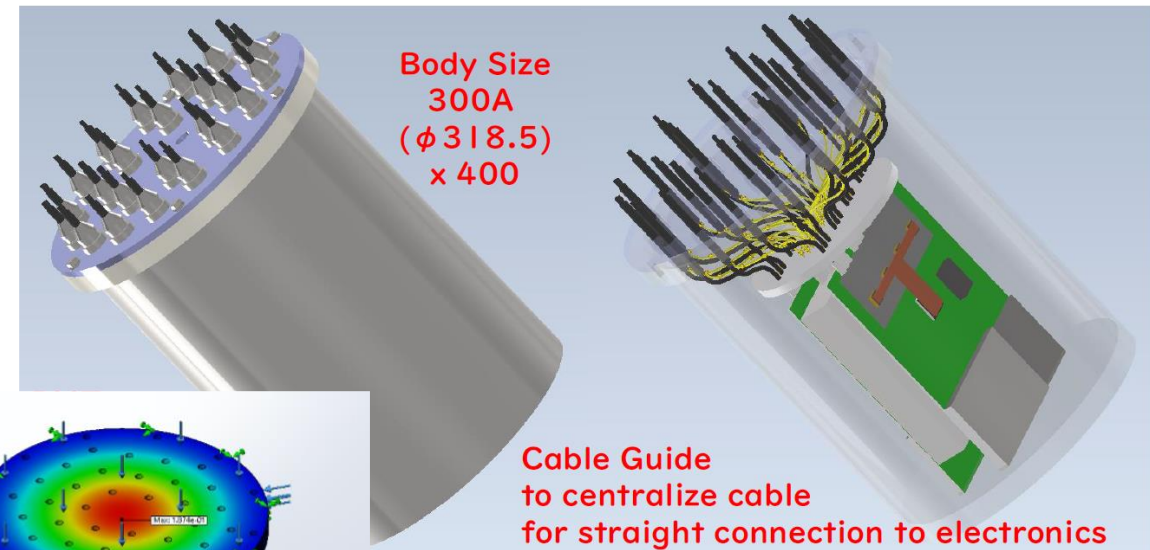
- 1MPa耐圧、フィードスルーx25(PMTx24, DAQ)
- CADによる強度計算を基に設計、今年度試作予定
- SUS規格パイプをベースにした円筒形
- 多重防水(Oリング、マインガード、etc)

とにかくコンパクトに！ 重量・コスト削減

内径 (x400mm)	重量 (概算)
350mm	61kg
300mm	48kg
250mm	34kg

*現在300mmを想定

CAD図



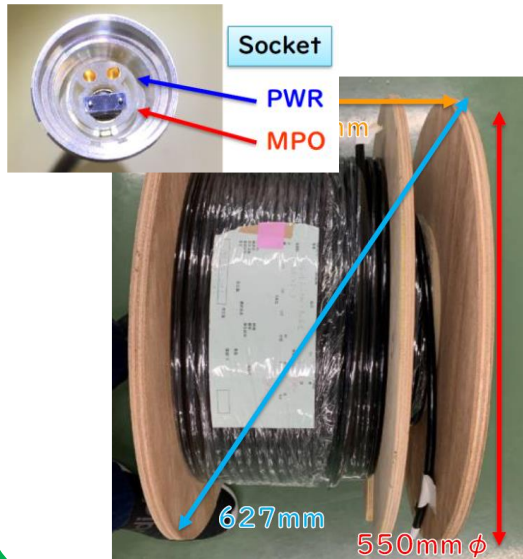
耐圧試験

- ケーブル、コネクタ、フィードスルーの最初の試作機が完成
- 耐圧試験、圧力下動作試験

Optical/LV水中コネクタ 試作機



Optical/LV複合ケーブル 200m試作機



PMTケーブル/フィードスルー 試作機



圧力容器にて耐圧試験



まとめ

- 2027年実験開始を目指してエレクトロニクスの開発を進めている。
- 現在、基本デザインの検討、各コンポーネントの試作機の開発・評価を行っている。
- 基本性能についてはHKの要求を満たすことを確認した。
- 今後、コスト・故障率などを考慮した量産用のデザインを確立する。