

Belle II DAQ

山田悟 (KEK)

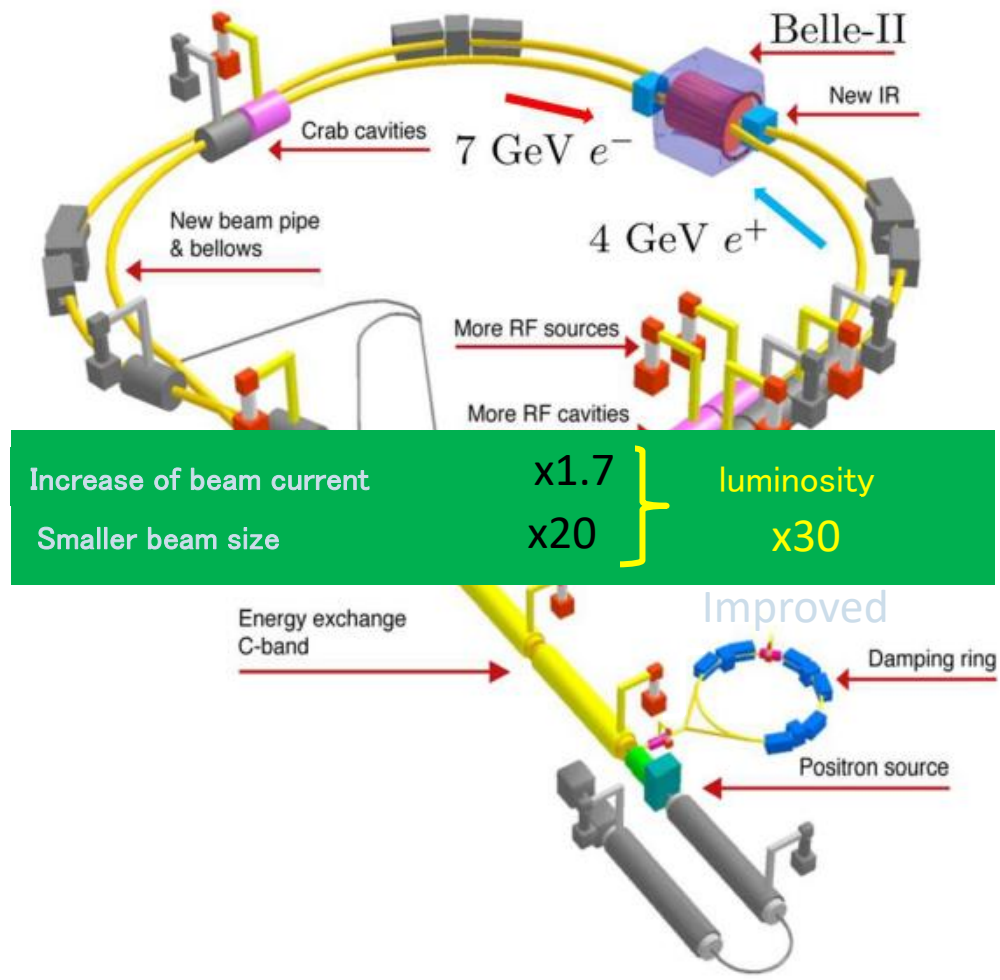
Belle II 実験

➤ Search for new physics beyond the Standard Model(SM) via high precision measurement with high statistics samples of B/D/tau decays.

➤ SuperKEKB accelerator

- Designed luminosity: 30times as large as KEKB
- 50 ab^{-1} in ~ 10 years (cf. 1 ab^{-1} @ Belle experiment)

Belle II collaboration :
 ~1000 collaborators from 26 countries



Increase of beam current	x1.7	} luminosity
Smaller beam size	x20	

Belle II 検出器

ECL(電磁カロリメータ)

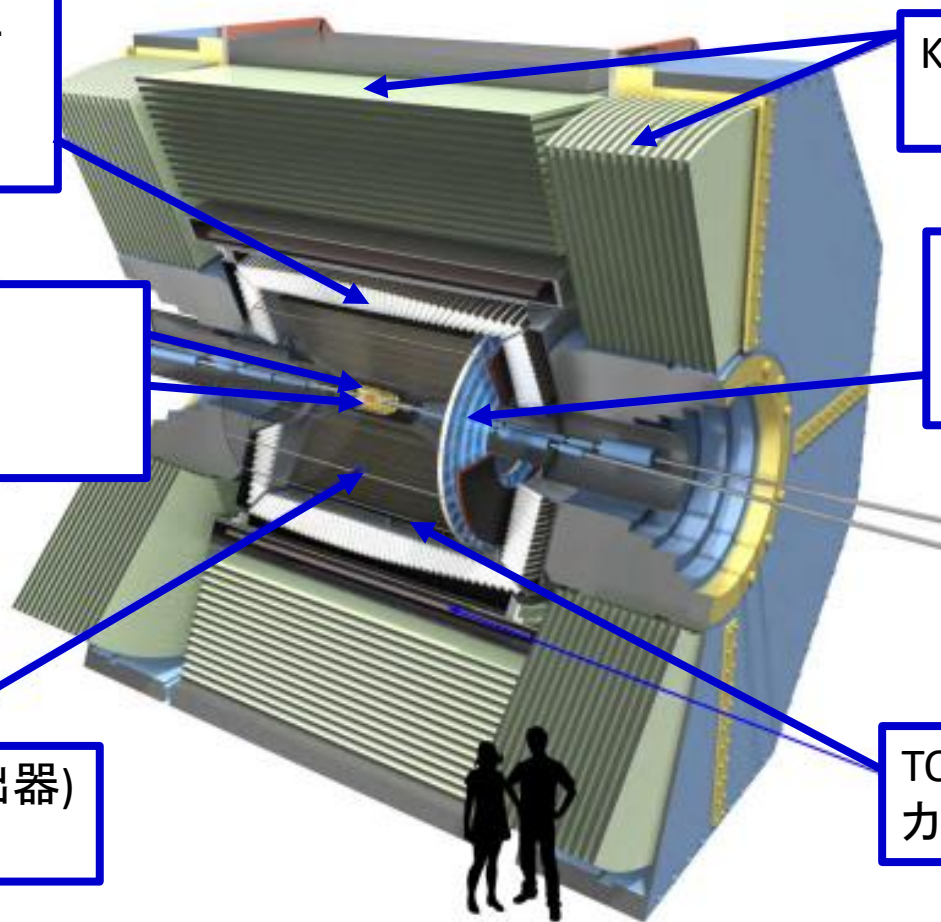
崩壊点検出器
(PXD,SVD)

CDC(中央飛跡検出器)

KLM(Klong muon検出器)

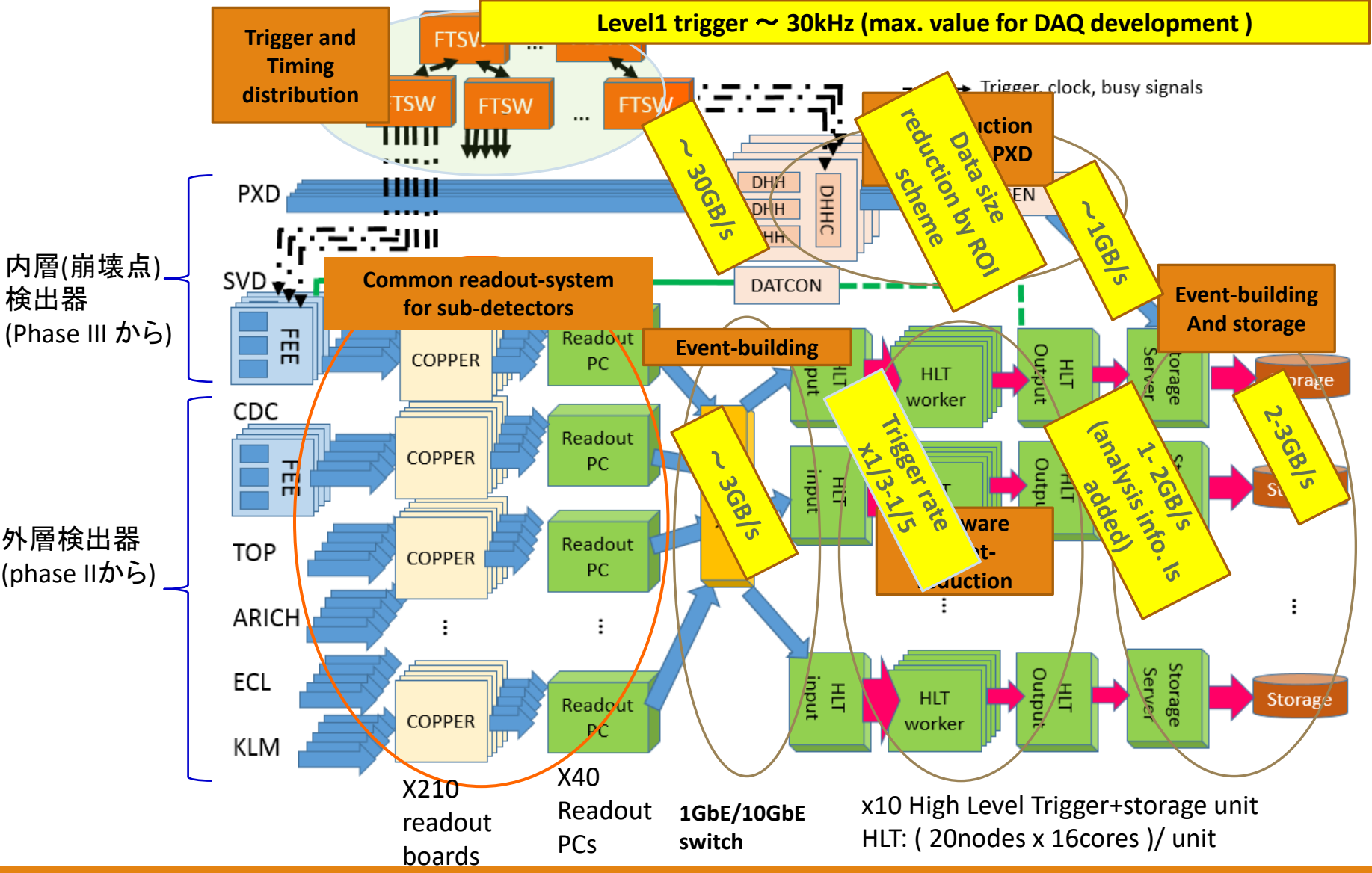
ARICH(エアロジェルリング
イメージングチェレンコフカ
ウンタ)

TOP(Time of Propagation)
カウンタ



Belle IIデータ収集システム

- FEEとのinterfaceは各検出器共通(PXD以外)
- HLTによるrate reduction + Region of InterestによるPXDの event size reduction



SuperKEKB のルミノシティ(予測)

Phase I : (2016)

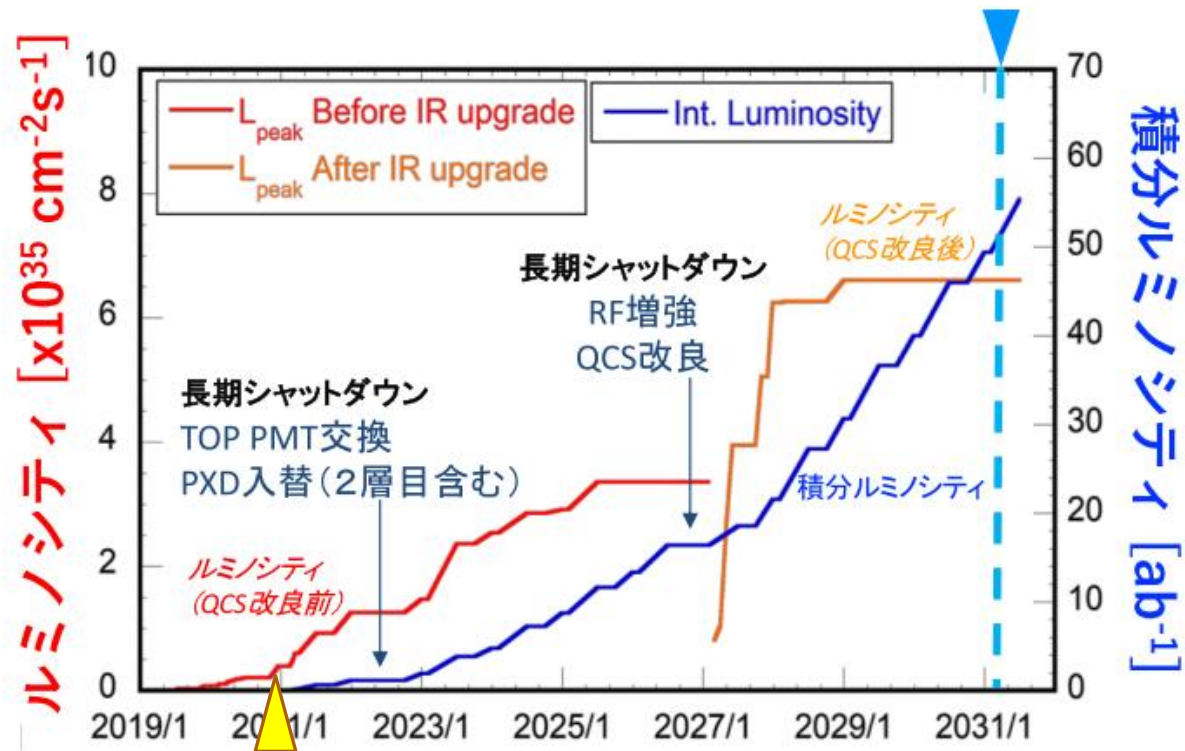
- 検出器は無く加速器のコミッショニング
- Beamが初めて周回

Phase II : (2018)

- 最内層の崩壊点検出器無しで物理測定開始

Phase III : (around the end of 2018-)

- 崩壊点検出器も含めての測定開始



現在

2020秋季物理学会シンポ 中村克朗さんのスライドより

- 2020年夏までに74fb⁻¹のデータ取得

Belle II DAQの今後の課題

- DAQ troubleによるdowntimeの低減
 - エラーを減らす
 - Clock error の削減 -> clock cableのclock lineとその他のlineのtiming 修正
 - リカバリー時間を短縮
 - log, monitoring 情報をELK(Elasticsearch、Logstash、Kibana) systemに入れて、シフトにchat システムを通じてエラー情報、シフト対処法などを通知
- High-luminosity (= high throughput) に向けて
 - 現在3kHz のtrigger-rate -> 将来的には30kHzを想定
 - High-level triggerの処理能力の増強
 - Readout systemのアップグレード

High-level triggerの処理能力の増強

- オンラインイベント再構成によりデータ量を削減する高次トリガーシステムの増強
 - ルミノシティ増加に合わせて、処理サーバの増強を行う

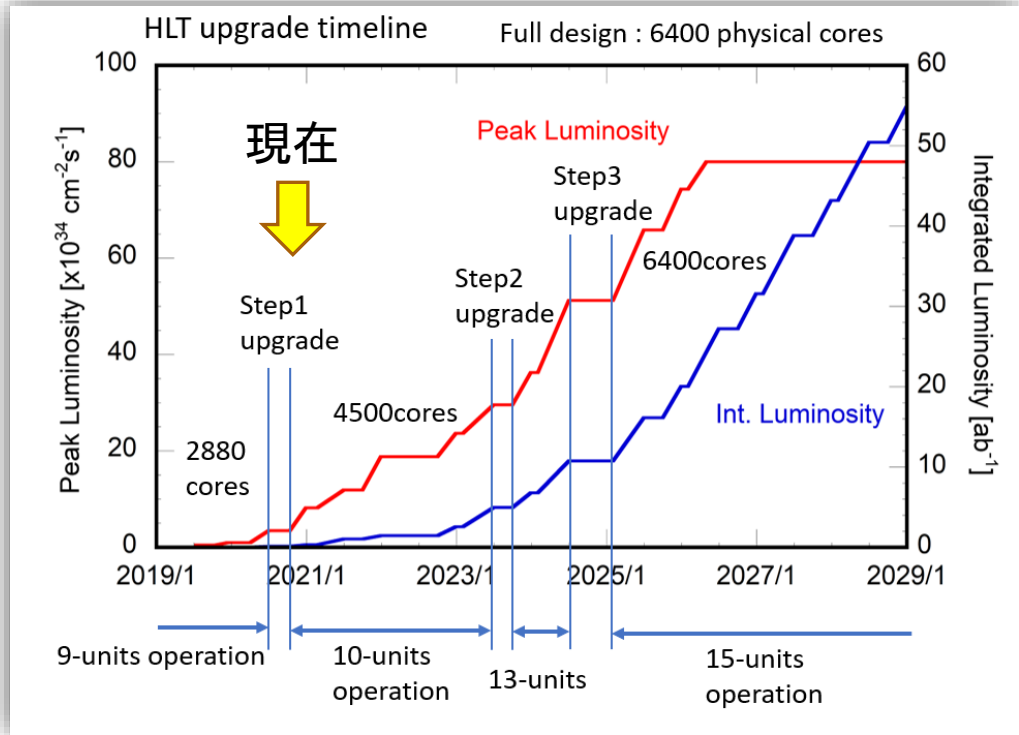
➤ 既にEvent-buildingされたデータを処理するため
並列処理が可能

- 1 unitあたり 20-30 coreのサーバx18台
- データをこれらの
サーバーに分散して送り、並列で
Reconstructionの計算をさせる。

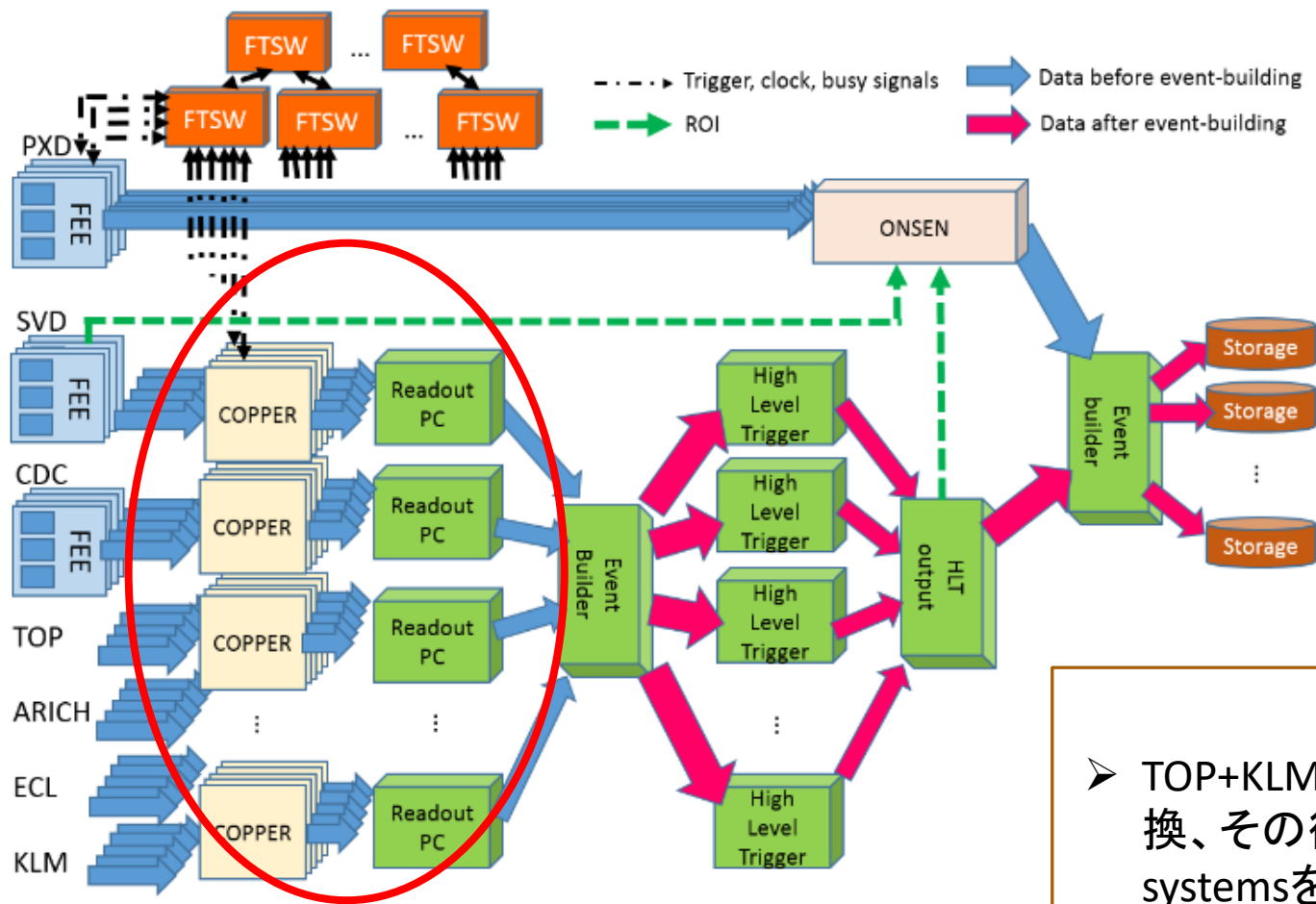
高次トリガーシステムの増強計画と予想ルミノシティ

現在 10unit ~ 4000coreで運用中

- さらにソフトウェア開発によるイベント再構成処理速度向上も必要
 - HLTで走るソフトウェアはofflineの解析ソフトウェアのパッケージを使用
 - 便利だが、開発時にonline DAQでの速度までなかなか考慮されない



Readout systemのアップグレード



➤ TOP+KLM を最初に交換、その後Other sub-systemsを交換予定

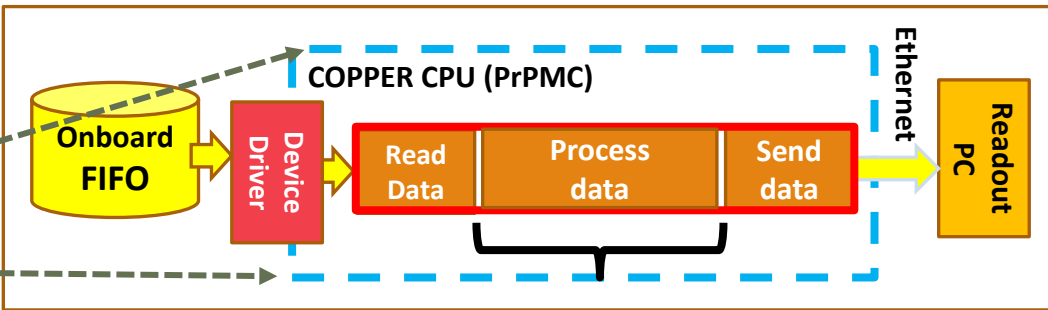
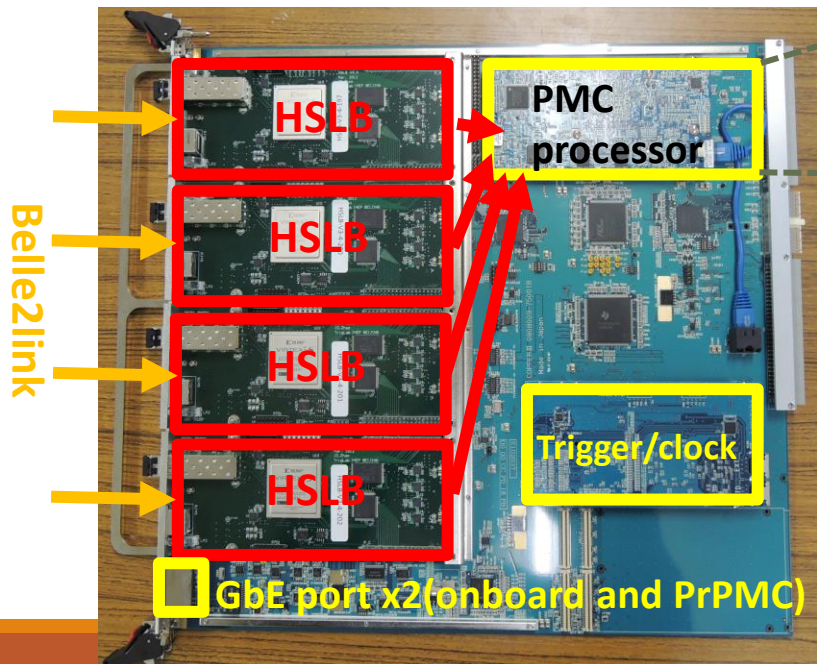
現在のCOPPER 読み出しシステム

- Readout board : COPPER (COmmon Pipelined. Platform for Electronics Readout)
 - Versatile DAQ board developed at KEK
 - > basically same functionality in the previous Belle experiment
 - can be equipped with various I/O cards and CPU card
 - > new daughter-boards for Belle II are used



- CPU: Intel Atom 1.6GHz Z530P
- DDR2 SDRAM 512MB
- PXE boot from ROPC
- Gigabit Ethernet x1

COPPER board



- **Data processing on COPPER CPU**
 - Data formatting (Add header and trailer to raw data)
 - Plain data check
 - Event incrementation, check magic word etc.
 - Add XOR checksum
 - Report data-flow status to slow control

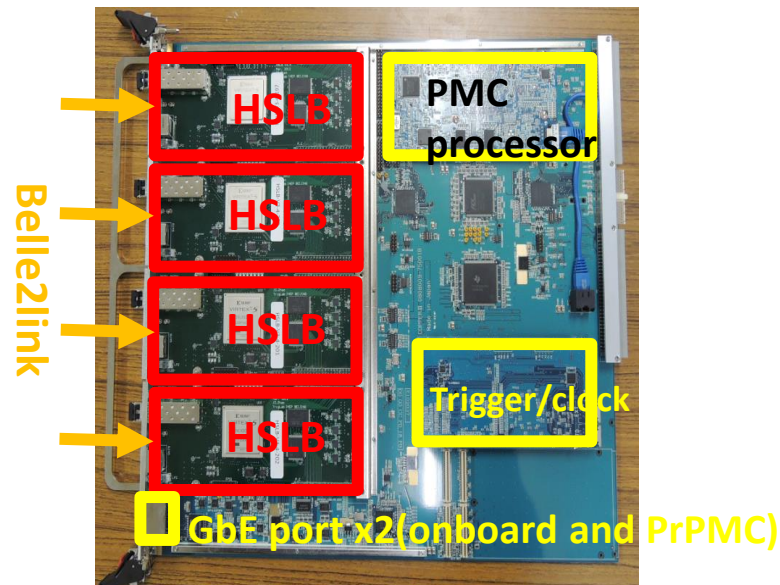
アップグレードの動機

COPPERシステムを今後10(?)年間修理しながら維持するのが難しい

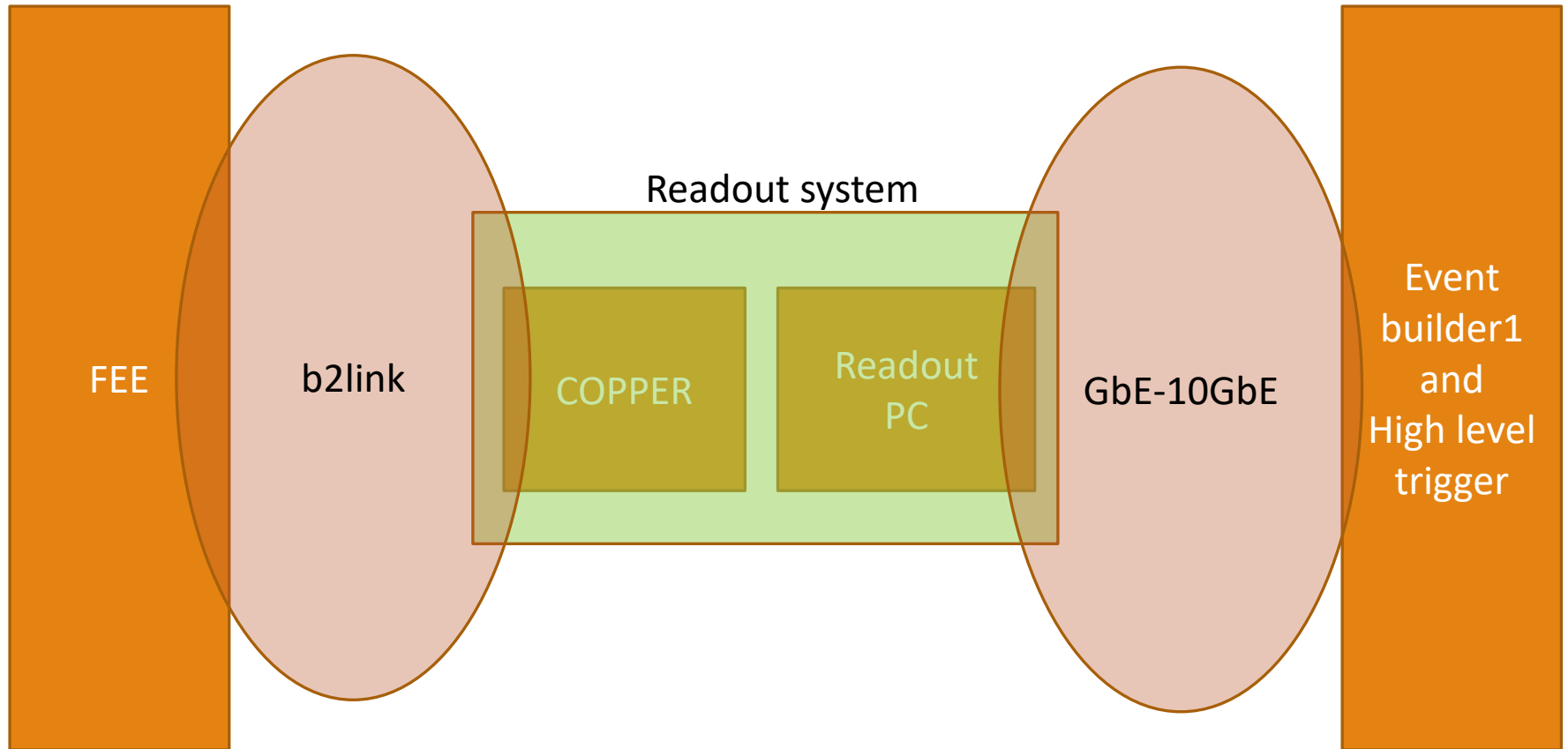
- 生産終了部品の増加で修理が難しい
 - e.g. CPUカードのチップセット、FIFO、LANコントローラー
- 4つの異なるボード(COPPER, TTRX(trigger/clock rx), CPU card, HSBL(RX card))のメンテナンスが必要.

パフォーマンス的にもDAQのボトルネックになる可能性あり

- Intel Atom CPUの処理能力
 - 60%程度のCPU使用率 at 30kHz
 - DAQ software+ driver software
- データ通信速度
 - Output throughput : 1GbE/COPPER



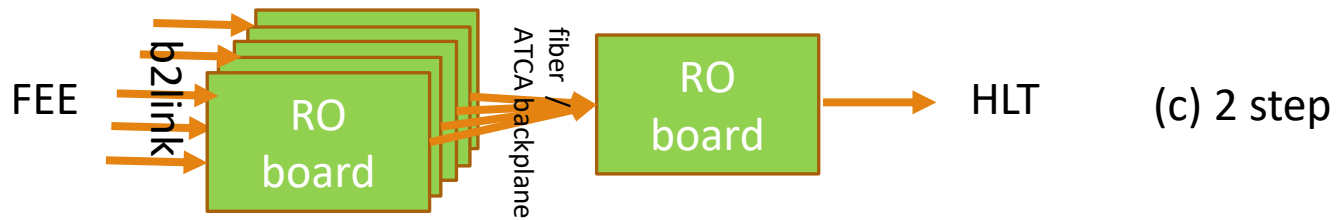
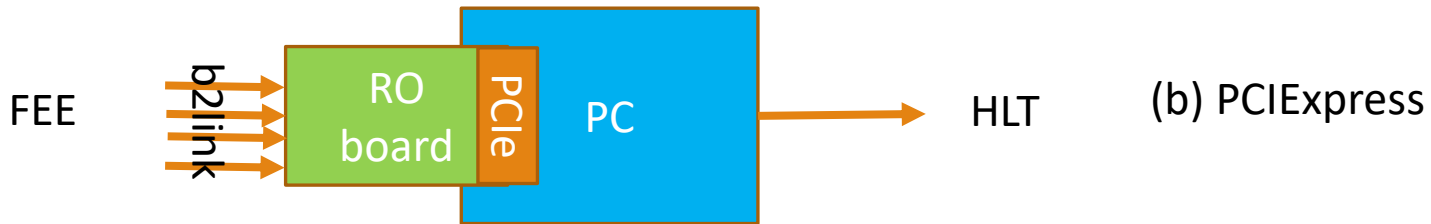
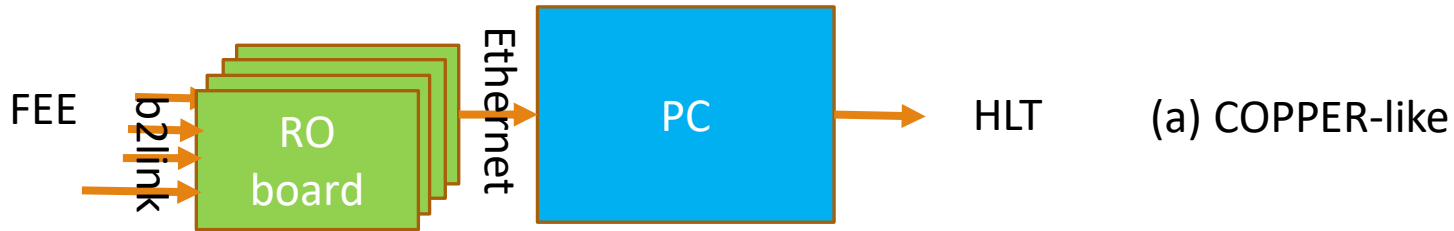
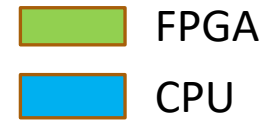
実験半ばでのアップグレードの際の境界条件



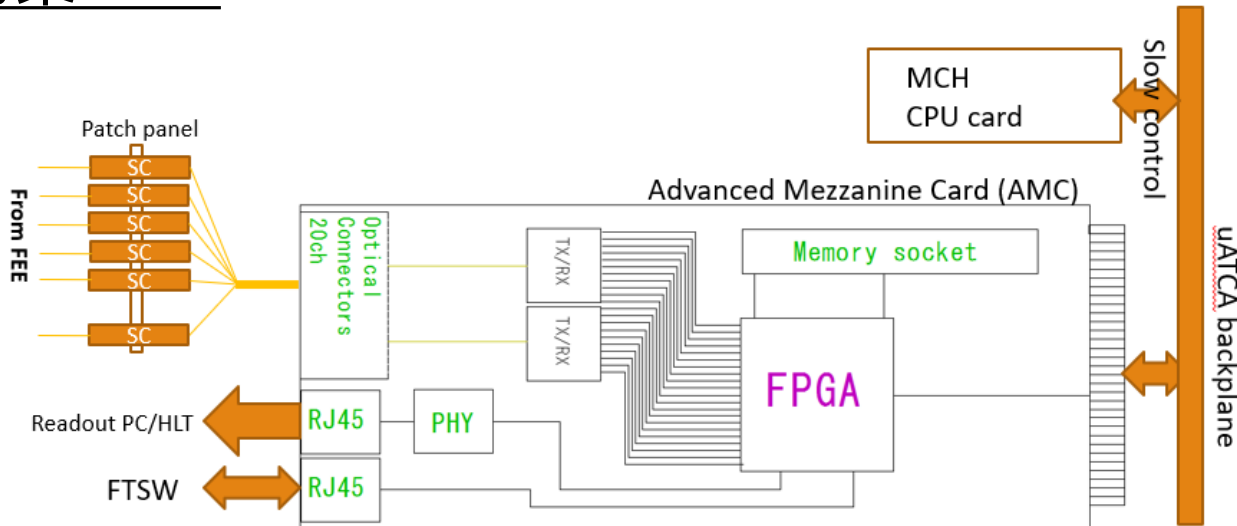
Basic framework of belle2link (Rocket-IO based serial link) should be the same. Otherwise FEE's FW/HW update might be needed.

Upgrade like GbE -> 10GbE will be possible, if we upgrade switches.

種々のオプション



当初案 : KEK



Proposal (1) : BNL

● Front End Link eXchange (**FELIX**)

- Developed for ATLAS Phase-I Trigger/DAQ Upgrade (for 2021)
 - BNL designed hardware & co-developed firmware
- **Generic PCIe card** with Kintex Ultrascale FPGA
 - 48-channels Tx & Rx links in 8 miniPODs
 - PCIe Gen3 x16 lanes interface to host
 - **Supports versatile line rates & timing systems**
 - **TTC; TTC-PON; White Rabbit**
 - **Supports Belle II TTD recently**
- Capacity:
 - 460 Gb/s input/output via optical fiber
 - Up to 128 Gb/s to host



Collaboration between BNL and ANL, CERN, Irvine, Nikhef, UCL, Weizmann [with FNAL (artDAQ)]

Proposal (2) : IJCLab



LHCb, ALICEのupgradeに合わせて開発された

仕様:

- I/O : 48 bidirectional link
- FPGA : Intel Arria10 (10AX115S3F45E2SG)
- PCIExpress : Gen3x8 x2
- 8 LVDS links

Proposal (3) : IHEP

CPPF Module for Belle II DAQ Upgrade

Originally designed for CMS by IHEP/Beijing

It is running in CMS Trigger System (Minor revision for FTSW interface)

uTCA compliant : Double width AMC card

IO(>10 Gbps, suitable also for Belle II future upgrade)

Inputs : **Four** 12ch MiniPoD connectors(48)

Outputs: **Two** 12ch MiniPoD connectors(24)

Processing and Control

FPGA

-- XC7VX415T-2FFG1157C(48 GTH)

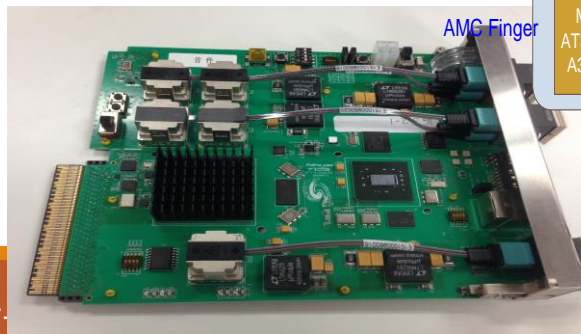
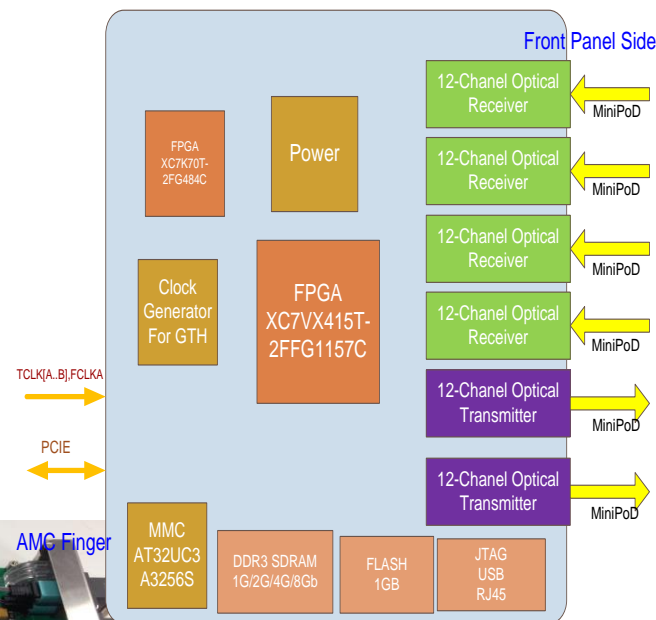
-- XC7K70T-2FG484C

Flash

-- PC28F00AG18FE

DDR4: 1/2/4/8 Gb

Protocol : PCIE ,Slink



New hardware (PCIe40 board)

Proposal毎に並行して開発を進め、ある程度feasibilityを確認したのち選定

- Proposal based on PCIe40 boards used by ALICE and LHCb for their detector upgrades (full detector readout at 40 MHz and software trigger)





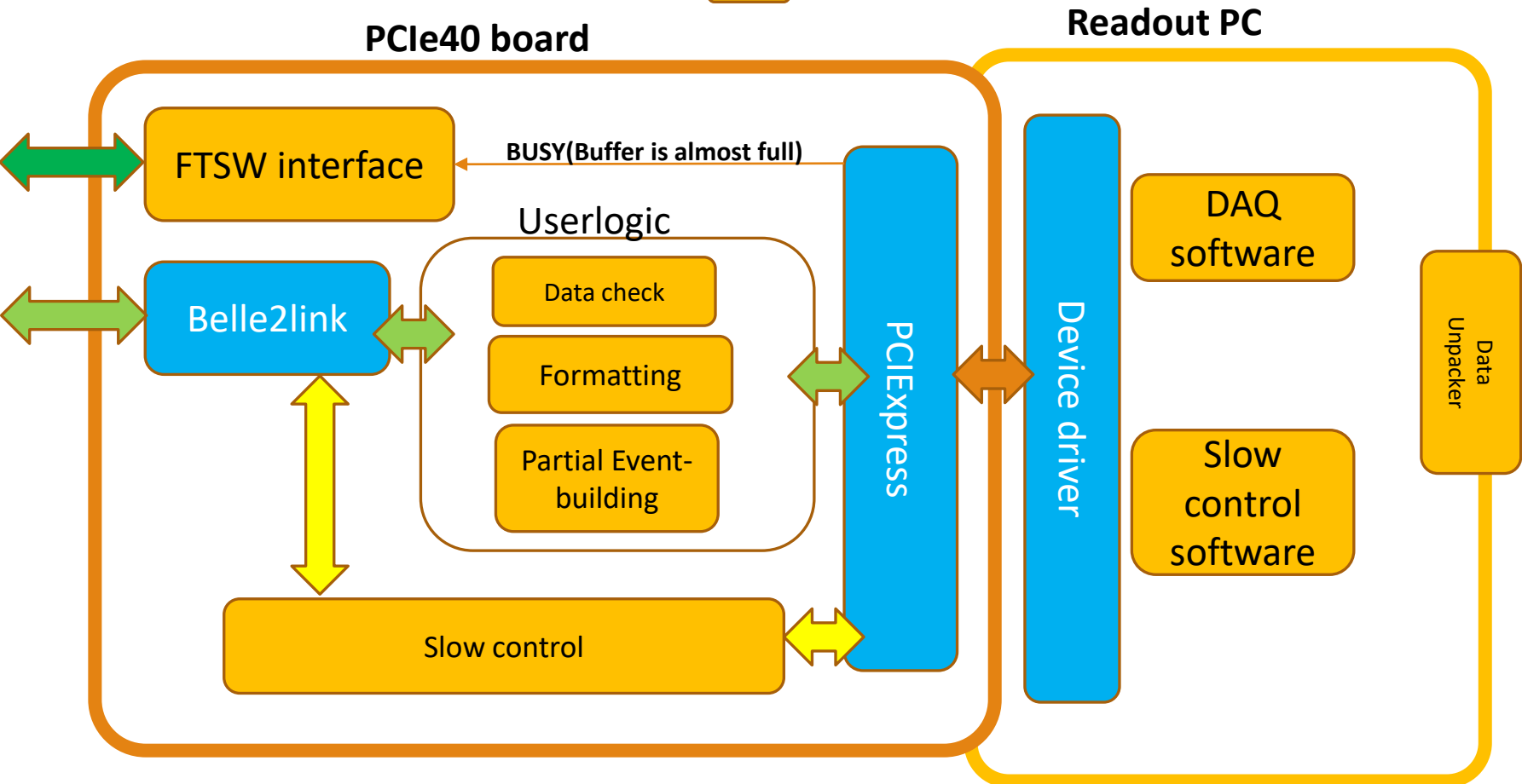
- Final hardware available and well tested at CERN
- Based on large Intel/Altera Arria 10 FPGA, with 48 bidirectionnal links

of readout boards used for Belle II : ~ 200 COPPER boards $\rightarrow 19$ PCIe40 boards

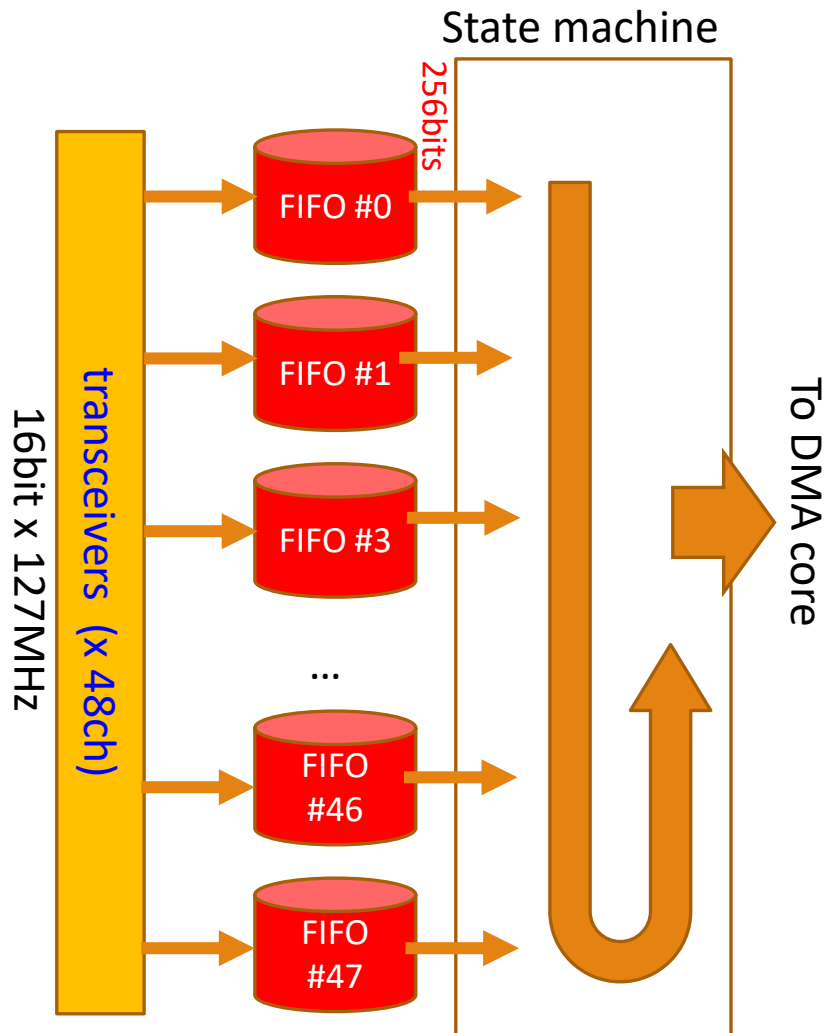
LHCb,ALICEのmass productionと合わせて
31ボードを購入 + 開発用の3ボード = 34枚

ファームウェア/ソフトウェアの開発

- PCIe40ボードのlow-level(ハードウェア) interface部 : IJClab experts + PCIe40ボード開発group : 
- ユーザーロジック firmware、slow-control、DAQ ソフトウェア:
 - Belle II DAQグループ 

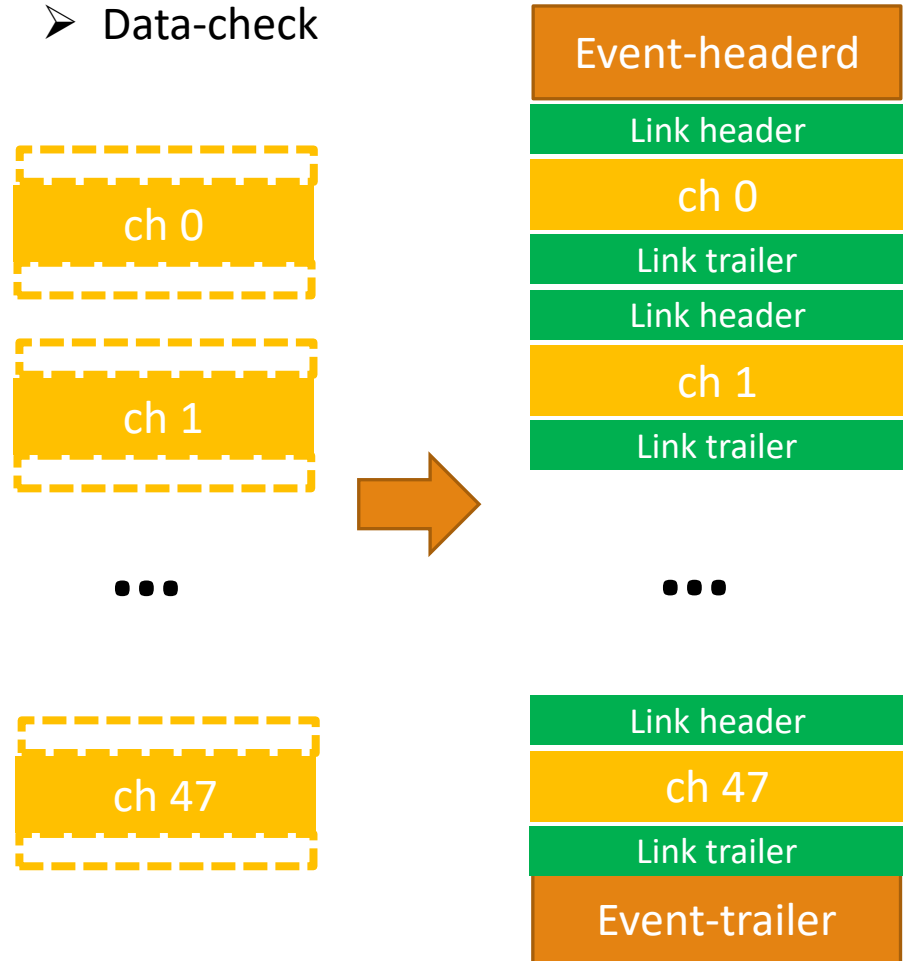


PCIe40ファームウェア:ユーザーロジック部の構成



ユーザーロジック部の機能

- Event-building
- Formatting
- Data-check

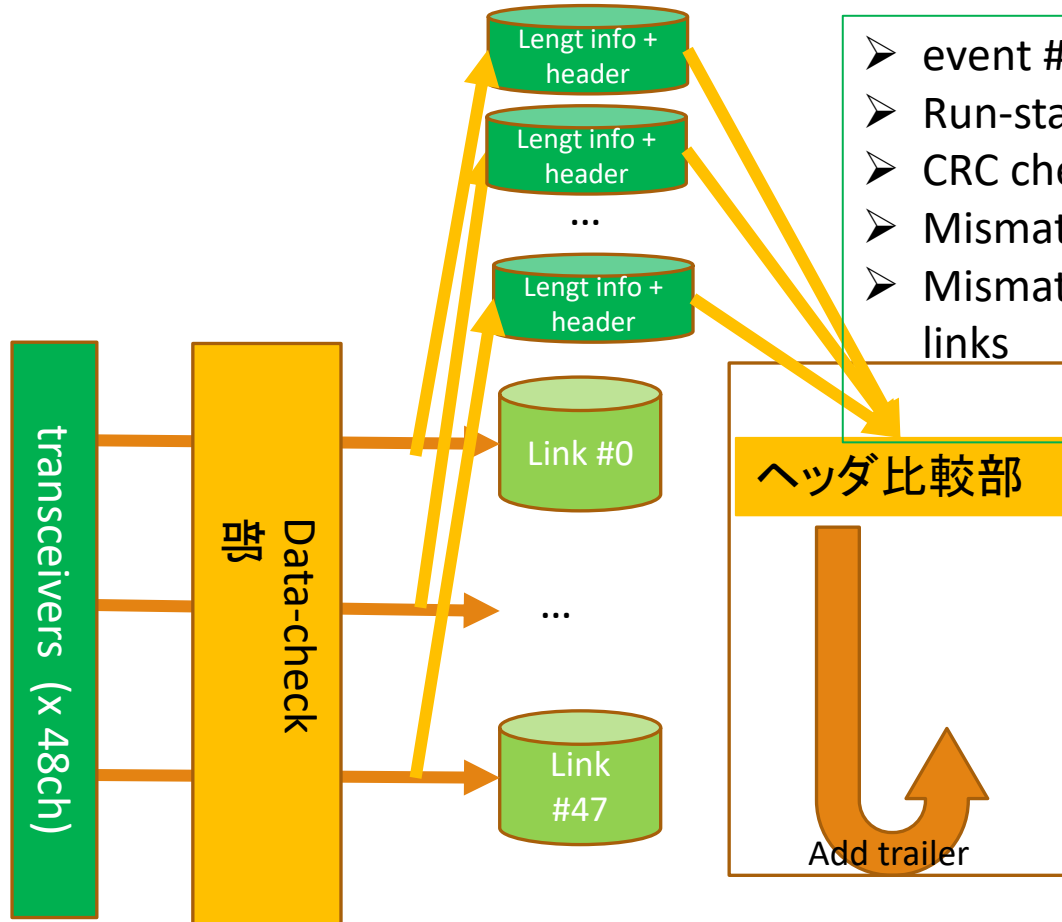


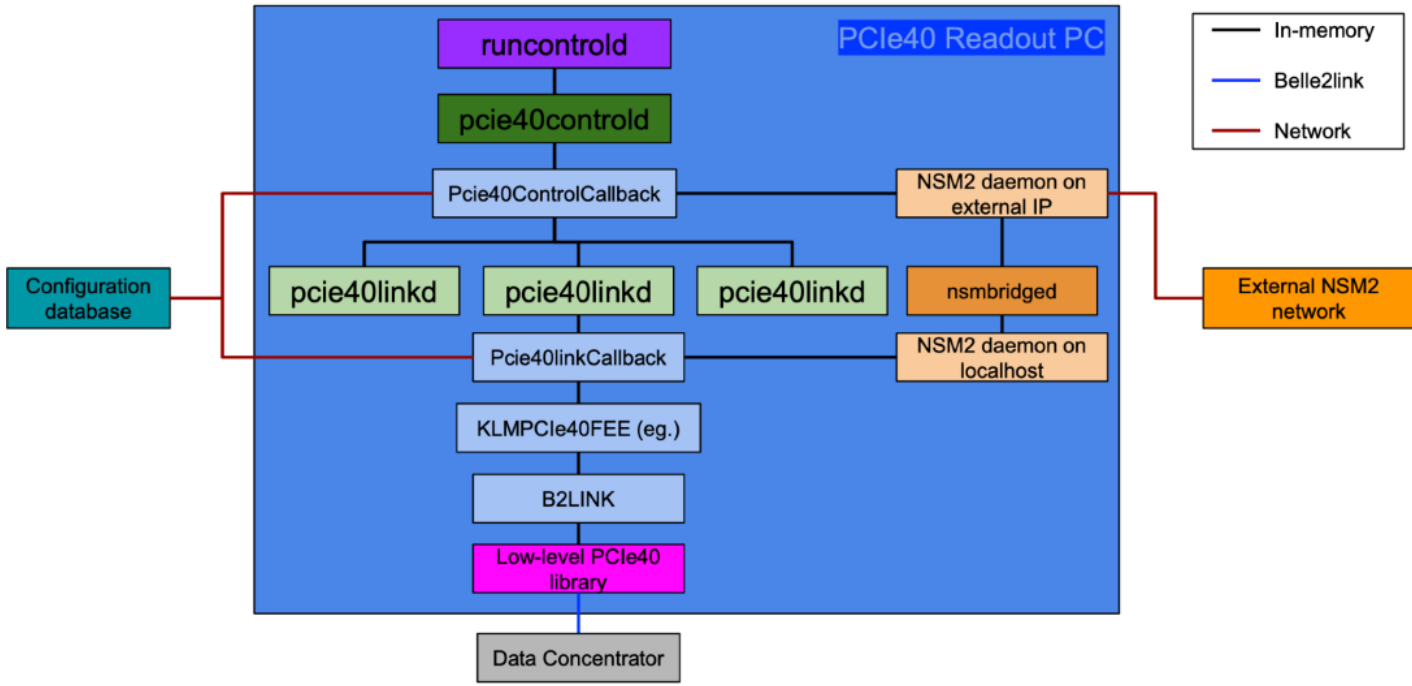
データチェック in PCIe40

- Event-building前に、FEEからのデータの基本的な整合性を確認
- エラーが検出されたら、ヘッダにフラグを立てて下流のソフトウェアで確認+エラーメッセージを出す

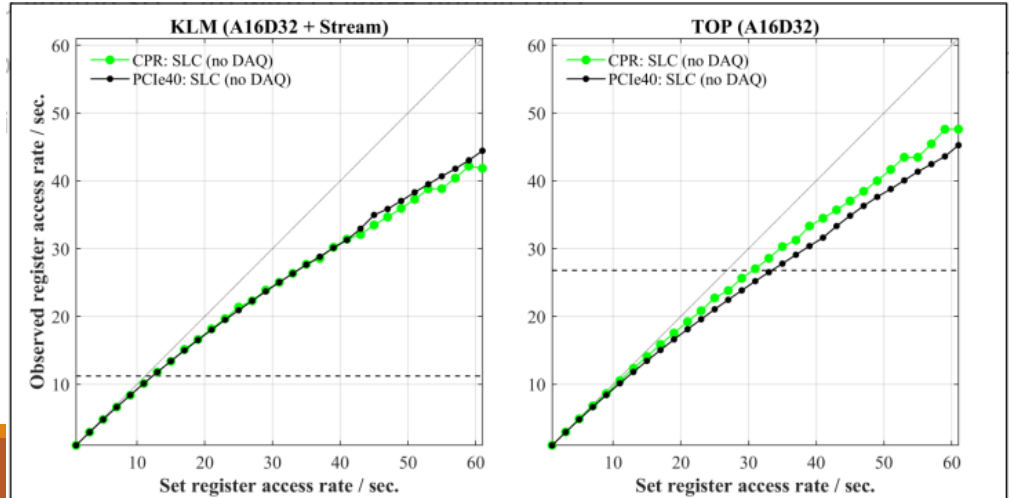
主なチェック項目

- event # jump
- Run-start from non-zero value
- CRC checksum value
- Mismatch between header and trailer
- Mismatch in hdr/trl between different links





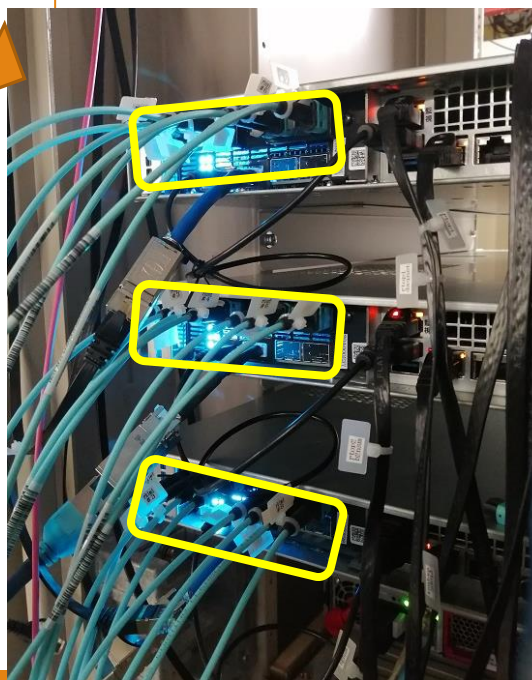
- **pcie40control**: one pre board, monitoring PCIE40 board status, manage pcie40linkd
- **pcie40linkd**: one pre link, monitoring link status, initialize and monitoring corresponding FEE.



エレキハットへのインストール

まずTOP, KLMの検出器の読み出しCOPPER systemを更新する予定。

- Around 3 racks will be used for the new system
- Cabling between PCIe40 and patch panels were done.
 - FTSW cabling was not done yet.
Currently, connecting KLM's FTSW ports for a test.

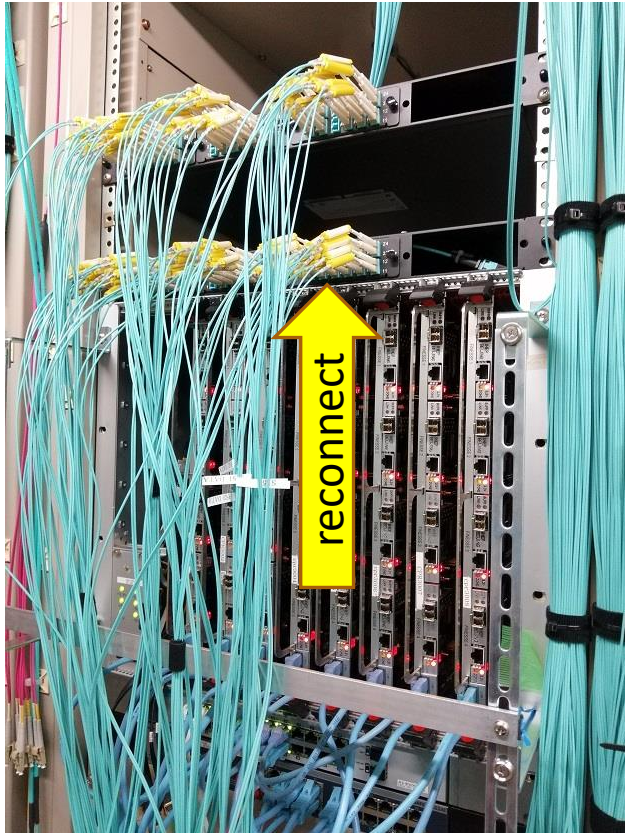


- 3 ROPCs were installed for TOP(rtop1, rtop2) and KLM(rklm1)

COPPER システム <-> PCIe40 システム切り替え

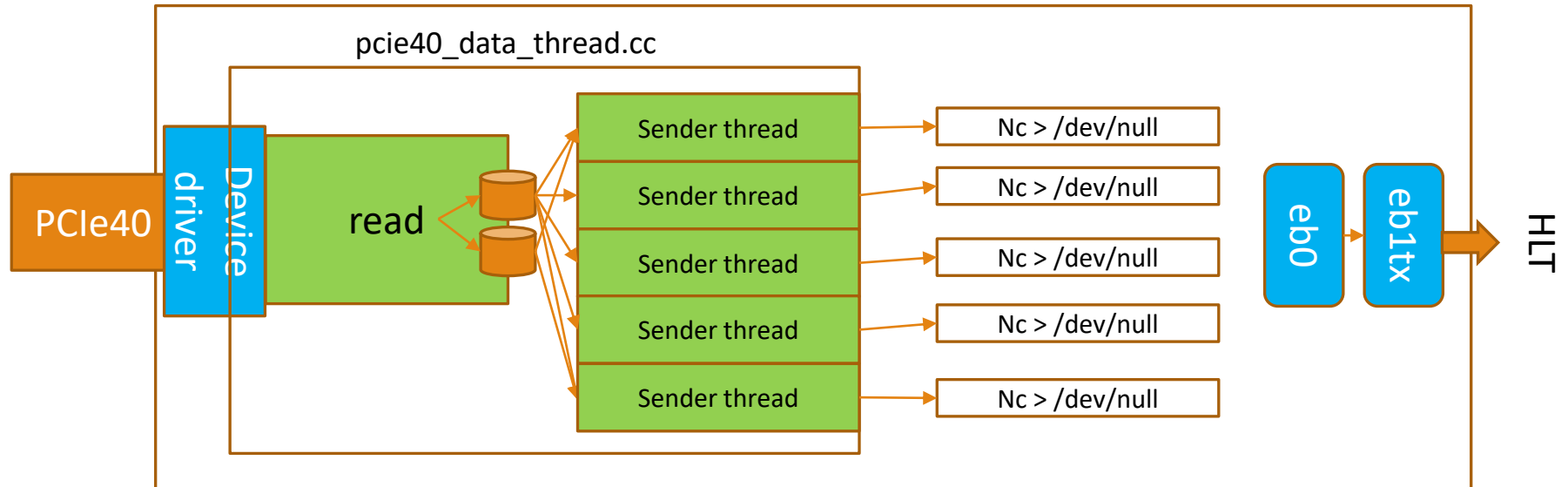
TOP patch panel : 2xPCIe40 for 72 links

KLM patch panel : 1xPCIe40 for 32 links

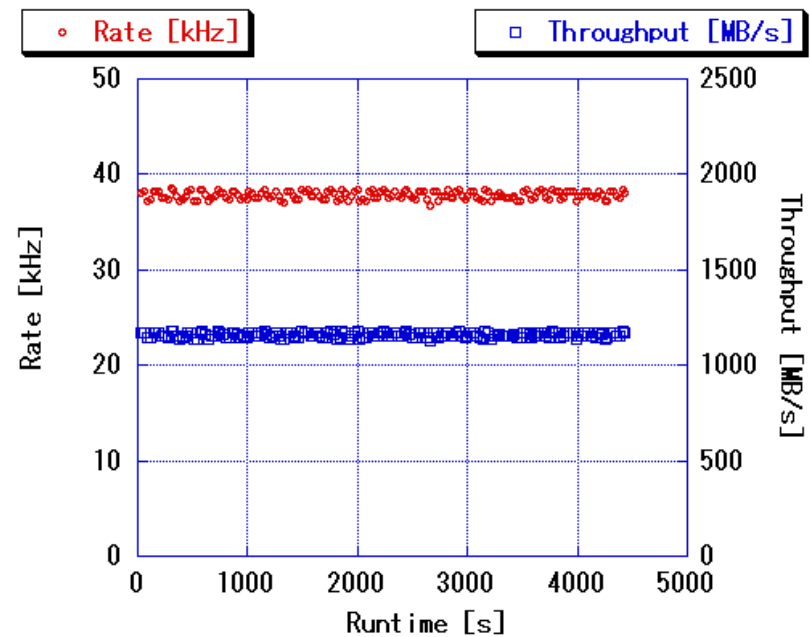


- トラブル発生時にはCOPPERシステムに戻せるように、しばらくは旧システムもstand-byさせる予定
- Time for switching fibers : about 30min/COPPER-crate

読み出し試験



- Readout and sending test with 29ch input from HSLB data generator boards. Input 40kHz Poisson dummy trigger.
- Connection to event-builder and HLT is not done yet.



まとめ

- 2018年より測定を開始したBelle II実験だが、加速器の性能は今後も上昇していく
→ DAQとしてはより high-throughputな環境に
- 現在のDAQの課題、目標としては
 - Troubleの低減、迅速なリカバリー
 - High throughputへの対応
 - High-level Trigger farmの増強
 - 読み出しシステムのアップグレード
- Belle IIの読み出しシステムのアップグレード計画
 - Belle 実験途中より使ってきたCOPPERシステムの刷新
- 実験中のアップグレードとなるため、他システムへの影響を最小限にする必要
 - 検出器フロントエンド電子回路、トリガータイミング分配システム、下流のPCファームとのインターフェースは維持
- ハードウェアとしてLHCb, ALICE upgradeで開発されたPCIe40ボードを採用し、Belle II 実験に合わせたfirmwareとsoftwareを開発。
 - 基本的な動作はテストベンチで確認された。
- まず一部検出器(PID, Kaon+Muon検出器)の読み出し系の入れ替えを予定している。
- FEEからのevent 到着のlatencyがon-board event-buildingに影響を与える可能性があり、将来的には、event-buildingをServer(のメモリ)上で行う方向で検討中