



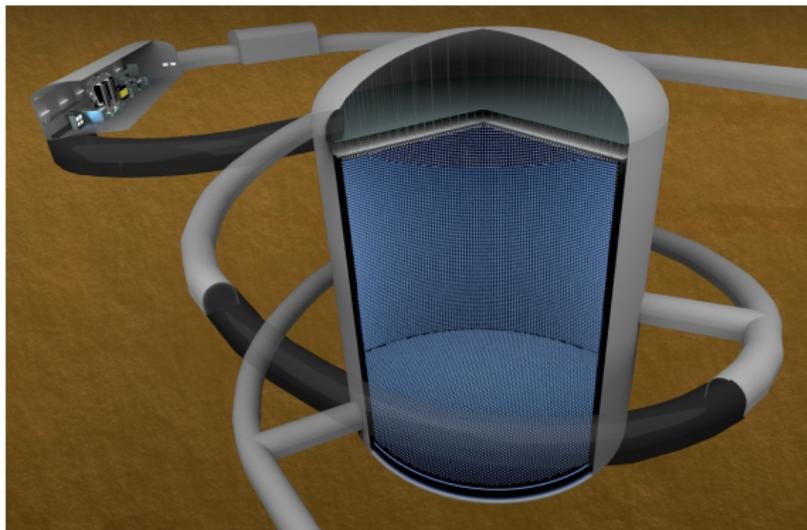
**Hyper-Kamiokande**

# ハイパーカミオカンデ実験のための エレクトロニクス開発

泉山将大, 山口洋平, 久世正弘, 片岡洋介<sup>A</sup>, 竹本康浩<sup>A</sup>,  
家城佳<sup>A</sup>, 金島遼太<sup>A</sup>, 早戸良成<sup>A</sup>, 武多昭道<sup>B</sup>, 菅沼匠人<sup>C</sup>,  
山内航輝<sup>C</sup>, 小松寛弥<sup>C</sup>, 米永匡伸<sup>C</sup>, 石塚正基<sup>C</sup>,  
for Hyper-Kamiokande Collaboration

(東工大, 東大 ICRR<sup>A</sup>, 東大地震研<sup>B</sup>, 東京理科大<sup>C</sup>)  
計測システム研究会 2021, 2021年10月28日, 九州大学

- ハイパーカミオカンデ実験
- エレクトロニクス全体像
- デジタイザ開発 (QTC+TDC)
- 同期システム開発
- 高電圧電源開発
- 水密容器内のシステム試験



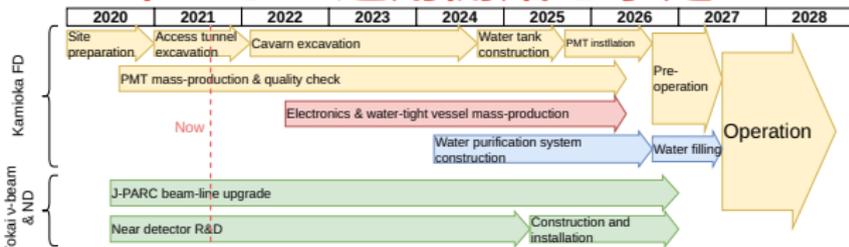
ハイパーカミオカンデ  
検出器完成予想図 →

## ● 次世代のニュートリノ及び核子崩壊探索実験

- 純水チェレンコフ検出器
- 有効体積 ~ 190 kt (SKの8倍)
  - ▶ 直径 ~ 68 m, 深さ ~ 71 m
- 19カ国からなる国際共同実験
  - ▶ 日本からは水槽、PMT、エレキ等で貢献

⇒ 来年度の中頃にエレキデザインの最終決定

## 2027年からの運用開始を予定!



SK ≡ スーパーカミオカンデ

## 水チェレンコフ検出器

- チェレンコフ光の位置・時間・光量分布 → 荷電粒子を再構成 (位置、運動量、PID など)

⇒ 光センサ (PMT) の性能が重要

## HK用 直径 50 cm PMT: SKの直径 50 cm PMTを改良

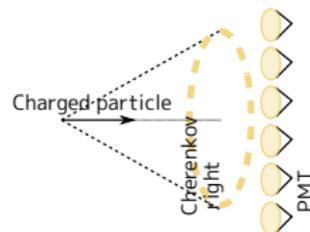
⇒ Hamamatsu R12860:  
box & line dynode型

- ▶ 単光子検出効率、電荷分解能、時間分解能、使用耐圧 ⇒ SKの2倍の改善

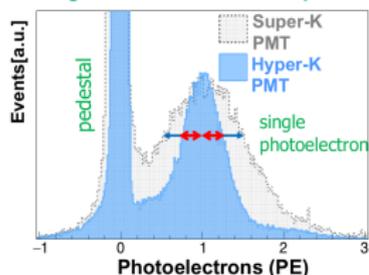


2-4万本

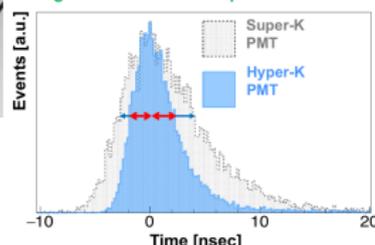
⇒ PMTの性能を最大限引き出す



Charge distribution from one photon



Timing resolution from one photon

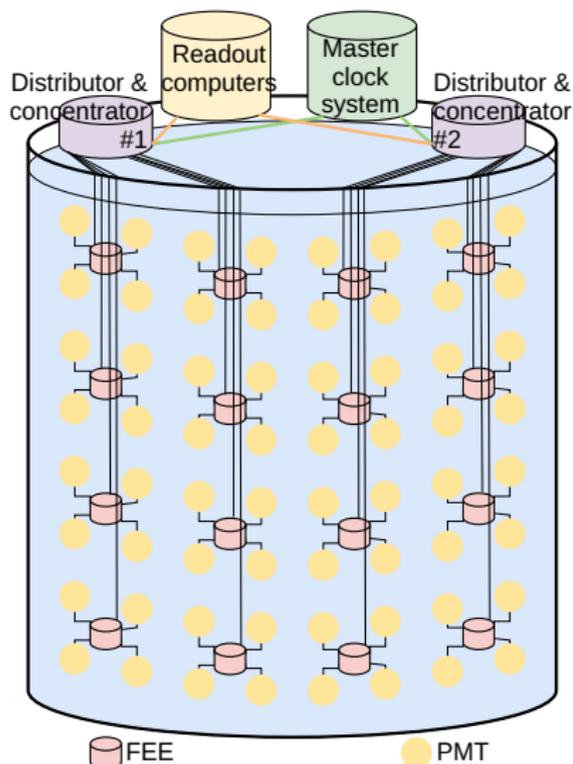


- 水中にフロントエンド回路 (FEE) を設置

- PMT 信号の減衰を避ける
- FEE と外部
  - ⇒ 12 芯光ファイバで接続
    - ▶ 2 芯 → DAQ (光 Ethernet)
    - ▶ 3 芯 → 同期システム
    - ▶ 残り → 交換用 (> 10 年の運用)

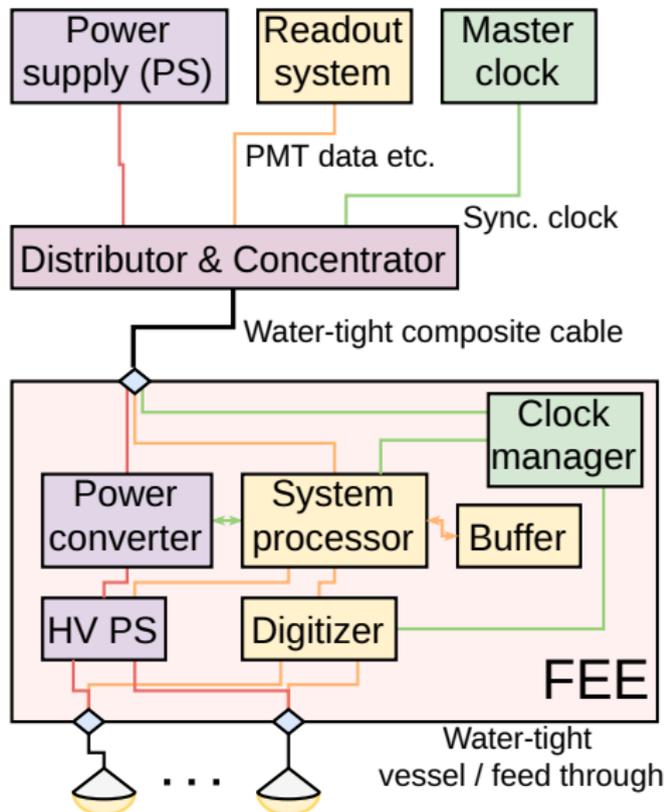
- PMT 信号のセルフトリガー ⇒ ダークノイズも含めて全て読み出す

- 電荷  $Q$  と検出時刻  $T$
- 読出計算機でトリガー発行

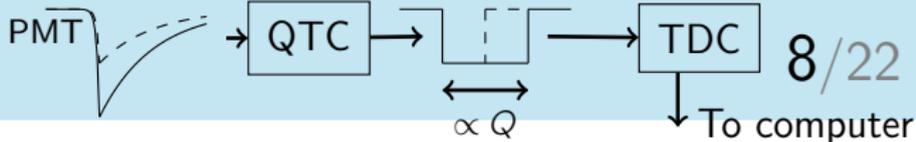


# ディジタイザ開発

- 1台あたり24本のPMTを処理
  - デジタイザ, HV, 同期ブロック, システムプロセッサ, DDRバッファ
- デジタイザ案
  - **QTC+TDC**
  - Waveform sampling
  - Shaper + ADC/TDC



# QTC+TDC



## ● SK と同様の手法

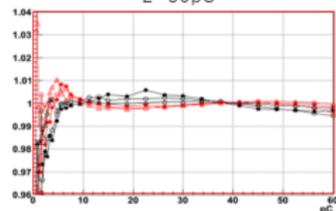
- Charge-to-Time Conv. (QTC): カスタム ASIC CLC101
  - ▶ SK のために開発 → 10 年以上の運用実績
- Time-to-Digital Conv. (TDC): FPGA 内に実装

## ⇒ プロトタイプ基板

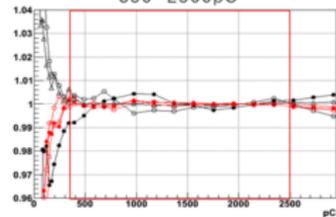
- 基本性能の確認 → OK

電荷線形性

2~50pC

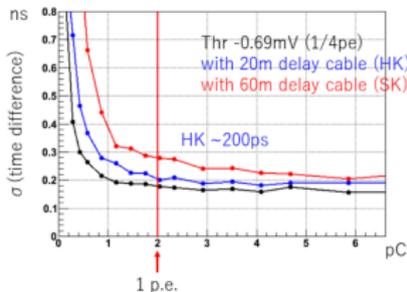


350~2500pC



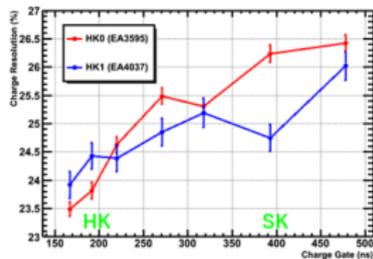
## 時間分解能

time resolution

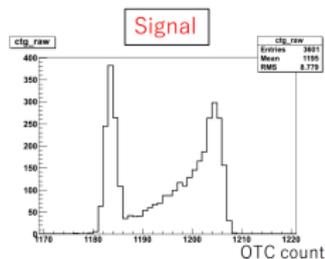
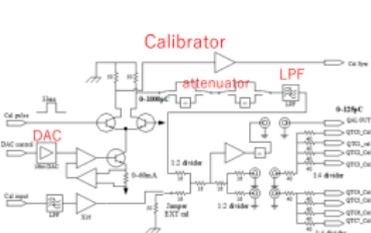
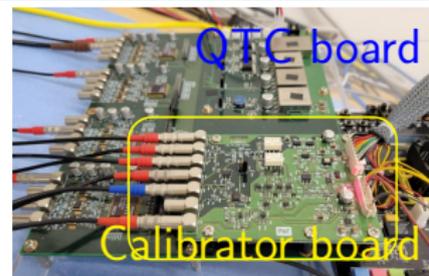


## 電荷分解能

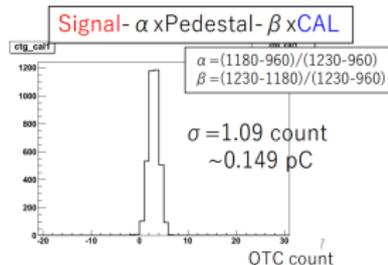
1pe charge resolution

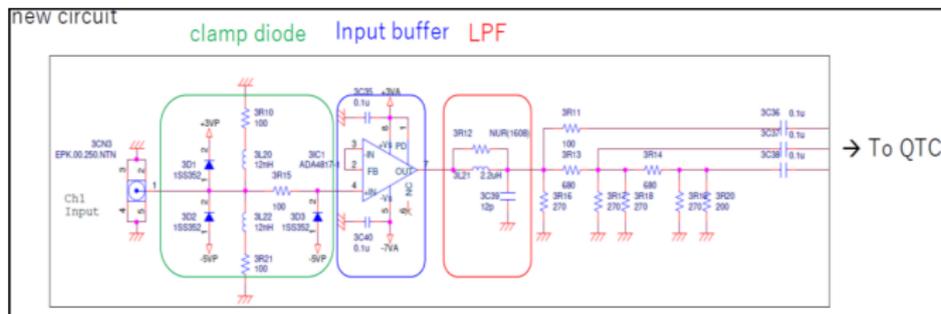


- QTC 電荷測定 の 温度 依存 性
  - オフセット  $\sim -0.08 \text{ pC}/^\circ\text{C}$
  - スケール  $\sim -0.26 \text{ \%}/^\circ\text{C}$
- Calibrator
  - $10\text{--}74 \text{ pC} \rightarrow 1 \text{ \%}$  以下 の 線形 性
  - 温度 依存 性  $0.02 \text{ \%}/^\circ\text{C}$
- $47^\circ\text{C}$  から  $30^\circ\text{C}$  と 温度 を 変え ながら 測定  
 $\Rightarrow$  QTC そのもの の 性能 へ 較正 され た



較正後  
 $\longrightarrow$





## ● PMT の放電

### ⇒ 保護ダイオードの選定

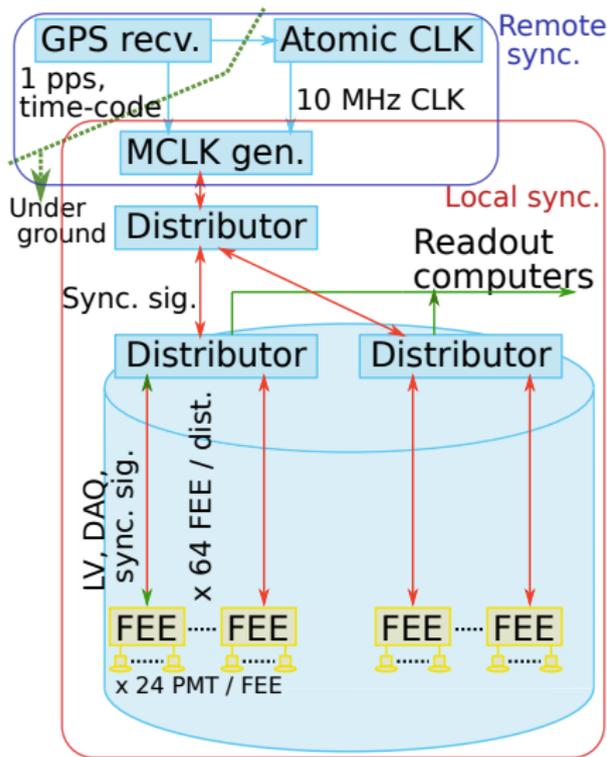
自動でショート、  
放電させるように  
して数万回の放電  
試験

## ● 設計の再検討

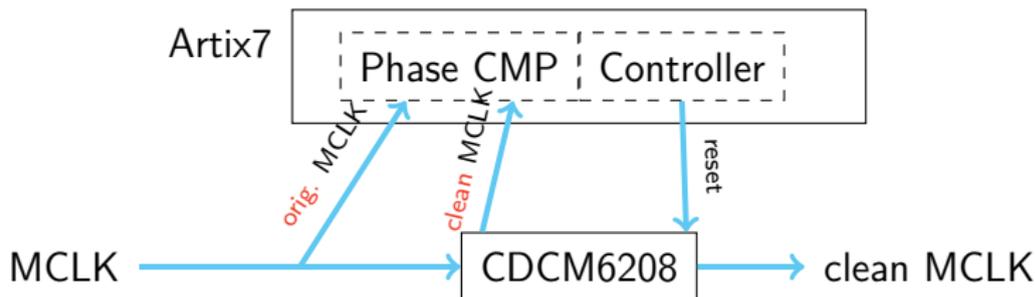
- 現行ではバッファアンプのダイナミックレンジ ( $\sim -6$  V) が足りない
- アンプトポロジータも含めて再検討中

# 同期システム

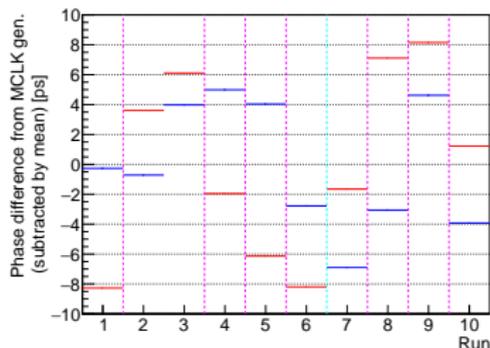
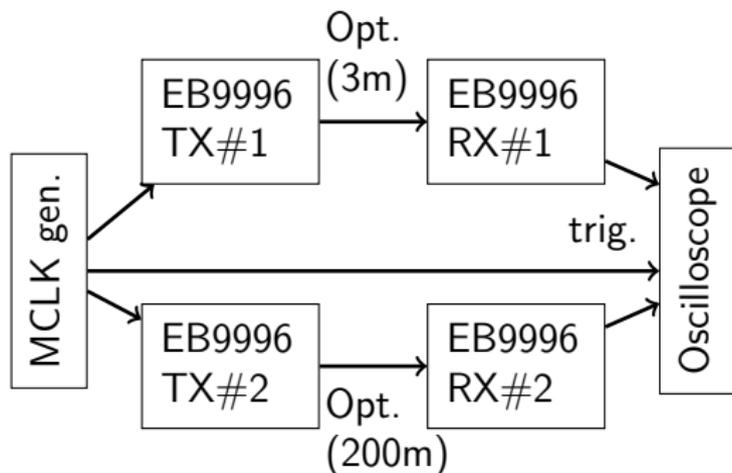
- PMT 間の時間差  
⇒ リング再構成性能
  - PMT 時間分解能 ≫ デジタイザ時間分解能  
～ デジタイザ間ジッタ
- TDC の動作クロックと同期カウンタを外部から供給
  - 配布手法も検討中
    - ▶ Custom format, White Rabbit
  - ⇒ CLK+シリアルデータを並列に光で配布 (SK-like)
    - ▶ Status なども読み出す



- Texas Inst. の CDCE62002 と後継 CDCM6208 を評価
  - Belle II の同期・トリガシステムを参考に
    - ▶ ただし、input-output CLK 間の位相を揃える機能はない ⇒ Belle II では、揃うまで再起動するそう → 実装して試した



- Artix-7 (XC7A35T-2FGG484I) で制御
  - Phase CMP: CDCM6208 への入力 CLK ↔ 出力 CLK
    - ▶ 入力 CLK を 5 逓倍した 625 MHz でラッチしてエッジ検出
    - ▶ Artix-7 ではぎりぎり (?) (本番は早い FPGA なので問題ないはず)

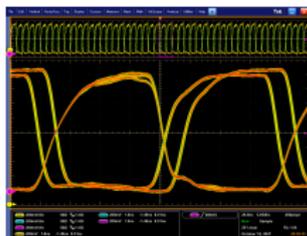


RX#1 node

RX#2 node

ピンクの縦線: 電源再投入  
 水色の縦線: 電源はそのまま、1夜放置

MCLK を 3 系統同時に出力、  
 EB9996 内の CDCM6208 で  
 それぞれジッタクリーン ⇒  
 CLK エッジ間の位相関係を  
 測定



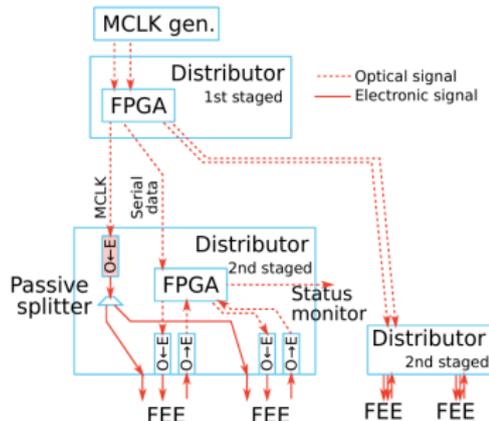
- 分配: 1 台のマスターモジュール → FEE 2,000 台
  - ~ 48 出力の分配器 × 2 段 ← 無難なスケール
- 検討しながら思ったこと:

- 光スプリッタ

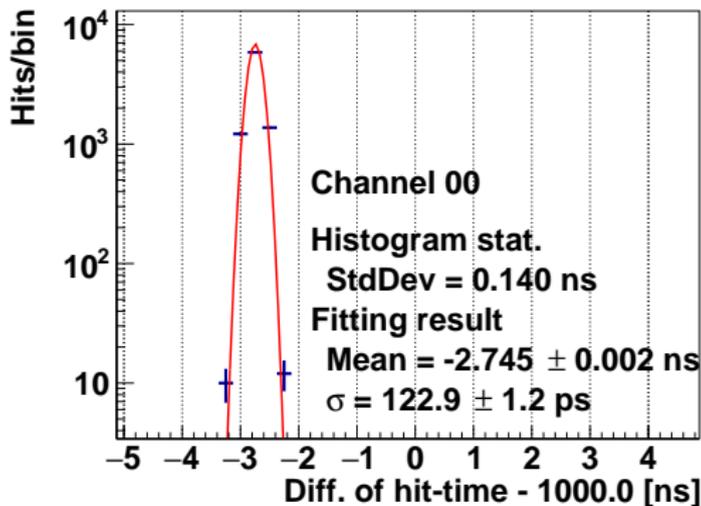
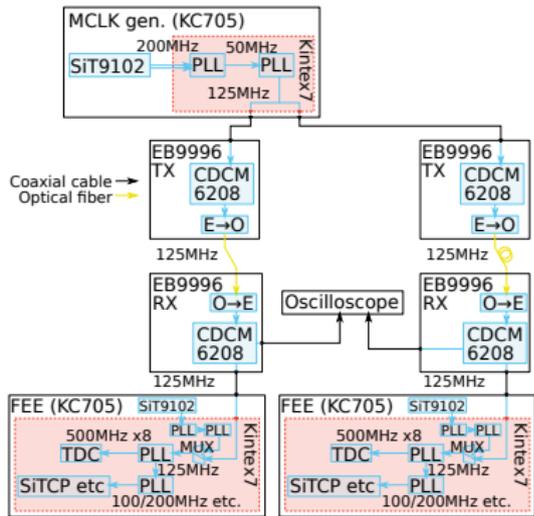
- ▶ FEE 側の採用予定: 850 nm VCSEL の multi-mode SFP/GBIC
- ▶ 48 分岐の MM スプリッタとなるとメーカーが限られる
- ▶ 高出力レーザー (~mW) も限られる

- 簡単なセットアップが組めないかと調査

- ▶ 要求) FPGA 評価基板 + 数十個の SFP ポート
- ▶ 10 port の SFP 搭載 FMC カード → 全て高速トランシーバ用 → KC705 では SFP 2port しか繋がっていない
- ▶ 自分で引いてしまうのがよいか



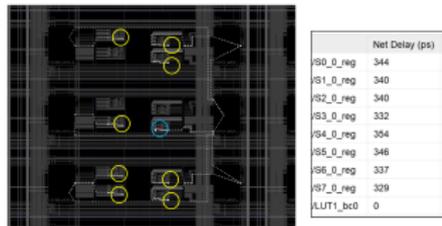
- TDC 性能はクロックにも大きく依存し得る
  - デジタイザプロトタイプと統合して評価



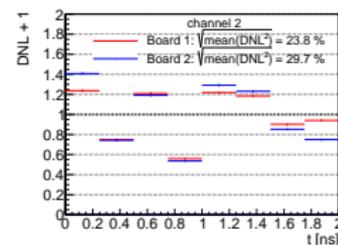
このように接続し同期、TDCにテストパルスを打ち込み時刻を比較

2 台の TDC 間の時刻の差の分布

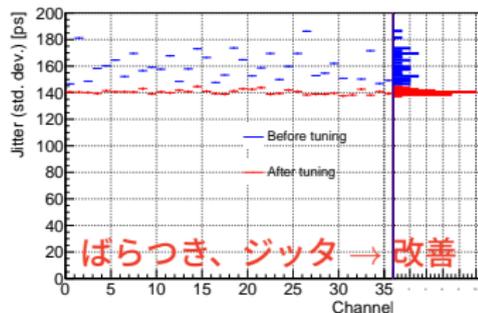
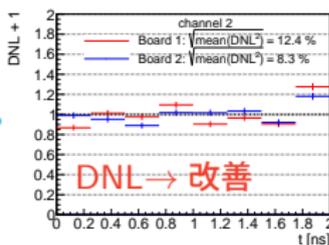
- TDC 36 個それぞれでのばらつきが大きかった
  - 各 TDC で配線がちょっとずつ異なることが分かった
  - 統合時、カウンタ同期確認用のロジックを TDC に追加
  - リソースを FPGA の一定領域に収めなさい、という pblock 制約のみで TDC 配線をコントロールしていたが、ロジックの追加で余裕がなくなったかと思われる



## ⇒ TDC 配線を明示的に固定

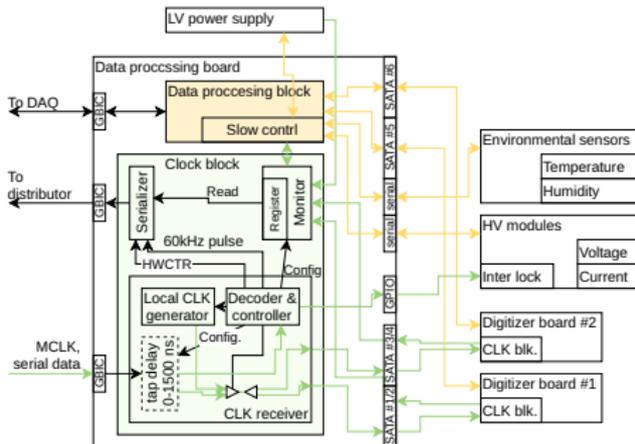


After tuning



- 統合試験中、TDC からの読み出しが止まることがある

- FEE 側の CLK 受信部  
→ 供給 CLK が途絶えた場合は、内部クロックに動的に切り替える
- 切り替え時のリセット動作の不備に起因か?
  - ▶ TDC 等からみると突然 CLK がずれる



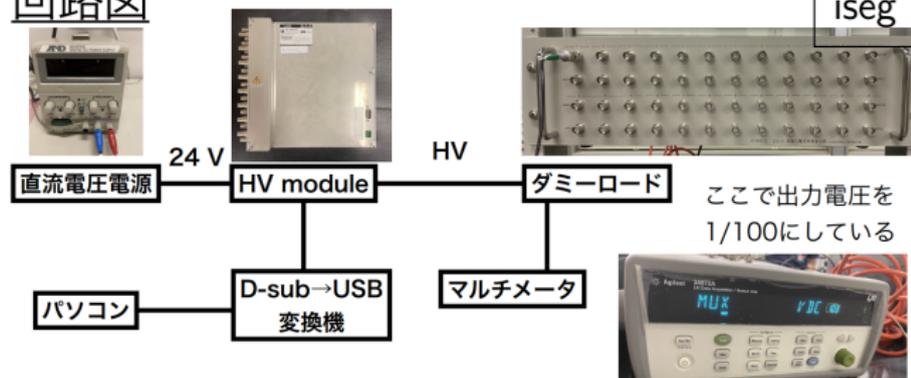
⇒ そうならないようなシステムを検討中

- CLK が ready になったら、async で全体をリセット
- CLK block から定期的に分配器側へ status の信号を返す

- 24 ch 出力の  
プロトタイプが完成
  - 消費電力、  
安定性など  
評価中

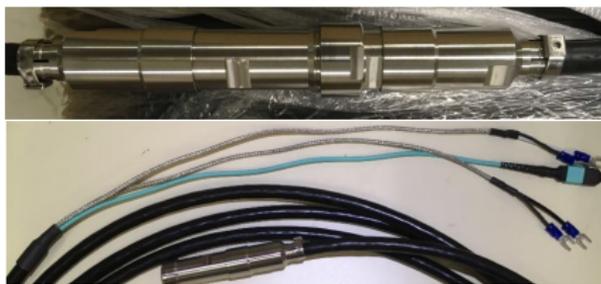


回路図

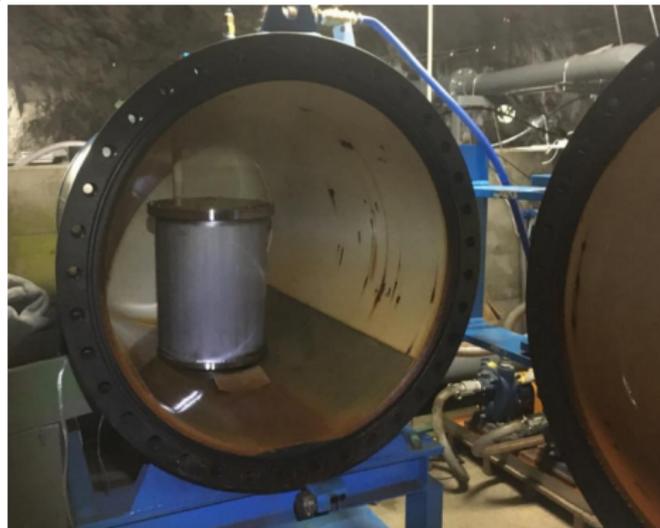
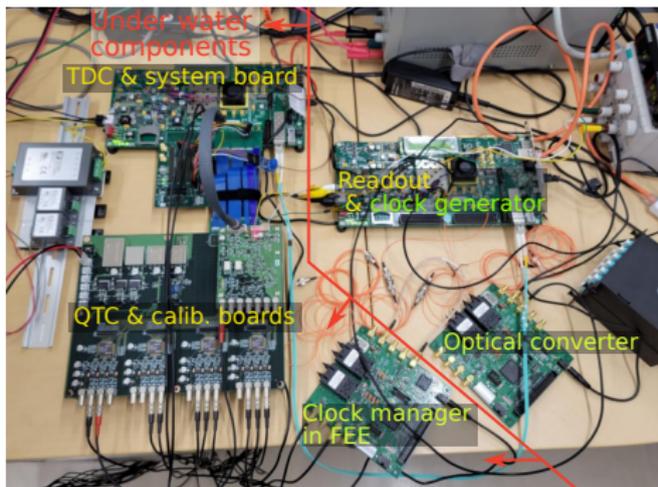


- 水中設置で必須: 容器, ファイバ, フィードスルー
  - 耐圧  $\sim 1$  MPa
  - 内部エレキと水・取り付けフレームとの熱的・電氣的な仲介

- 熱シミュレーションも活用しながら基板マウントなども設計
- アッセンブリのしやすさも考慮



- 水密容器内に収めての統合試験を予定 (2022 年 始め)
  - デジタイザ, 同期システム, HV モジュール, 水密容器, 耐圧ケーブル
  - ノイズ試験, 機能テスト, 温度影響などが気になるところ



- 2027年度ハイパーカミオカンデ実験の開始  
→ 来年中頃、エレキ全体のデザイン決定
    - 検出器の掘削が進行中
  - 日本エレキグループでは
    - QTC+TDCのディジタイザ:  
温度依存性など詳細な性能を評価中
    - 同期システム: モニター機能などを実装、試験中
    - HV
    - 水密容器
- ⇒ 全体としての統合試験を2022年前半に予定

# Appendix

Item	requirements
Trigger	self triggering for each channel
Discriminator threshold	$< 1/6$ p.e.
<b>Channel dead time</b>	$< 1 \mu s$
Charge dynamic range	0.1 to 1250 p.e. (0.2 to 2500 pC)
<b>Charge resolution</b>	RMS 0.05 p.e. for signals below 10 p.e. better than 0.5 % above 10 p.e.
Charge linearity	$\leq 1\%$ from 0.1 p.e. to 1250 p.e.
<b>Timing resolution</b>	RMS $< 0.3$ ns at 1 p.e. RMS $< 0.2$ ns for signals above 5 p.e.