

J-PARC muon $g-2$ /EDM実験： DAQシステムの開発

岡崎 佑太 (KEK 素核研)

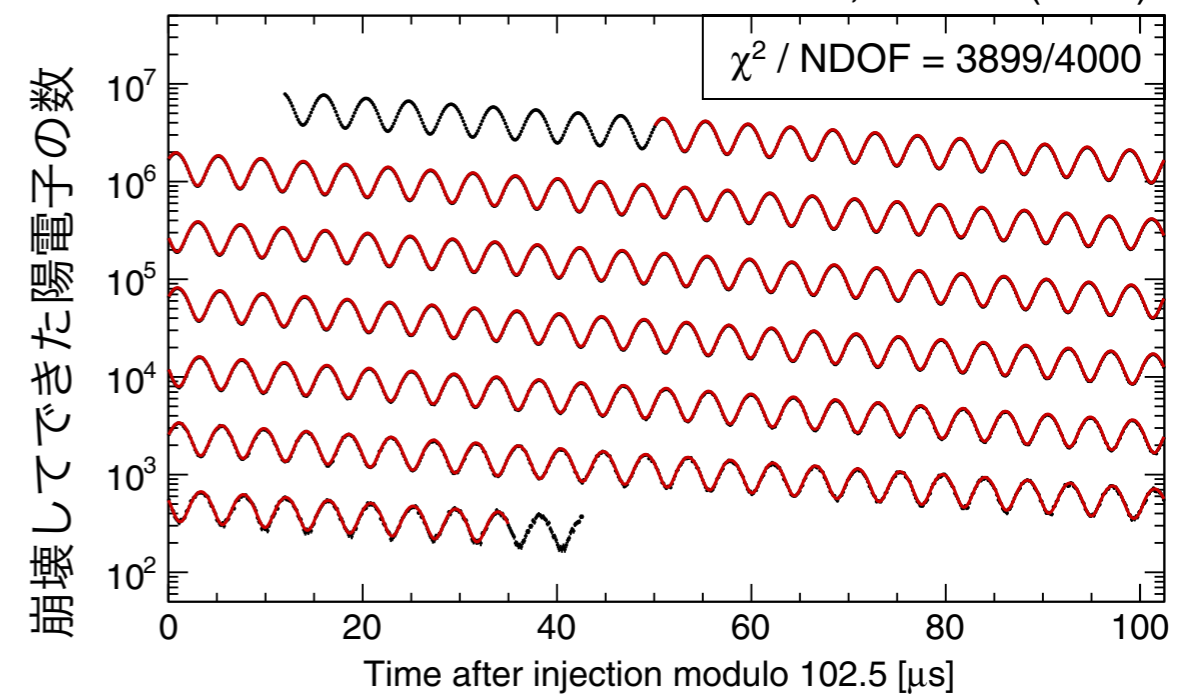
計測システム研究会2021

2021.10.29

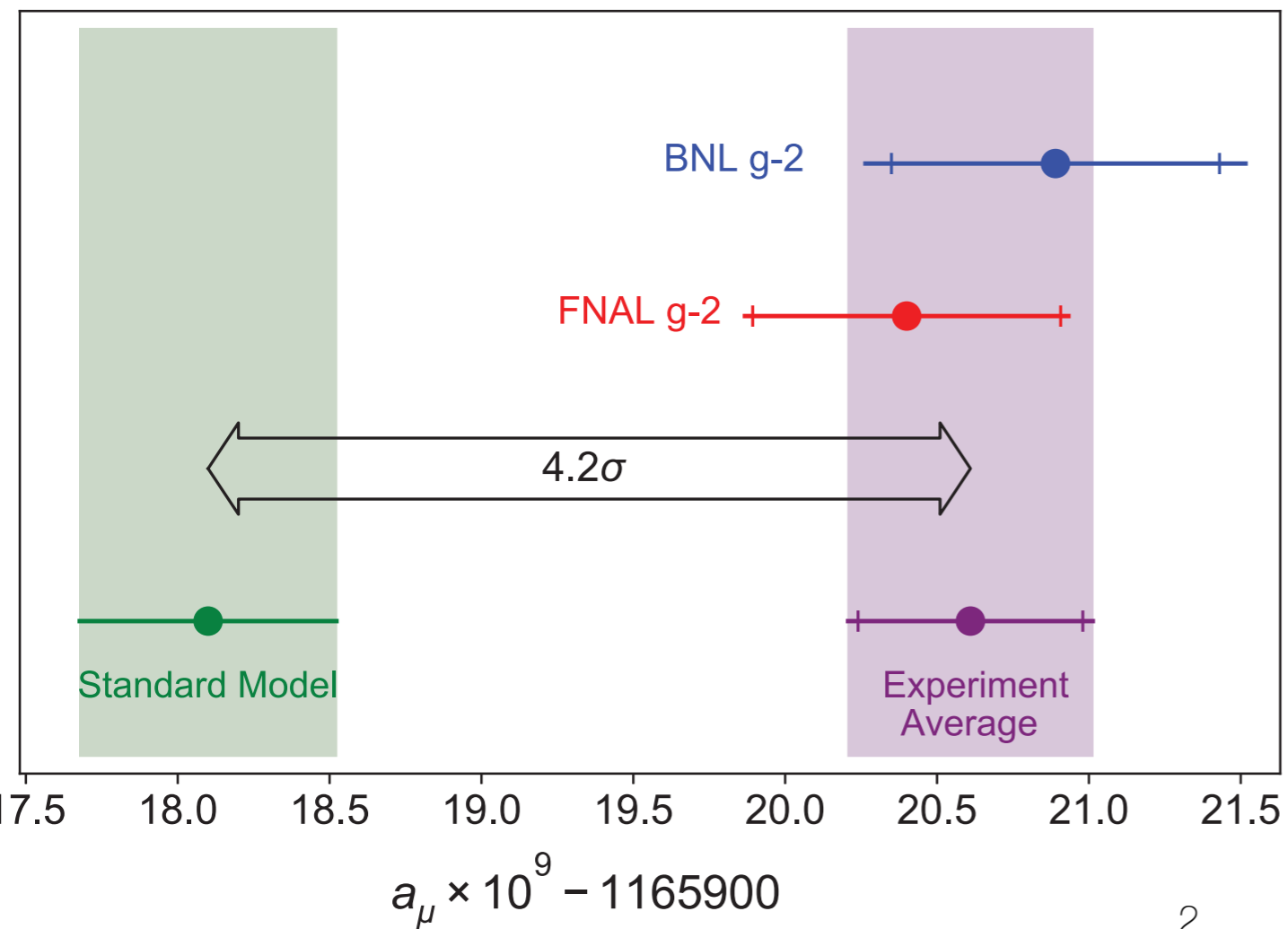
ミュオン異常磁気能率(g-2)@FNAL

- 2021年4月、FNALの最初の結果が発表された
 - BNLの結果と無矛盾な結果
 - FNAL+BNLの測定と理論のズレは 4.2σ
- 最終的にはBNLの20倍のデータを貯める

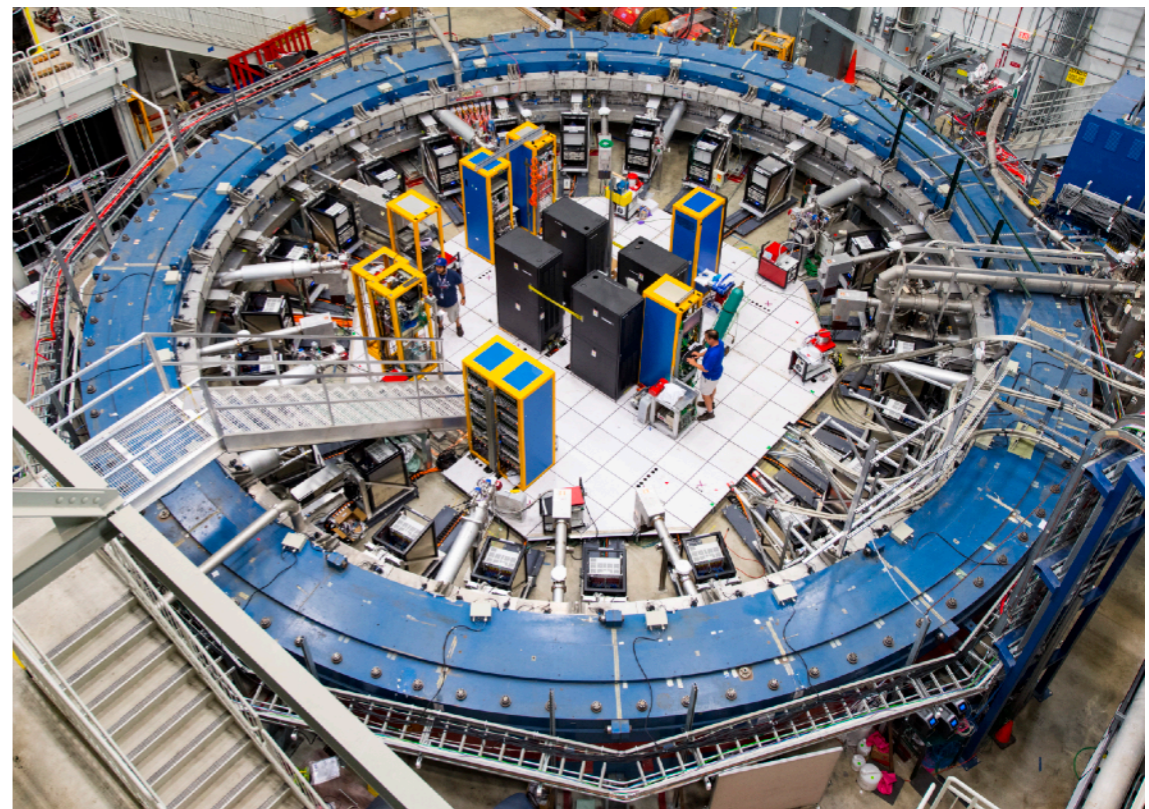
PRD 103, 072002 (2021)



PRL 126, 141801 (2021)

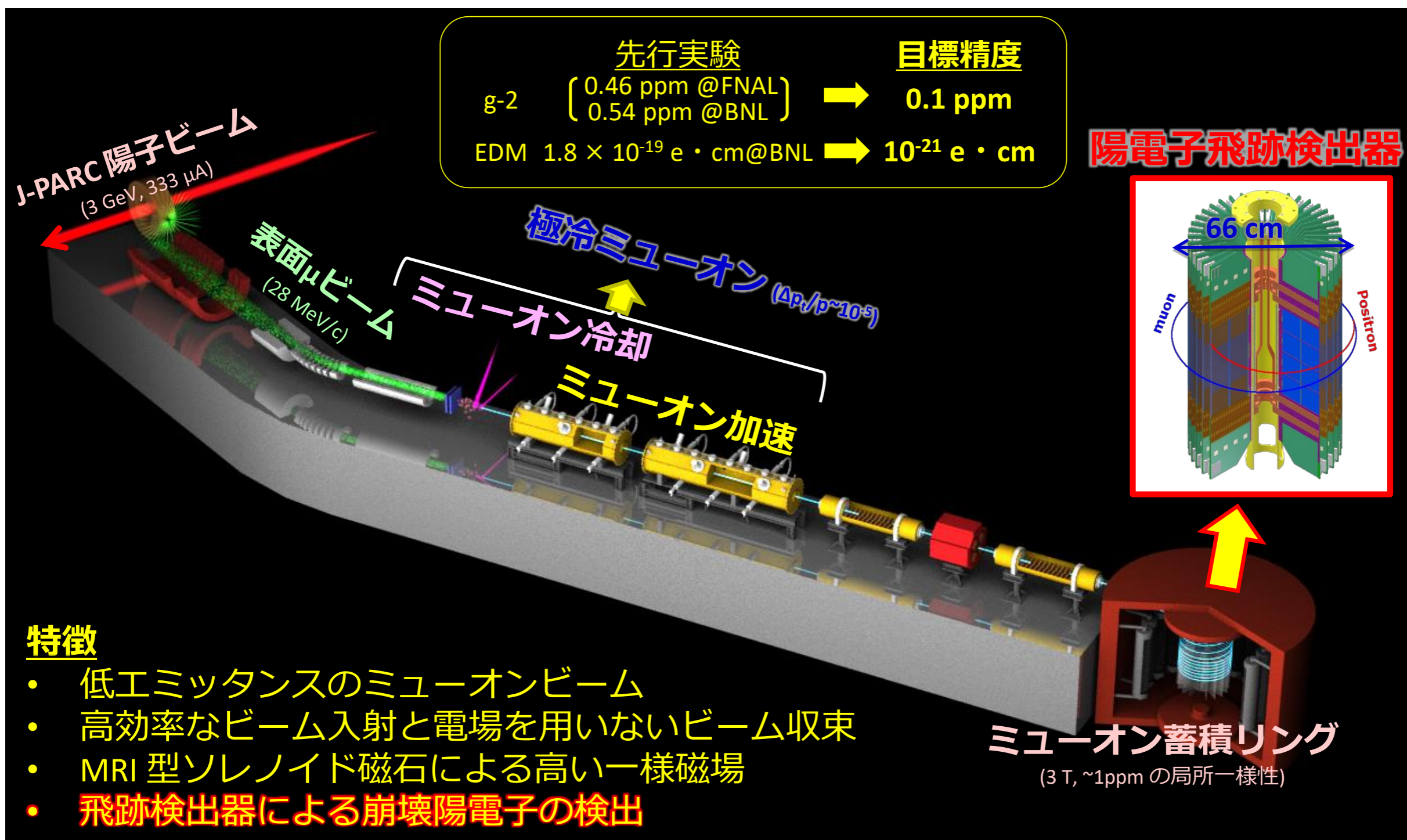


BNLから移設した蓄積リング(FNAL)



J-PARC muon g-2/EDM 実験

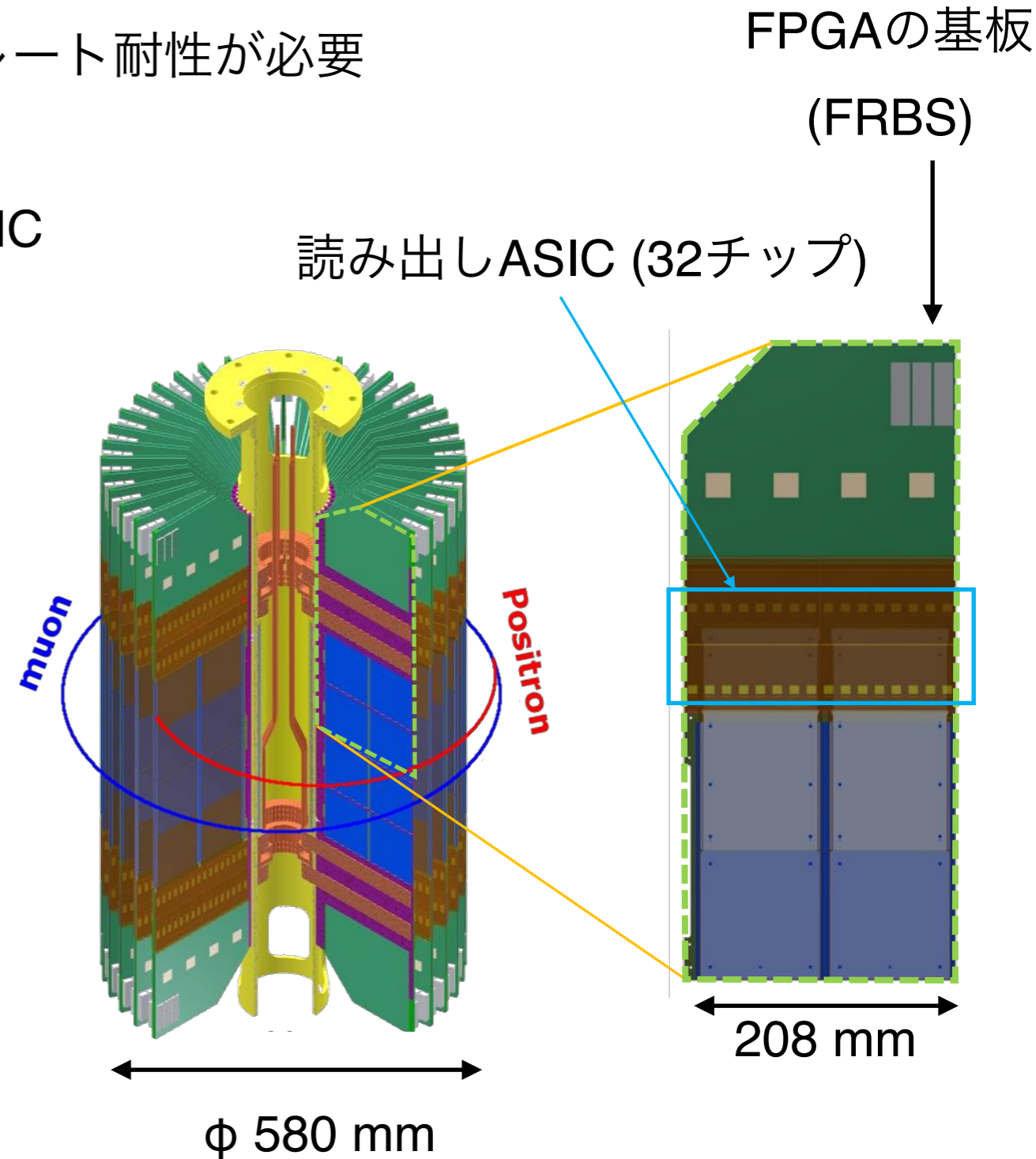
- BNL、FNALとは異なる手法で測定を行う
 - TDRの要約論文 (M.Abe et al., PTEP 2019(2019)053C02)



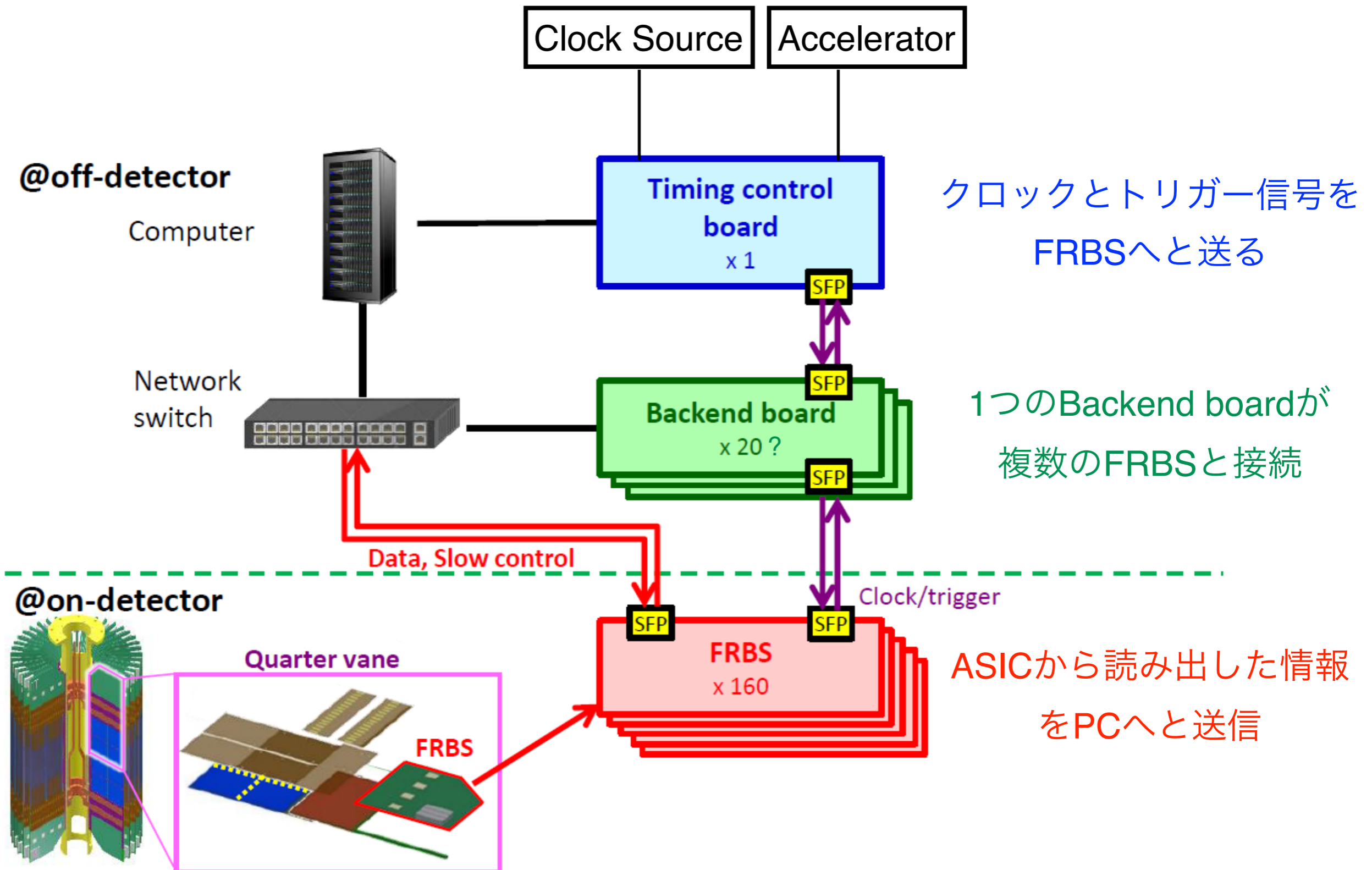
電子陽電子飛跡検出器

- ミューオンの崩壊で生じる陽電子の崩壊時刻、運動量などを測定するためにシリコンストリップ検出器を用いる
- 最大 6 個/ns でミューオンが崩壊する → 高レート耐性が必要
 - 190 μm のピッチを持つセンサー
 - 高速応答 (立ち上がり時間 < 50 ns) なASIC
 - 5 ns のサンプリングレート

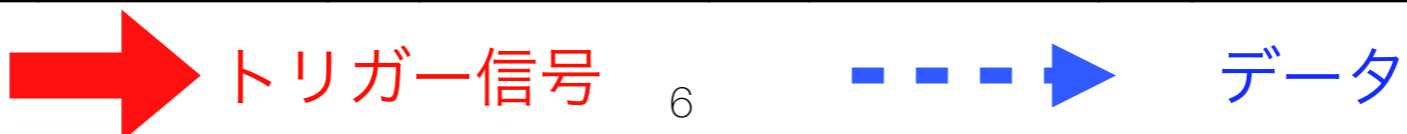
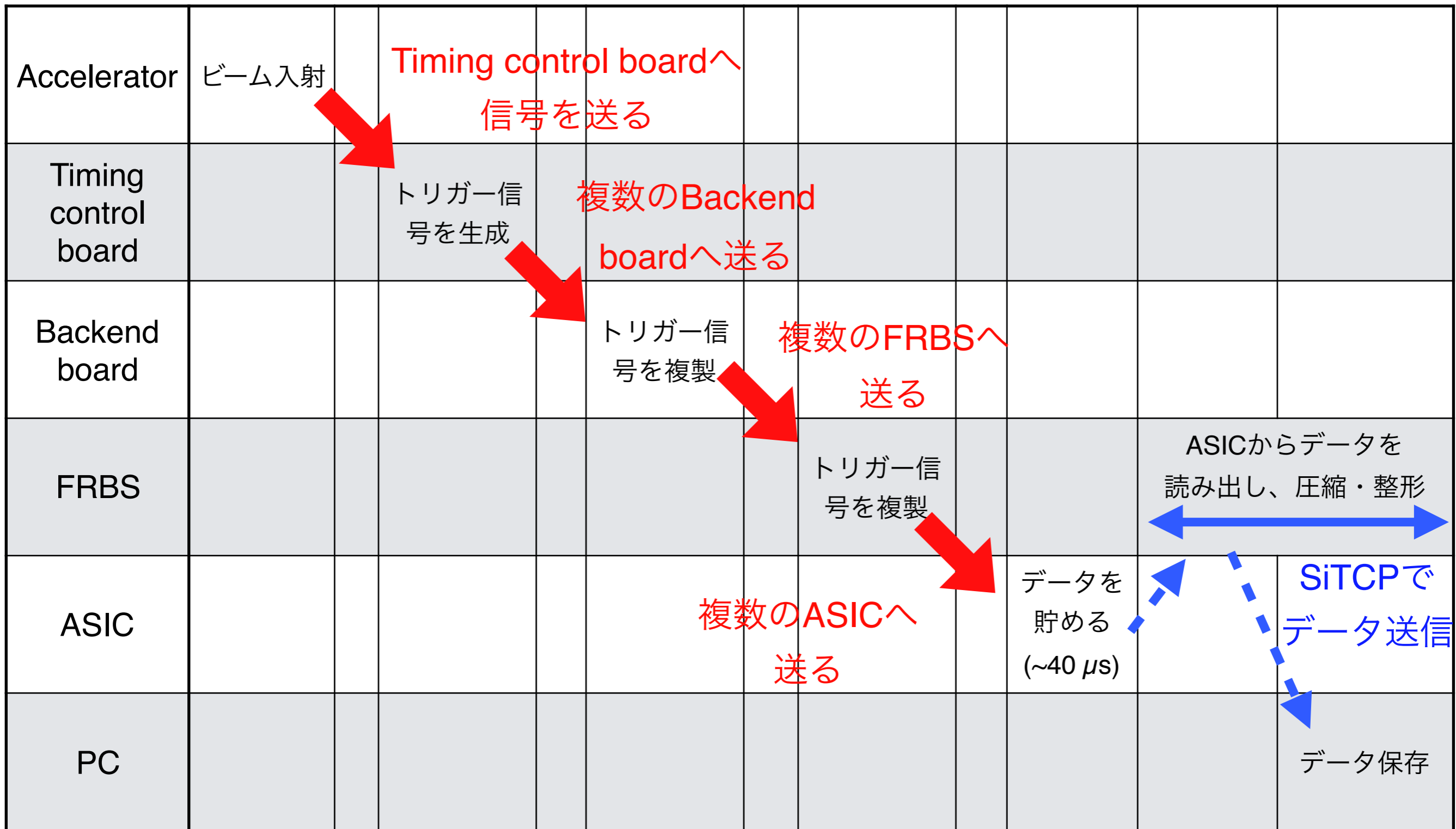
- シリコンストリップセンサーが貼られた”ベーン”を40枚配置
- 最小のモジュール単位は”クォーターベーン” (ベーンの1/4に相当)



DAQシステムの概要



データ保存までの流れ



DAQシステムに関する制約

- 基準クロックの高い周波数安定性 ($\Delta f / f \ll 4 \times 10^{-9}$)

- 物理からの制約 (0.1 ppmでのmuon g-2測定)

$$\Delta T / T_{g-2} \ll \Delta \omega / \omega = 0.1 \text{ ppm}$$

$$\rightarrow \Delta T \ll 0.1 \text{ ppm} \times (2 \mu\text{s}) = 2 \times 10^{-13} \text{ s}$$

- 測定時間 = 50 μs

$$\rightarrow \text{相対的な不定性} : 2 \times 10^{-13} \text{ s} / 5 \times 10^{-5} \text{ s} \ll 4 \times 10^{-9}$$

- 十分小さいクロックジッタ : 30 ps (σ)

- 明確な数字ではないが、ベンチマークとして用いる

- FRBS基板の上にSFPケージを配置できない

- トリガーとクロックを別のパスで送ることはできない

- ASICのデータ読み出しに関する制約

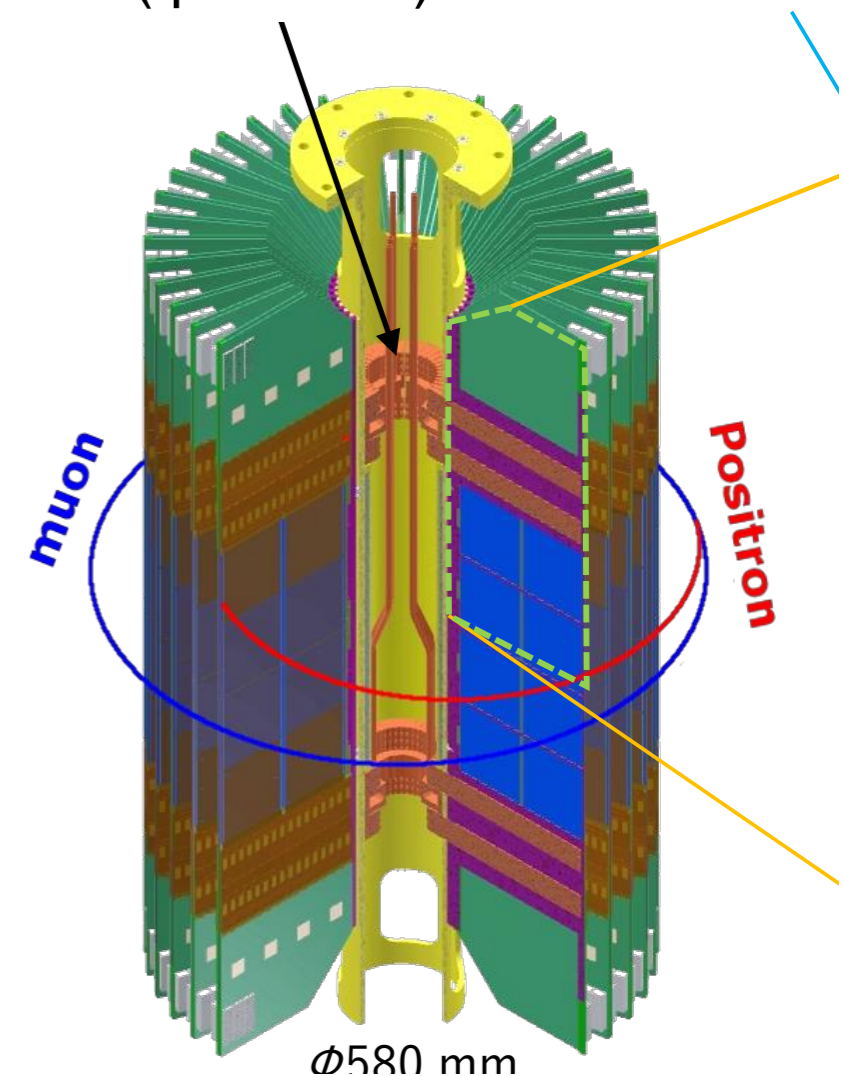
- 1 spillのデータをFRBS上に保持するためのメモリ

- FRBS \rightarrow PC間のデータ転送

$$(\text{予想} : 27.5 \text{ Mbps} < \text{SiTCPの上限} : \sim 1 \text{ Gbps})$$

ここに電源、データ読み出し、クロック・トリガー信号の3つのケーブルを通す

(ϕ 60 mm)



クロック分配

Freqtime社 FT-001S



10 MHz
(正弦波)

Signal Generator
(Agilent 33250A)

10 MHz
(方形波)

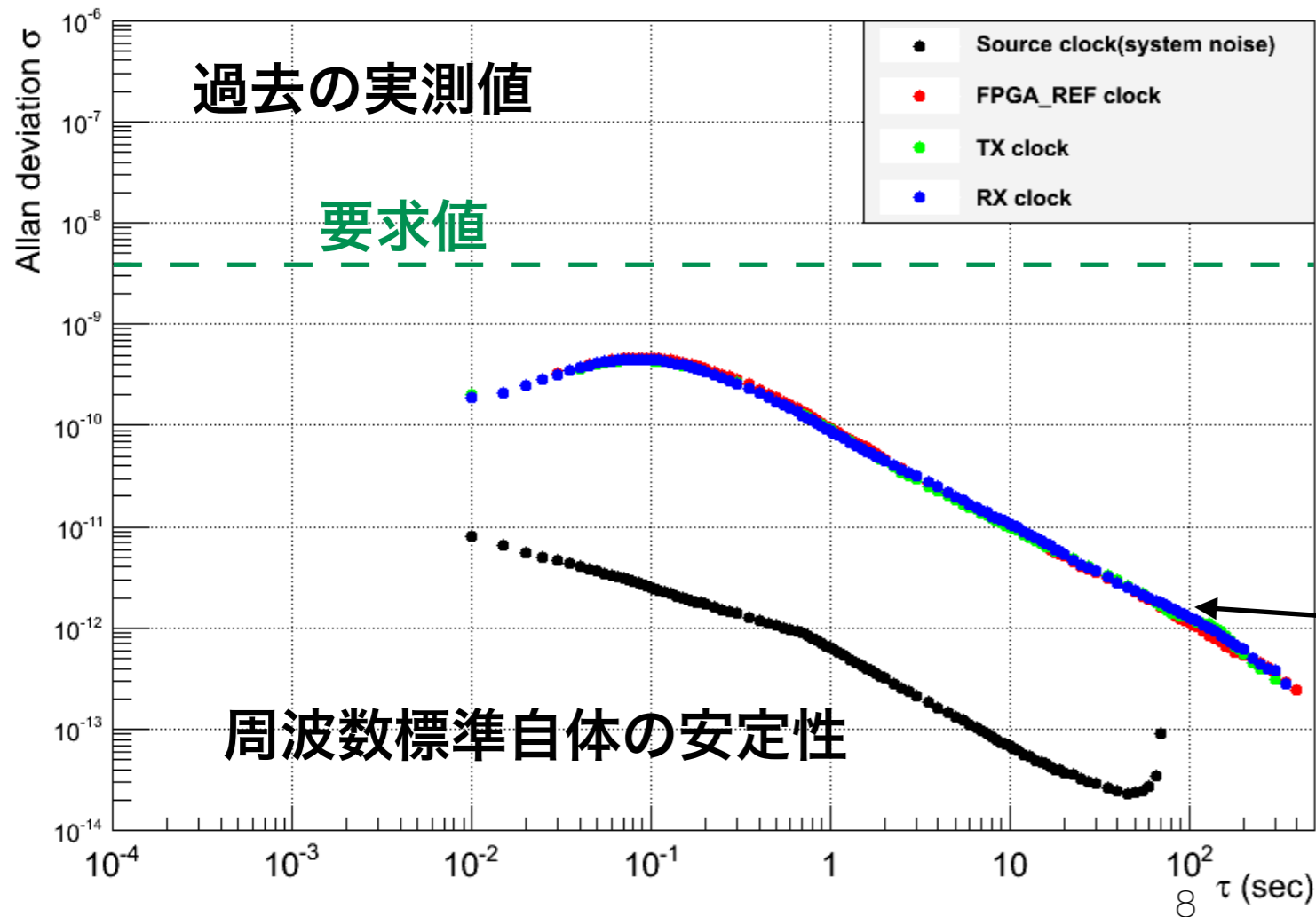
- GPSの情報を用いて周波数を校正できる
- カタログ値 : $\Delta f / f < 1 \times 10^{-13} @ 1 \text{ day}$

- 同期した方形波に変換

Timing Control Board

- クロックをFRBSへ分配

FRBS



Xilinxの評価ボードを通した後
(GT transceiver等でクロックを
分配した後)に得られた
クロックの安定性

クロックの分配方法

検出器側の制約からクロックとデータ(トリガー信号)を1つのパスで送る

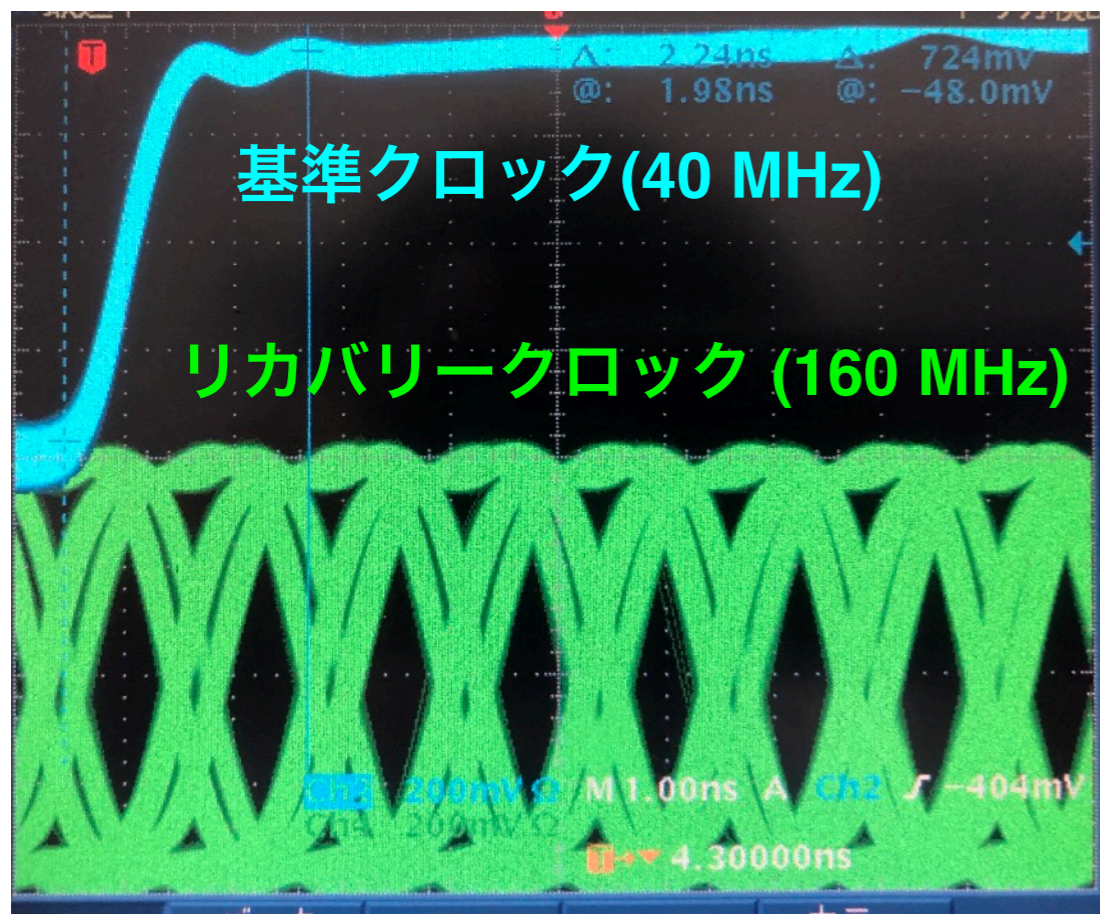
- **clock-on-data方式 (8b10bなど)**

- メリット

- XilinxのGT transceiverなどが使用可能なため実装が楽
- 大量のデータを送ることができる

- デメリット

- 異なるボード間のクロックの位相を同期させるには少し面倒



10種類の位相がある

→ リセットする度にクロックの位相が変わる

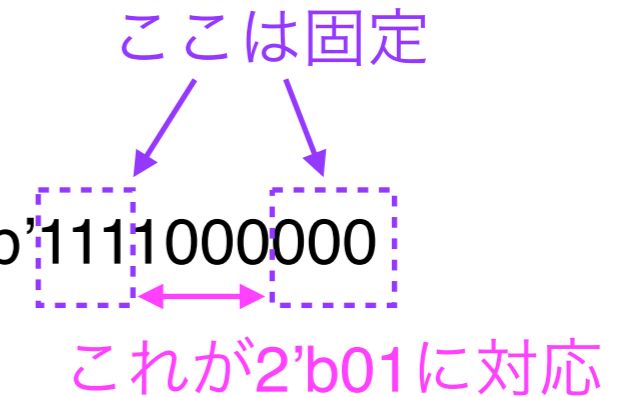
リカバリークロックから低速なクロックを作り直しても位相はあっていない

クロックの分配方法

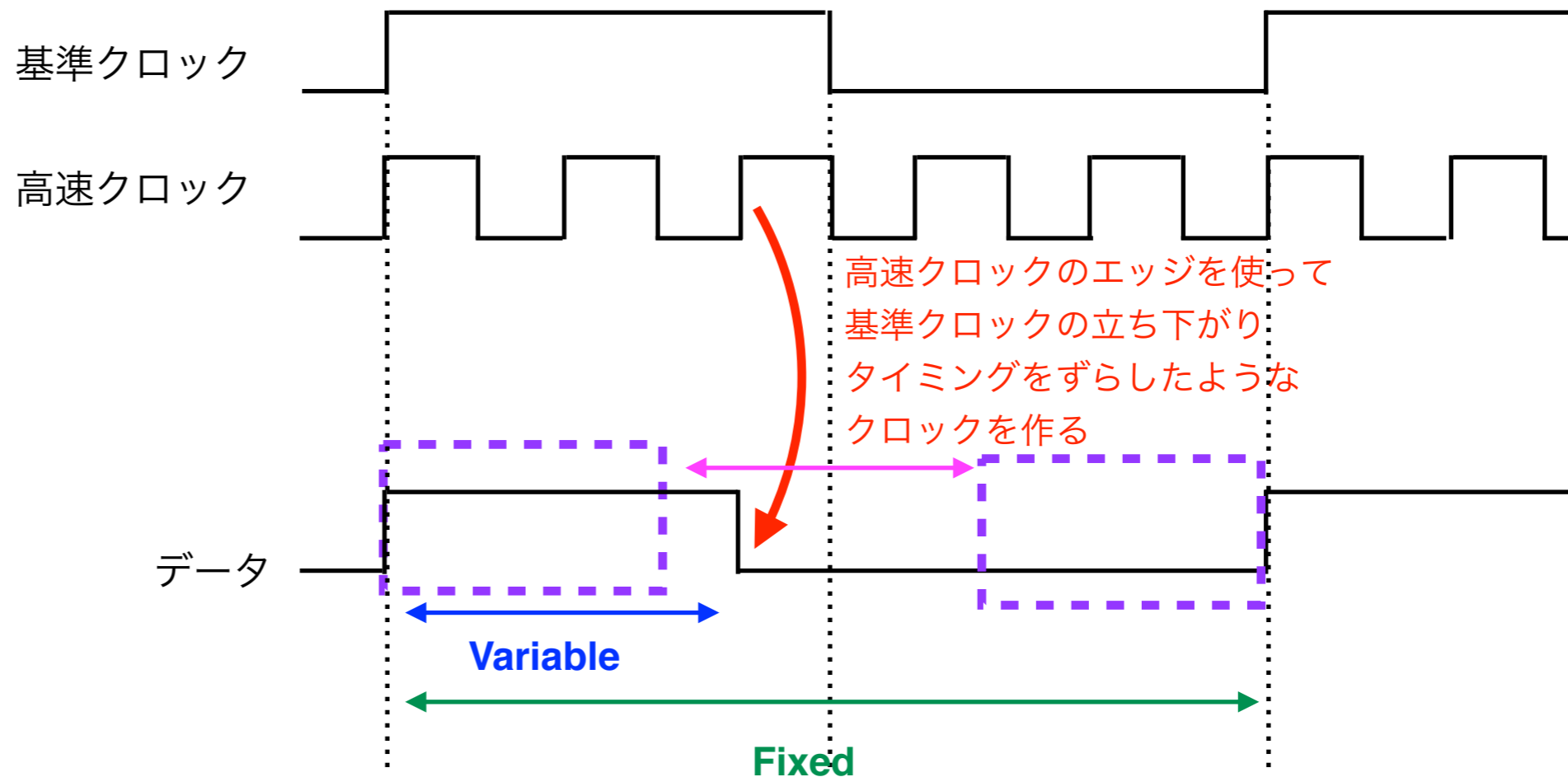
検出器側の制約からクロックとデータ(トリガー信号)を1つのパスで送る

- **data-on-clock 方式**

Electronics (TX)は送信データを変換する : 例えば $2'b01 \rightarrow 10b'1111000000$



- Electronics (RX)は受け取ったデータをPLLなどに入れてduty 50%のクロックに戻せばTX側と位相が同期した基準クロックが手に入る
- データは基準クロックから作った高速クロックを用いて変換すれば良い



クロックの分配方法

検出器側の制約からクロックとデータ(トリガー信号)を1つのパスで送る

- **data-on-clock方式**

- メリット

- 異なるボード間のクロックの位相を同期させるのが簡単
 - FPGAの通常I/Oピンを使える (GT Transceiverが必要ないので安価)
 - 直接FPGA内のMMCMや外付けのPLLのインプットにつなぐことができる

- デメリット

- 大量のデータを送れない

- Artix-7のFPGA、PLL(Si5344)を用いたデータ通信を行い、

クロックジッタ (RMS) < 4.39 psを達成した実績が報告されている ([arXiv: 2010.14164](https://arxiv.org/abs/2010.14164))

muon g-2/EDM実験でもdata-on-clock方式を採用する

開発状況

Clock Source Accelerator

@off-detector

Computer

Network switch

Timing control board x 1

回路図を作成中

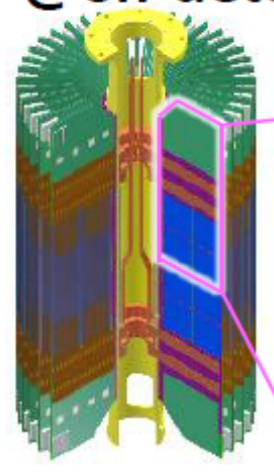
Backend board x 20?

AMANEQを使用予定
(詳細は本多さんのトーク)

Data, Slow control

Clock/trigger

@on-detector



Quarter vane

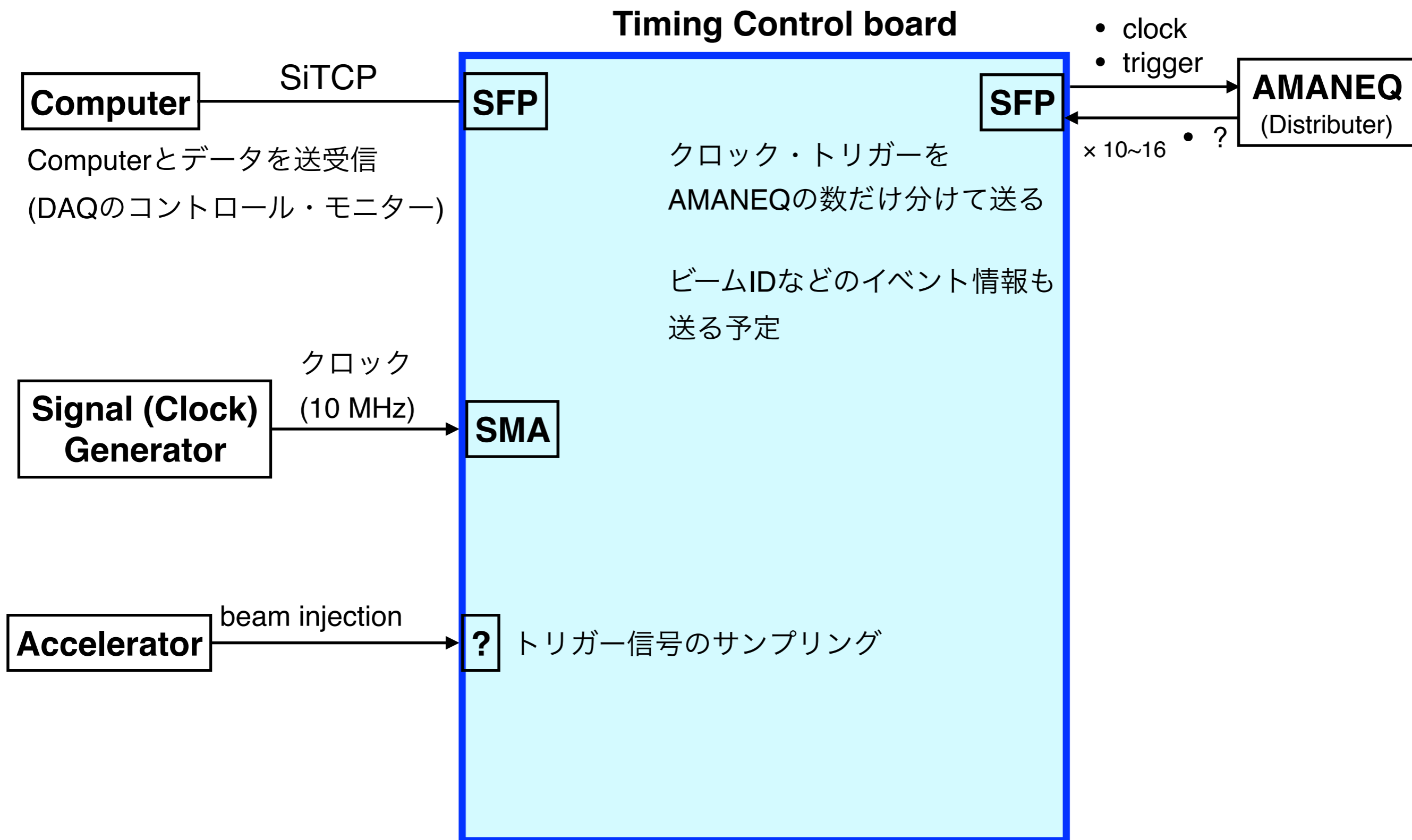
FRBS

FRBS x 160

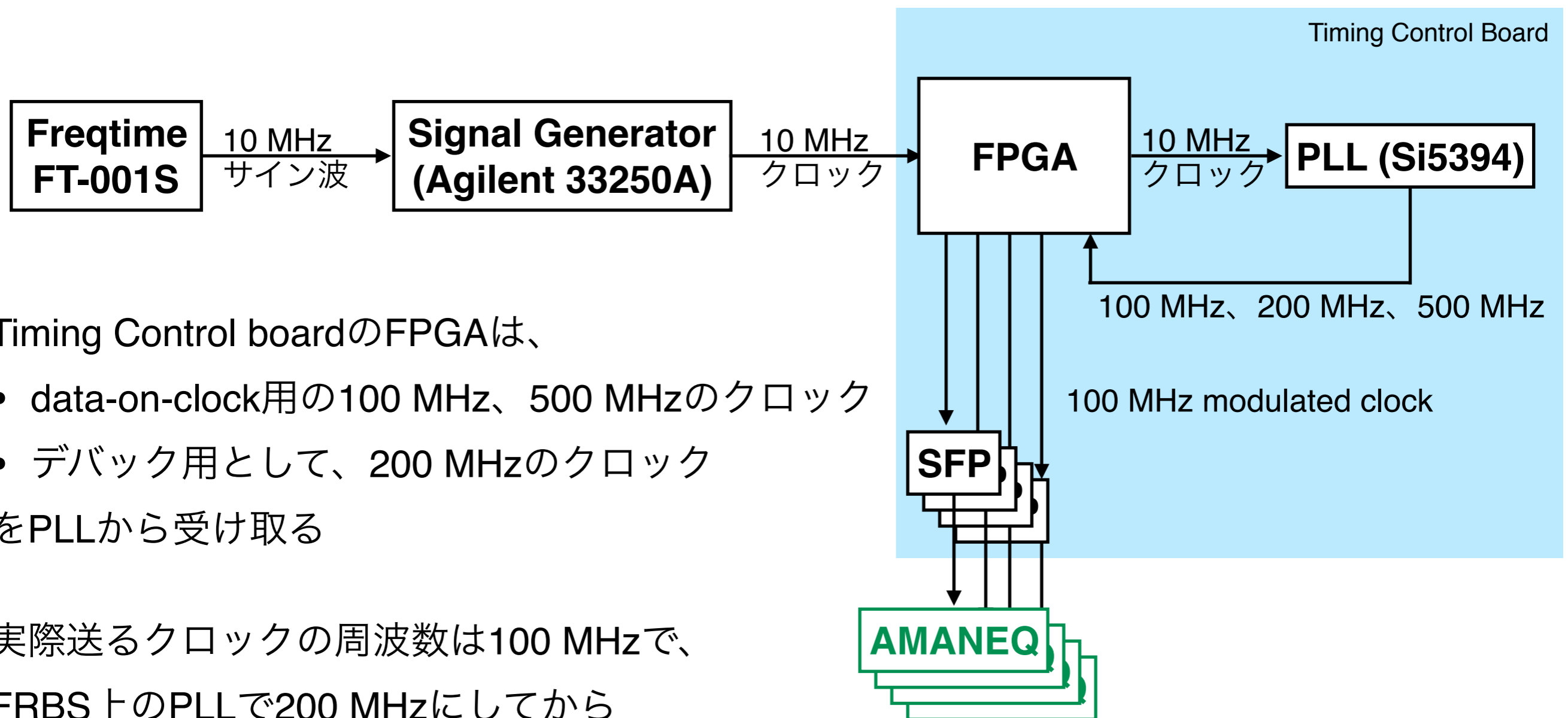
試作機が完成
IO試験、ASICの読み出し
試験を行っている

ASICの製作は完了
(詳しくは山中さんのトーク)¹²

Timing control boardの役割



Timing Control board内のクロックパス



Timing Control boardのFPGAは、

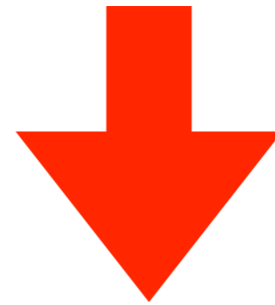
- data-on-clock用の100 MHz、500 MHzのクロック
 - デバック用として、200 MHzのクロック
- をPLLから受け取る

実際送るクロックの周波数は100 MHzで、FRBS上のPLLで200 MHzにしてからASICへと分配する

主要なICの選定を始め、回路図と在庫状況を考慮しながら12月中に回路図を完成させ、年度内の製作を目指している

FRBSの開発

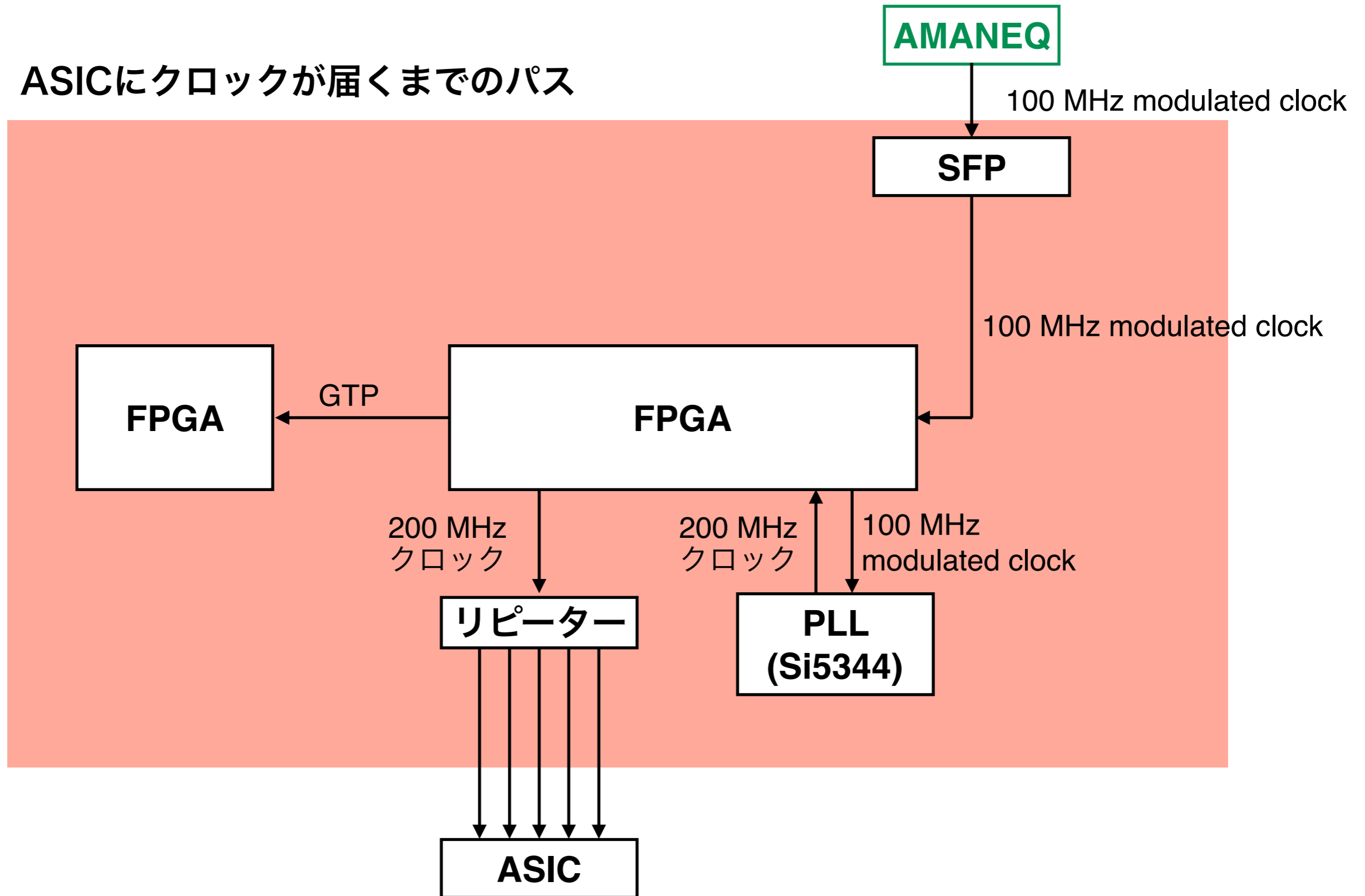
- ASICのデータ読み出しに関する制約
 - 1 spillのデータをFRBS上に保持するためのメモリ
 - ASICのデータ幅 (128 bit) × 深さ (8192 depth) × 数 (32個) ~ 33.6 M bit
 - データ圧縮やデータ転送をするので 25 M bitあれば問題ないはず
 - FRBS→PC間のデータ転送
 - SiTCPで実装 (~ 1 Gbps > 必要データ転送速度 (予想) : 27.5 Mbps)
 - 32 ASICと通信することを考えると、FPGAには900ピンほどのIOが必要



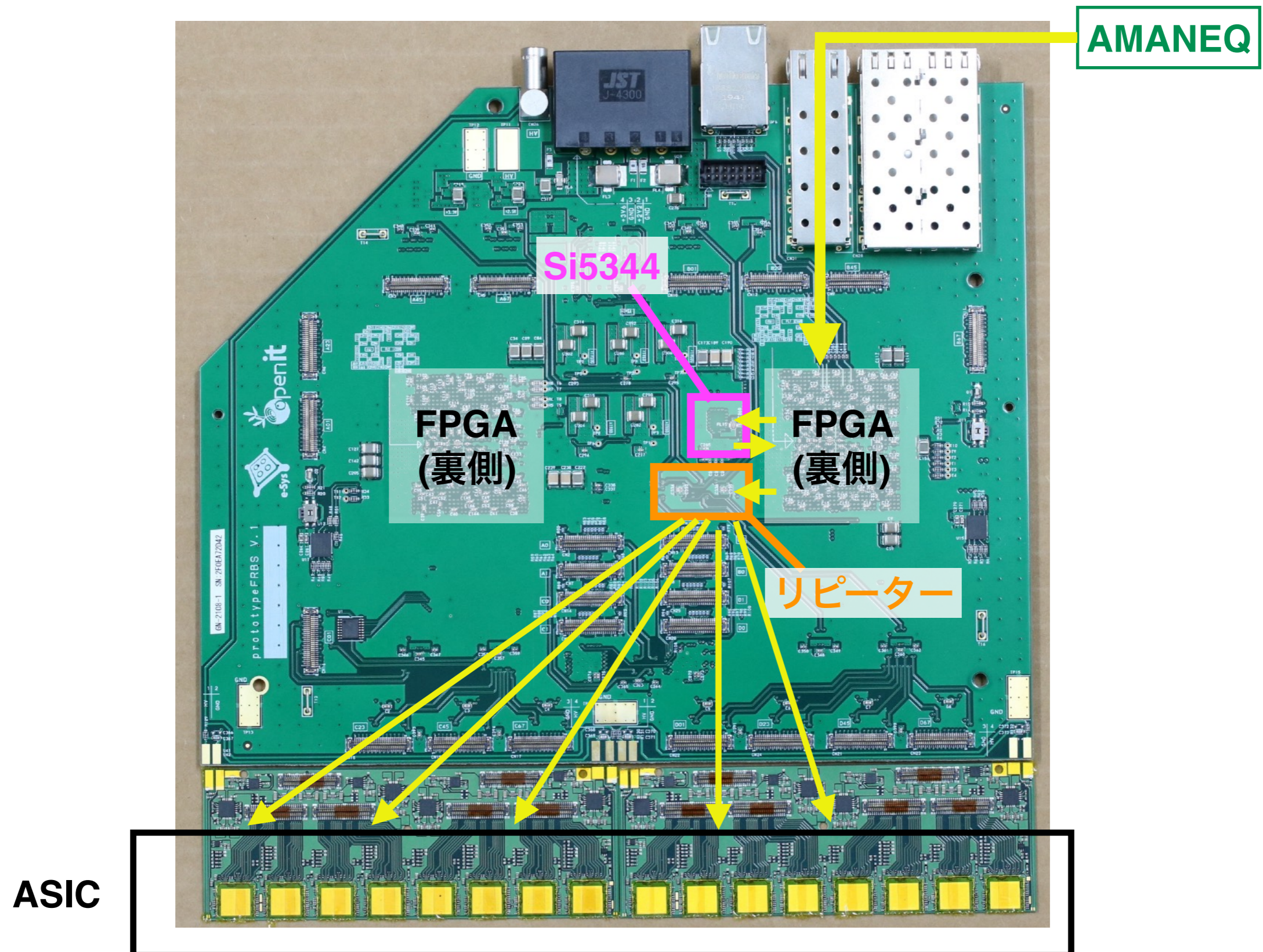
- XilinxのArtix-7 XC7A200T-1FFG1156Cを2つ使用
 - 13.4 M bitのBRAM / FPGA × 2 > 25 M bit
 - 16 GTP Transceiver / FPGA × 2 > 1 GTP Transceiver (SiTCP用)
 - 500 ピン / FPGA × 2 > 900 ピン

FRBS内のクロックパス

ASICにクロックが届くまでのパス



FRBS試作機



まとめ

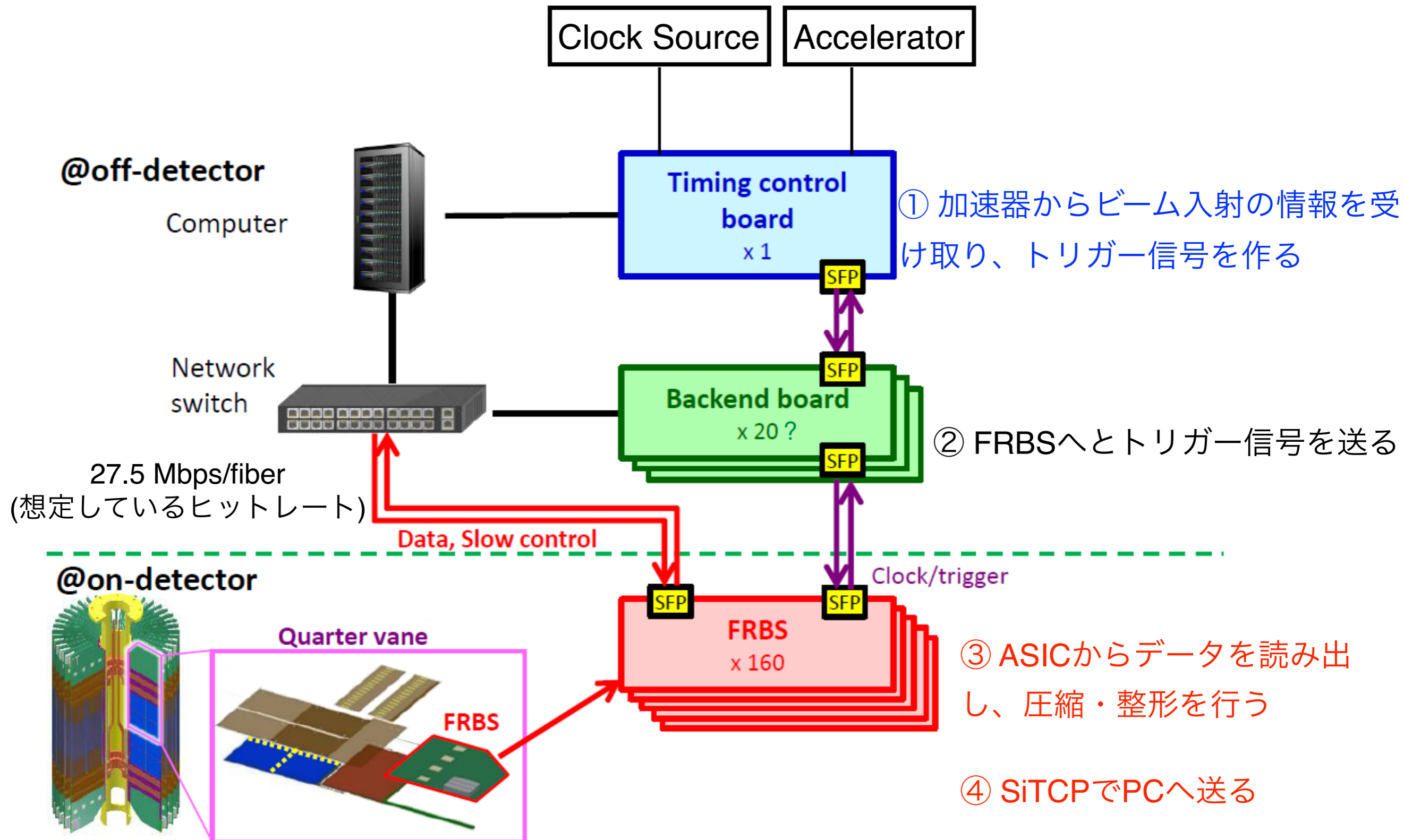
- J-PARC muon g-2/EDM実験はBNL、FNALと異なる手法での測定を行う
- DAQシステムのクロックに関する制約は厳しい
 - 周波数安定性 : $\Delta f/f \ll 4 \times 10^{-9}$ ← FT-001Sを使うことでクリア
 - クロックジッタ : 30 ps (σ)
- クロックとトリガーの分配はdata-on-clock方式
- エレキの開発は順調に進んでいる
 - Timing Control Board : 年度内に製作予定
 - AMANEQ : 製作済み
 - FRBS : 試作機を製作済み

スケジュール

	2021		2022				2023
	7-9	10-12	1-3	4-6	7-9	10-12	1-3
ASICボード	完成 →		FRBSと接続試験 →				
FRBS	試作機完成 →	動作試験 →	実機的设计・製作 →				
クォータベーンの 試作				→			
クォータベーンの 量産						2023年9月までに完了 →	
Timing control board		設計 →	製作 →	FRBSと接続試験 →			

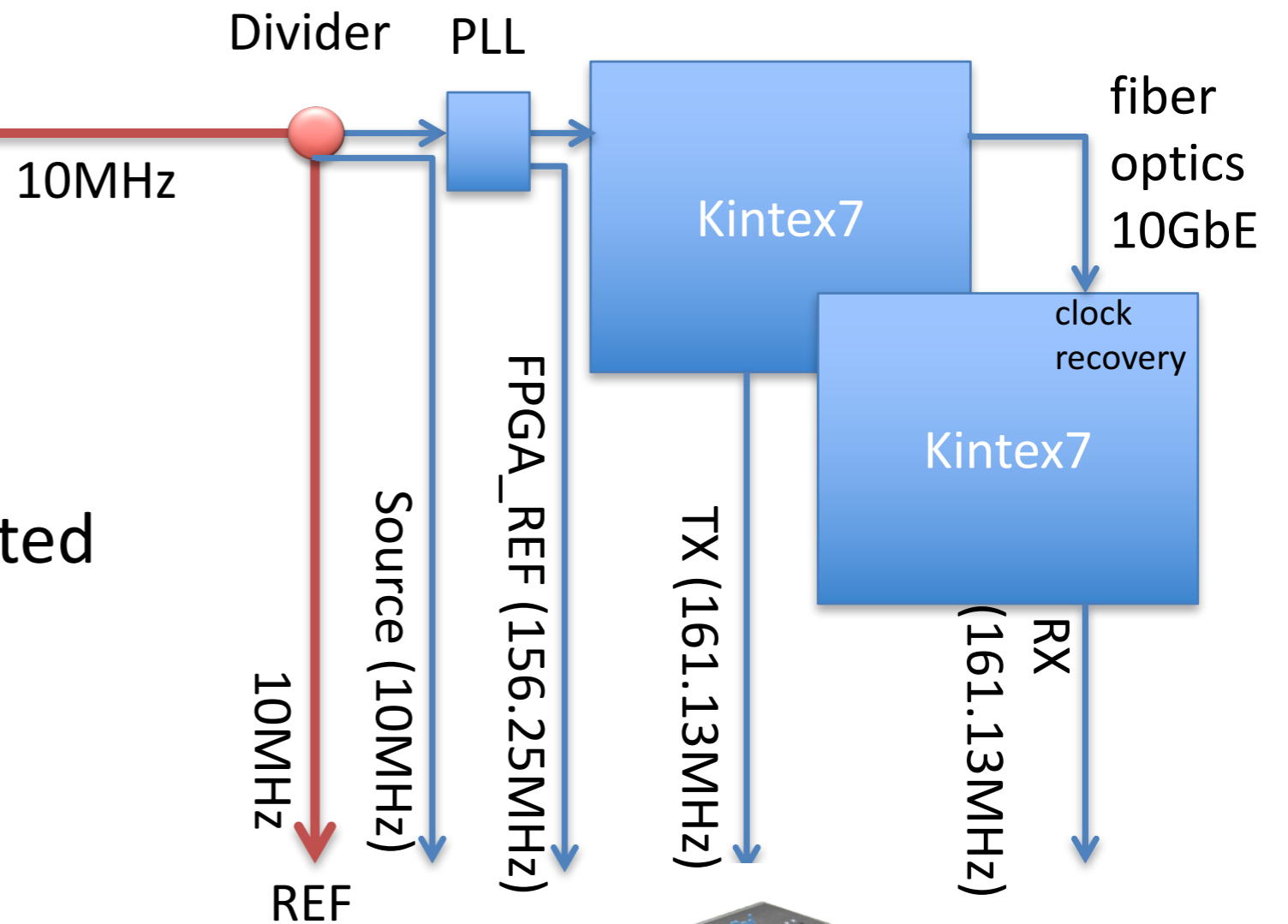
Back up

データ保存までの流れ



Evaluation of clock transmission via fiber serial link

Freqtime
FT-001S



- Generation of and transmission were evaluated with Xilinx FPGA Kintex-7 evaluation boards.



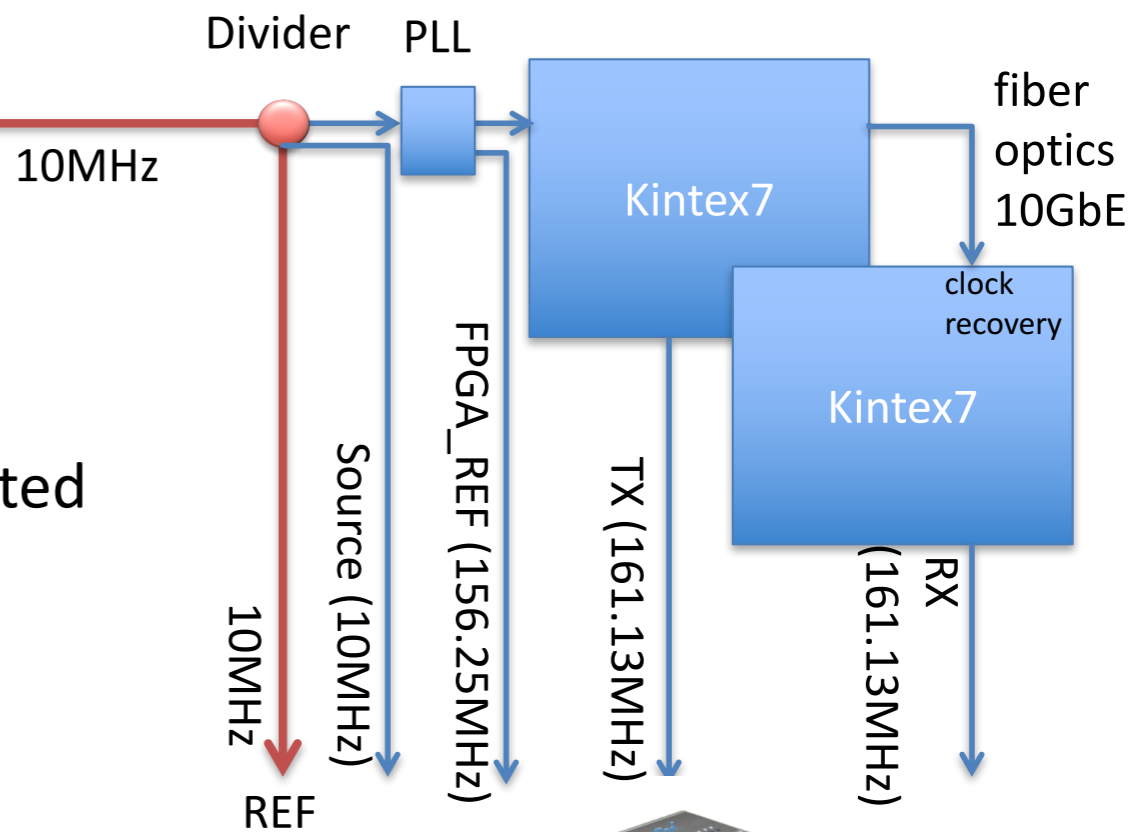
Phase noise analyzer (Time pod)
OR
Frequency counter (53230A)

前回

Freqtime
FT-001S

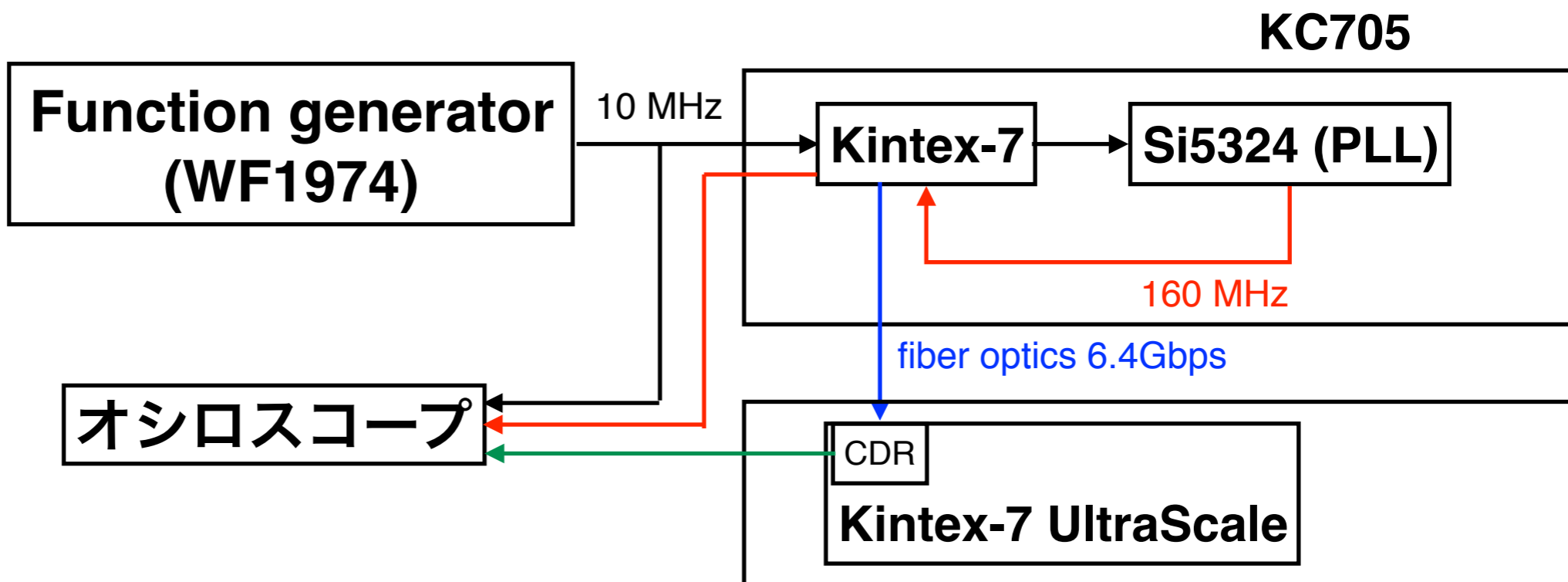


TIBET SERIAL LINK



- Generation of and transmission were evaluated with Xilinx FPGA Kintex-7 evaluation boards.

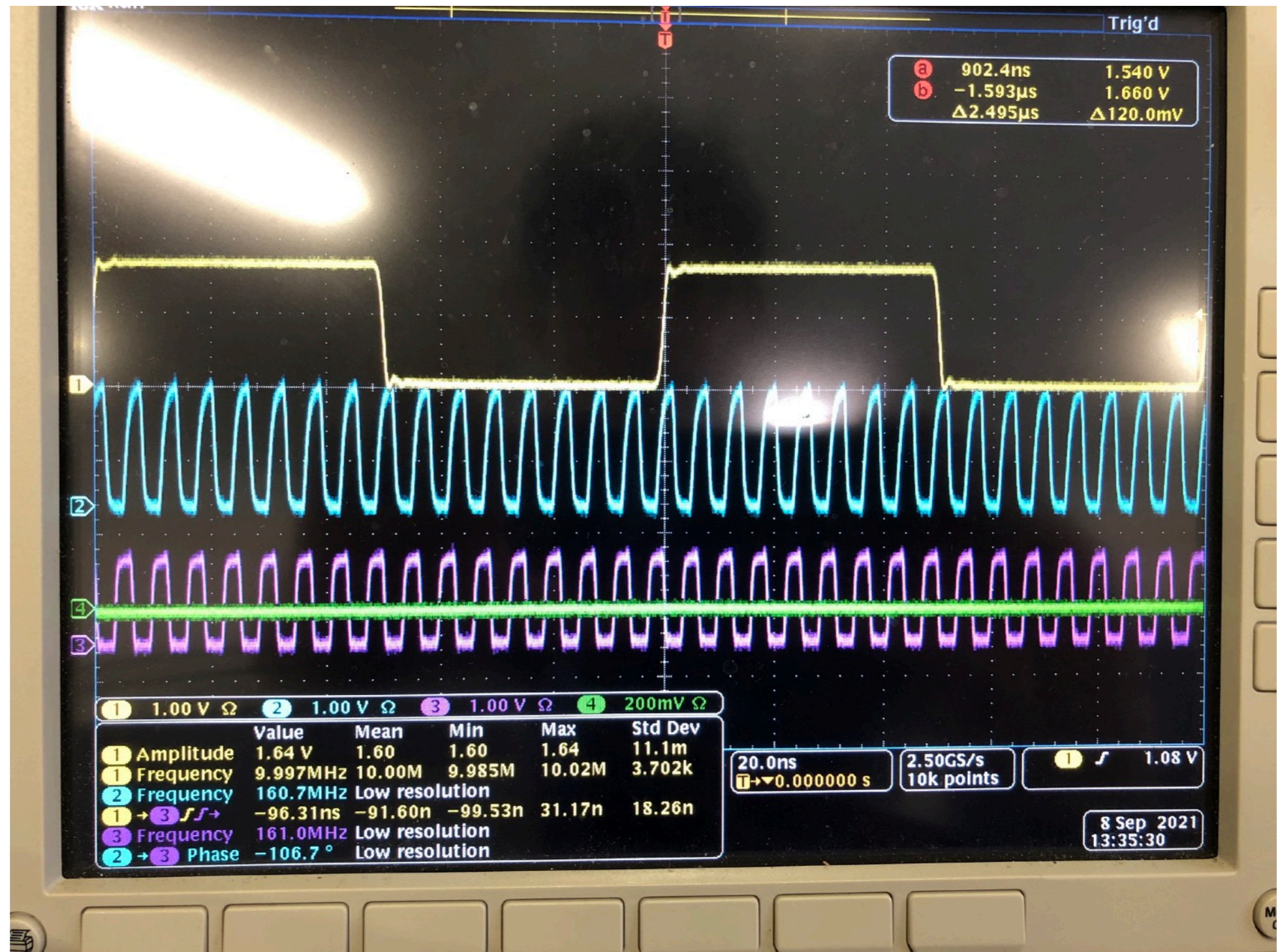
今回



Function Generator
(10 MHz)

KC705 TX clock
(160 MHz)

KCU105 RX clock
(160 MHz)



- Function Generator由来のクロックを使っていることを確認済み
- FreqtimeをFunction Generatorの代わりにsource clockとして使用