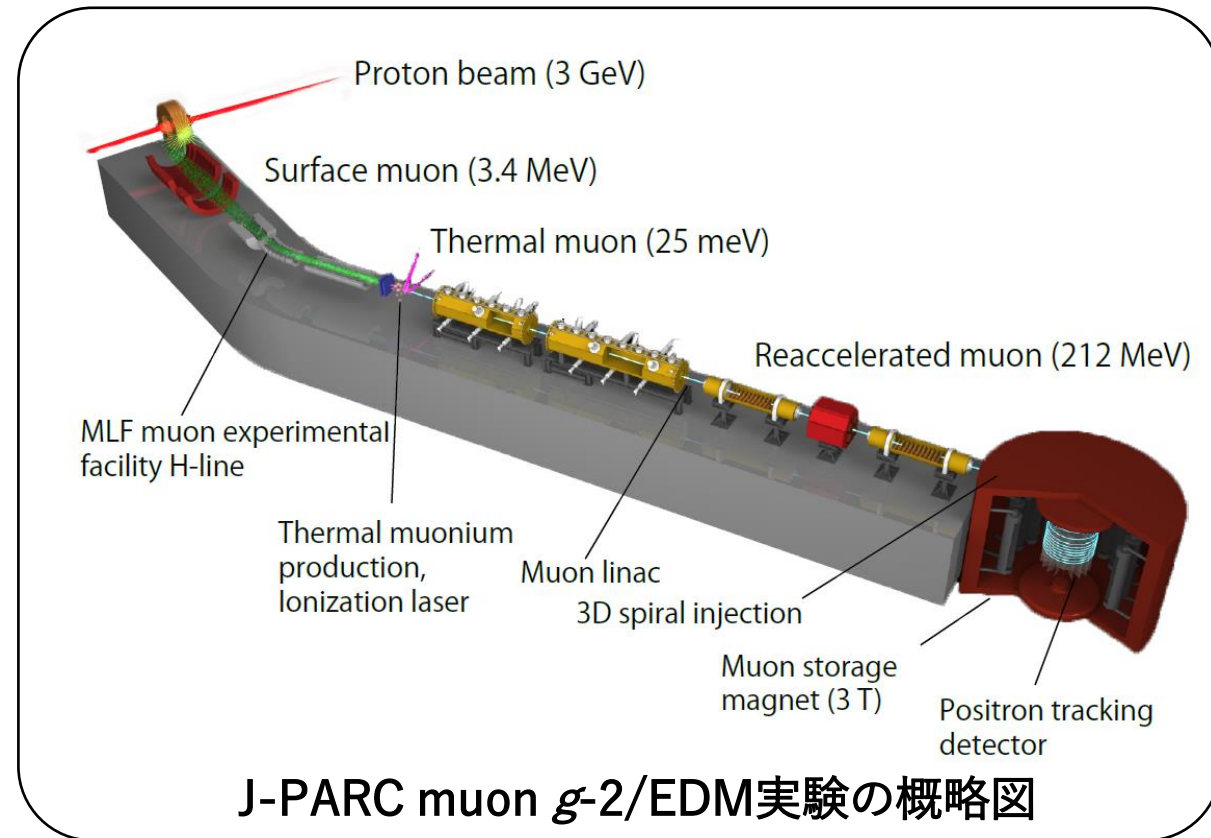


J-PARC muon $g-2$ /EDM 実験：陽電子飛跡検出器用 読み出しASIC品質保証システムの開発

九州大学基幹教育院, Open-It
山中隆志

J-PARC muon $g-2$ /EDM実験

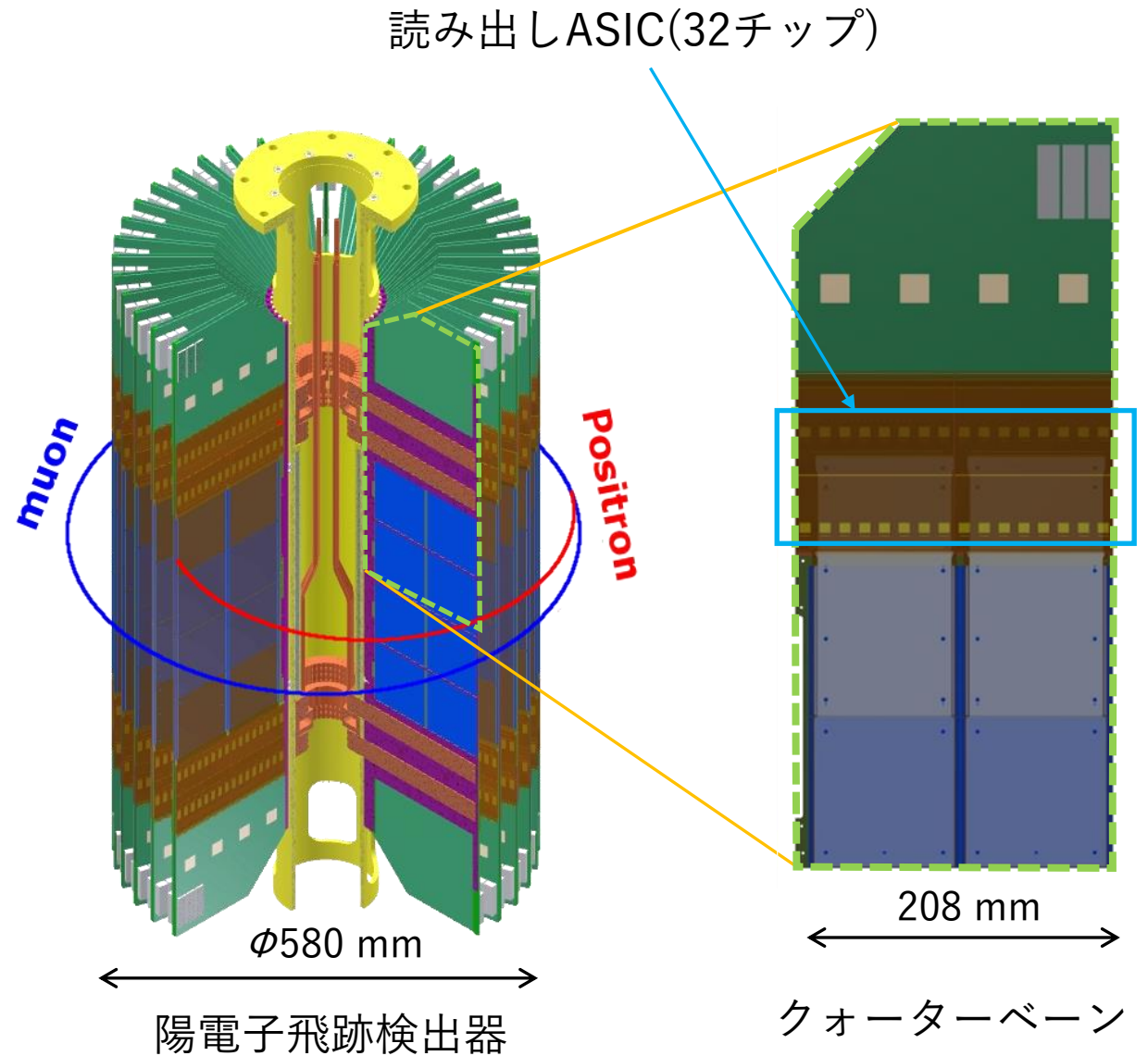
- ミューオン異常磁気モーメント ($g-2$)
 - FNALに行われた実験にて過去のBNL実験と無矛盾な結果 ([PRL 126, 141801 \(2021\)](#))
 - 標準模型に基づく計算と 4.2σ のずれ
- ミューオン電気双極子モーメント (EDM)
 - EDMの存在 \rightarrow CP対称性の破れ
 - 実験からの制限 $|d_\mu| < 1.8 \times 10^{-19} \text{ e} \cdot \text{cm}$
 - BNL E821実験: [PRD 80, 052008 \(2009\)](#)
- J-PARC E34実験
 - 低エミッタンスのミューオンビーム
 - 電場を用いないビーム収束
 - コンパクトな高一様磁場
 - 飛跡検出器による崩壊陽電子検出



$\Delta(g-2)_\mu: 0.45 \text{ ppm} \rightarrow 0.1 \text{ ppm}$
 $\text{EDM}_\mu: 10^{-21} \text{ e} \cdot \text{cm}$

陽電子飛跡検出器

- ミューオン崩壊から生じる陽電子をシリコンストリップセンサーから構成された飛跡検出器で検出
- 最大6個/nsの頻度で発生するミューオン崩壊事象を捉えるため、高レート耐性が要求される
 - 190 μm ピッチストリップのセンサー
 - 5 nsサンプリングレートの読み出しASIC
- シリコンストリップセンサーが貼られた「ベーン」モジュール40枚を放射状に配置
 - ベーンの1/4に相当するクォーターベーンが最小単位のモジュール



読み出しASIC: SliT

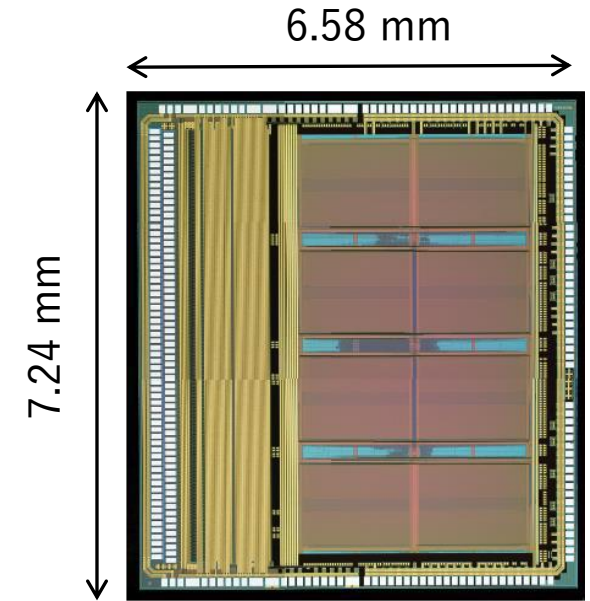
- 仕様

- SiITerra 180 nm CMOS technology
- 128チャンネル/チップ
- 8192バッファ/チャンネル
 - 5 nsサンプリングレートの場合、40.96 μ sの測定時間

- 性能

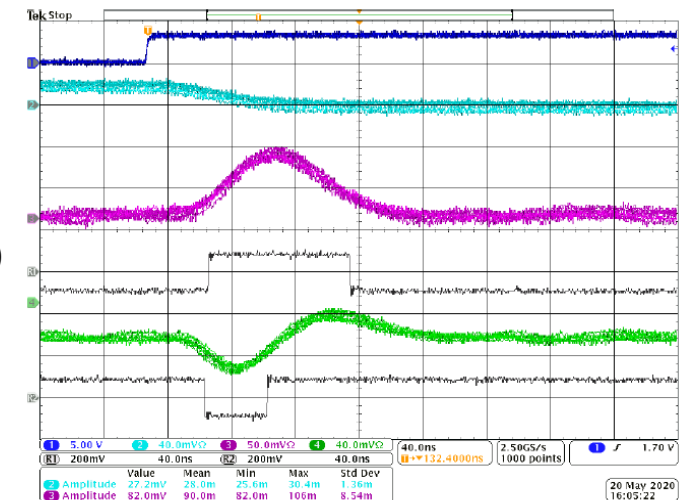
	要求値	測定値*
パルス幅@1MIP	< 100 ns	74.5 ns
ENC	< 1600 e ⁻ @C _{det} =30 pF	1547 ± 75 e ⁻ @C _{det} =33 pF
タイムウォーク(0.5~3 MIP)	< 1 ns	0.38 ± 0.16 ns
タイムジッター@1 MIP	< 5 ns	4.8 ± 0.2 ns
消費電力	< 0.64 W/chip	0.30 W/chip

* 量産前の試作版SliT128Cでの測定値([IEEE TNS, 67 \(2020\) 2089-2095](#))



量産版(SliT128D)チップ

テストパルス
増幅信号
整形波出力
(コンパレータ出力)
微分出力
(コンパレータ出力)



読み出しASICの開発経緯



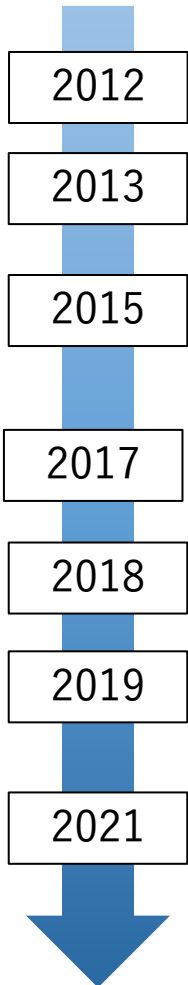
SlitA2013評価基板



Slit128A評価基板



Slit128B/C評価基板



2012

- SlitA (16ch): 最初の試作機(アナログ回路のみ)

2013

- SlitA2013 (64ch): パルス幅の改善(アナログ回路のみ)

2015

- Slit128A (128ch): 初のアナログ・デジタル混載
 - タイムウォーク改善が課題

2017

- Slit2017TEG (64ch): タイムウォーク改善のための評価用チップ(アナログ部のみ)

2018

- Slit128B (128ch): アナログ・デジタル混載

2019

- Slit128C (128ch): Slit128Bでの問題点を修正した実機仕様のチップ

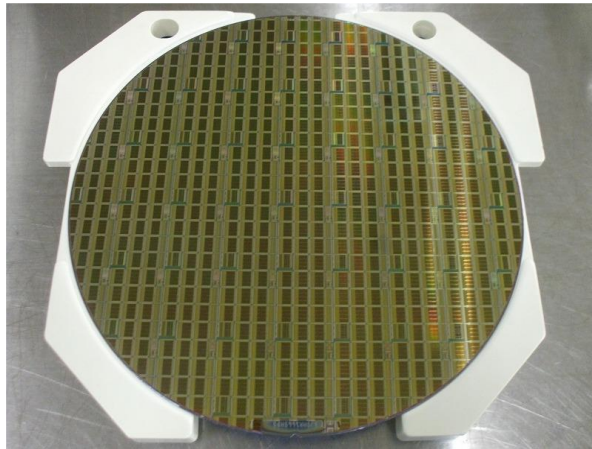
2021

- Slit128D (128ch): Slit128Cを微修正した実機用量産チップ

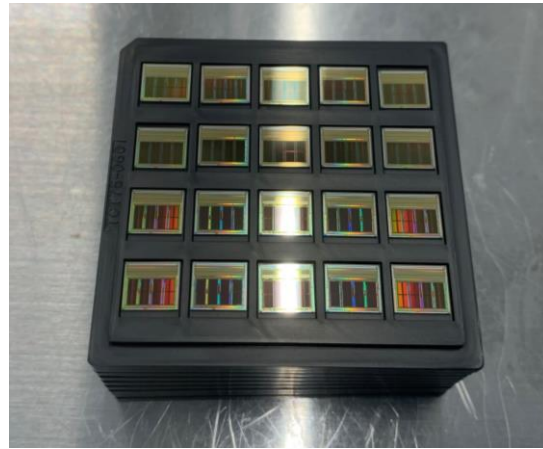
SLiT128Dの状況

- 現在、最終版の実機用ASIC(SLiT128D)の製作が完了
- 約15000枚のチップをダイシング済み
- 量産版でもバイアス電圧・電流の調整で試作版と同等の性能
 - 佐藤(新潟大), 17aT3-1, JPS 2021秋

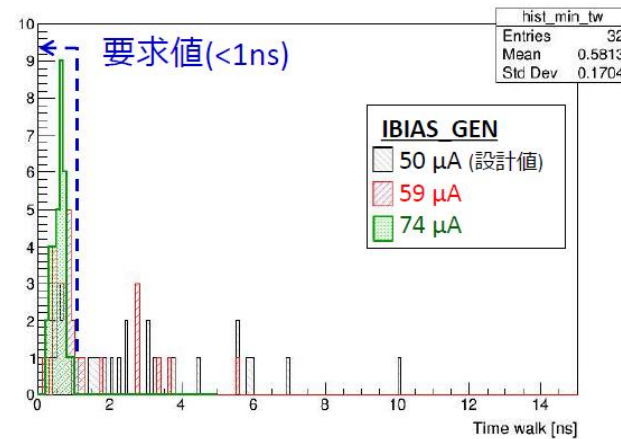
ノイズ要求値
<1600 e⁻@C_{det}=30 pF



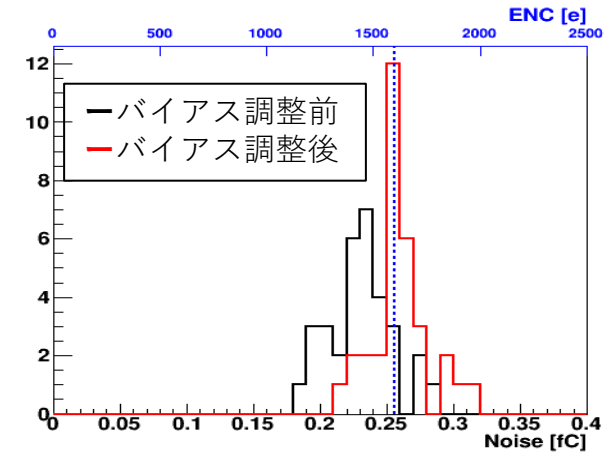
SLiT128Dを製作したウェハ



ダイシング後のチップ



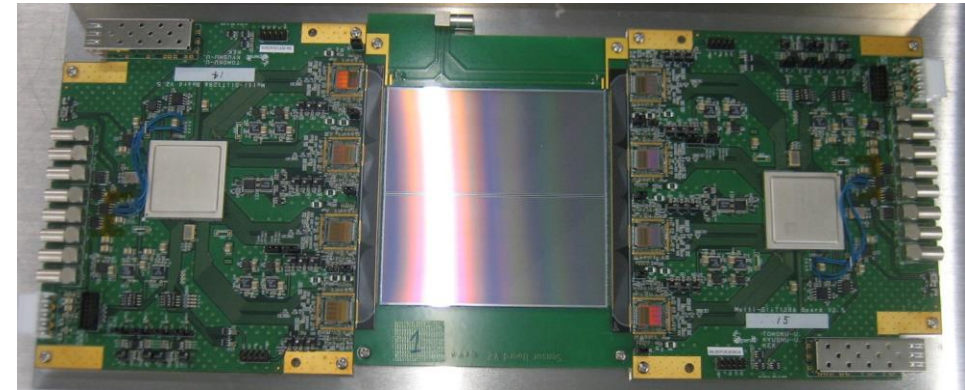
タイムウォーク分布



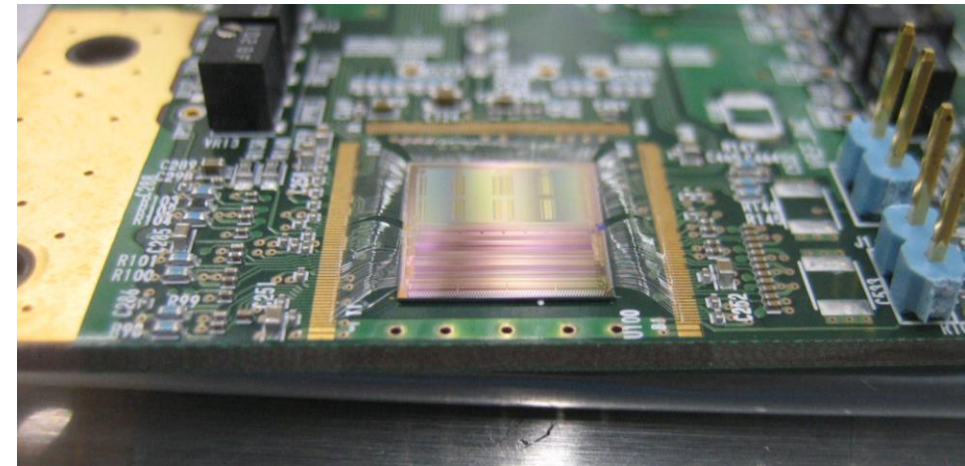
ノイズ分布@C_{det}=33 pF

SLiT128Aにおける品質保証の必要性

- 試作版のSLiT128Aは検出器の試験モジュールに使用
 - 1台のモジュールにつき1枚のシリコンストリップセンサー(1024ch)と8チップのSLiT128Aを使用
- 試験モジュールの製作において実装後に問題のあるチップが度々見つかる
 - スローコントロールへの応答がない、アナログ波形出力の異常など
- ワイヤーボンディングを行う前に動作確認を行うため、プローブカードを使用した品質保証(Quality Assurance: QA)システムを開発



SLiT128Aを使用した試験モジュール

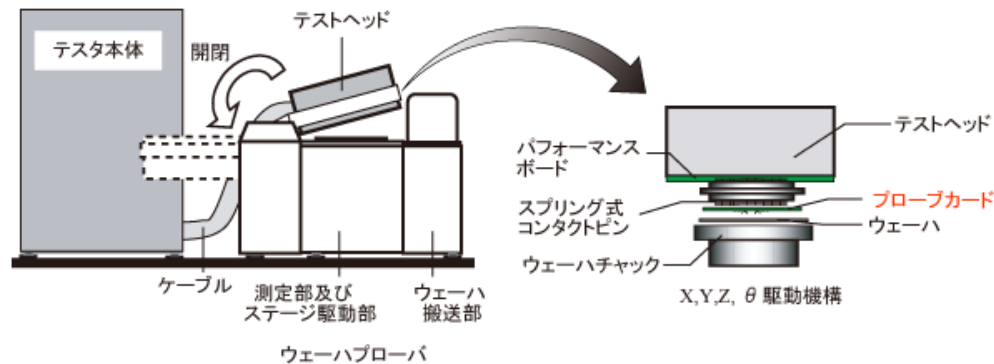


ワイヤーボンディングで実装したSLiT128Aチップ

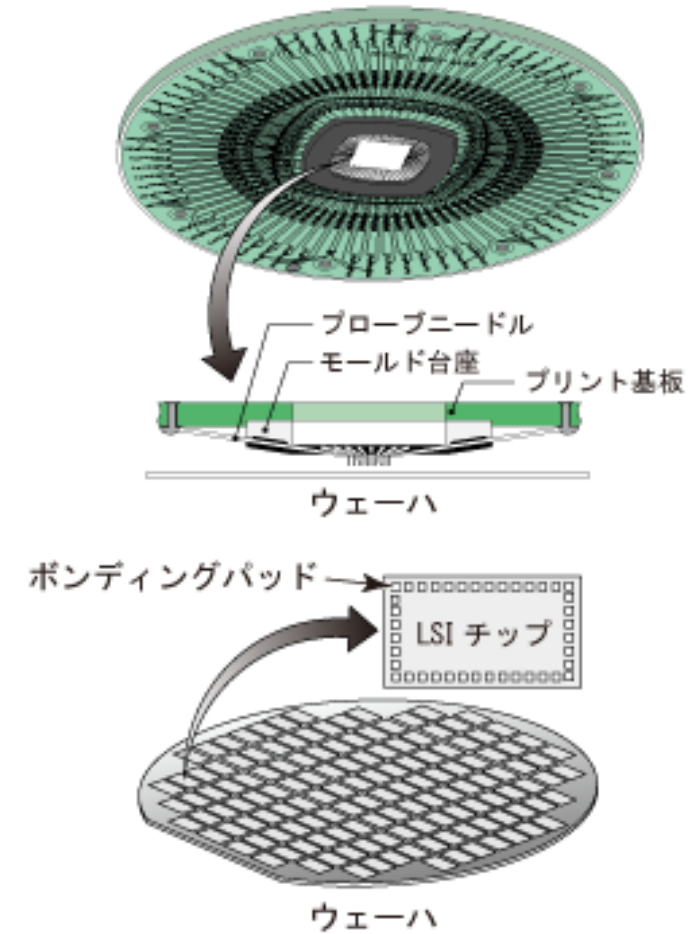
プローブカード

- チップ上のボンディングパッドにプローブ針を当てることでワイヤーボンディングせずに電源供給・信号読み出し
 - プrobe針を2次元上に配置することで多数のパッドを同時にプローブ可能
- プローバーにこのプローブカードを取り付けて、ウェハ上のチップをプローブする

【ウェーハ検査装置】



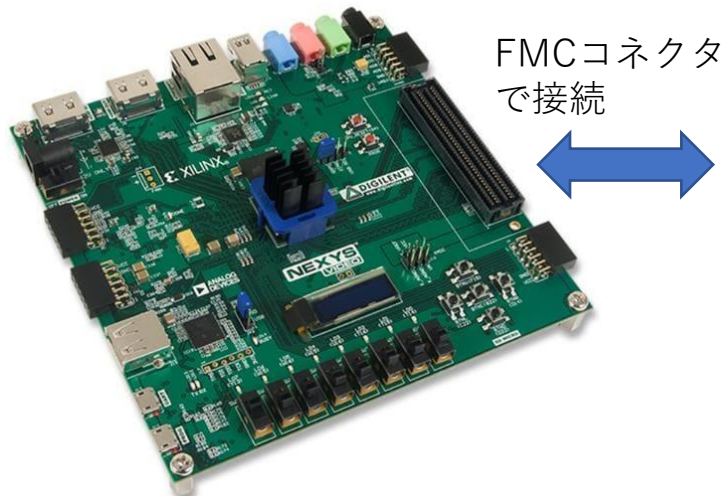
【プローブカード】



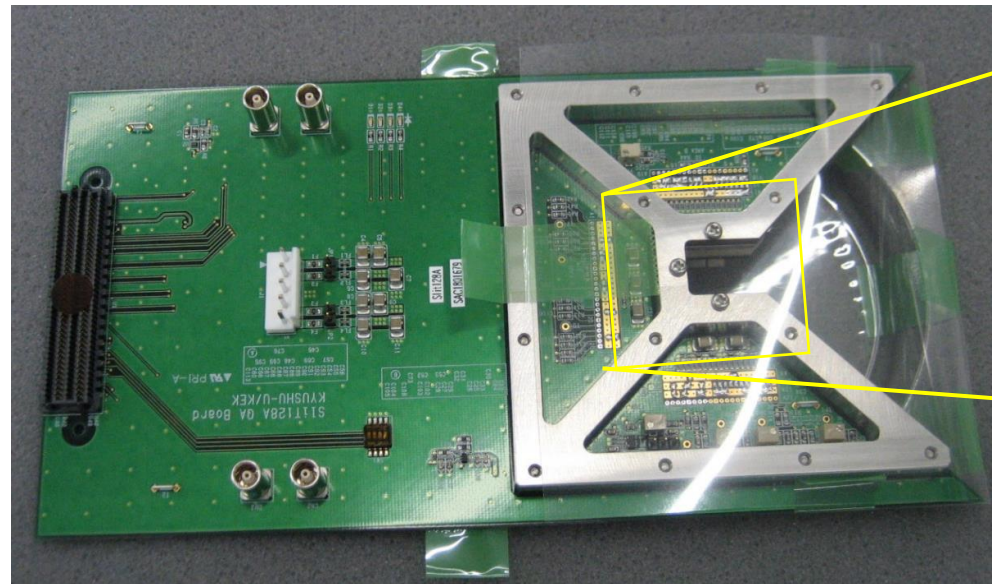
株式会社日本マイクロニクスwebページより
https://www.mjc.co.jp/technology/column/probe_card.html

SLiT128A QA用プローブカード

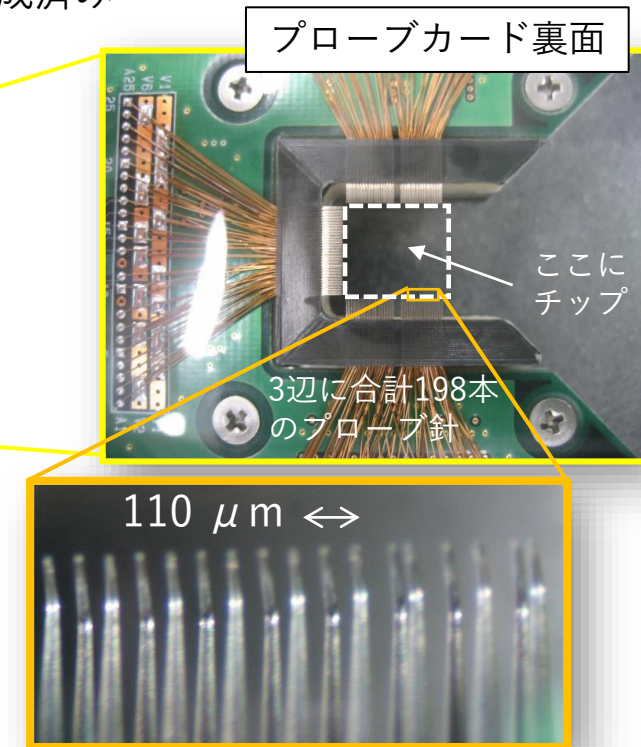
- 株式会社日本マイクロニクスにてプローブカードを製作
 - コスト削減のため基板は別途製作して、プローブの針立てのみをここで行った
- 基板の開発・製作コストを抑えるため、FMCコネクタで市販のFPGA評価基板を接続して信号の読み出し制御
 - プローブカード製作前にASICをワイヤーボンディング実装して動作試験する基板は作成済み



FPGA評価基板 (Digilent: Nexys Video Artix-7 FPGA)

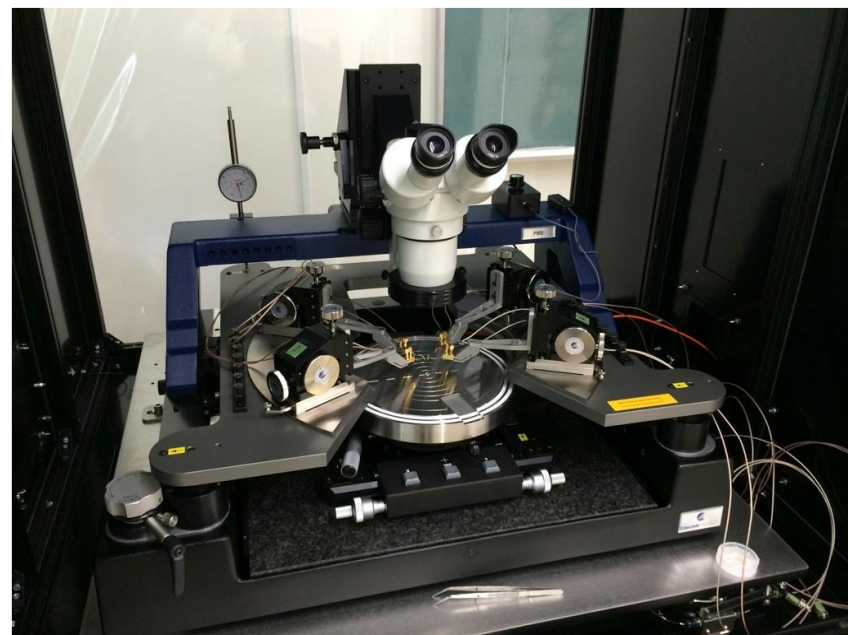


SLiT128A用プローブカード



プローバー

- 九州大学素粒子実験研究室で所有するマニュアルプローブステーションに取り付けて使用



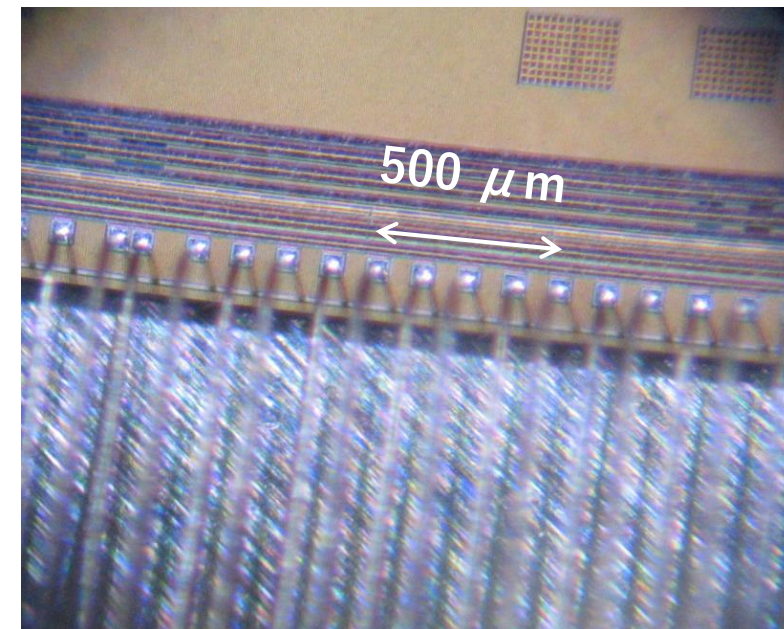
マニュアルプローブステーション
(Cascade PM8 : 8インチウェハまで対応)

2021年10月28日



プローブカードを取り付けた状態

計測システム研究会2021



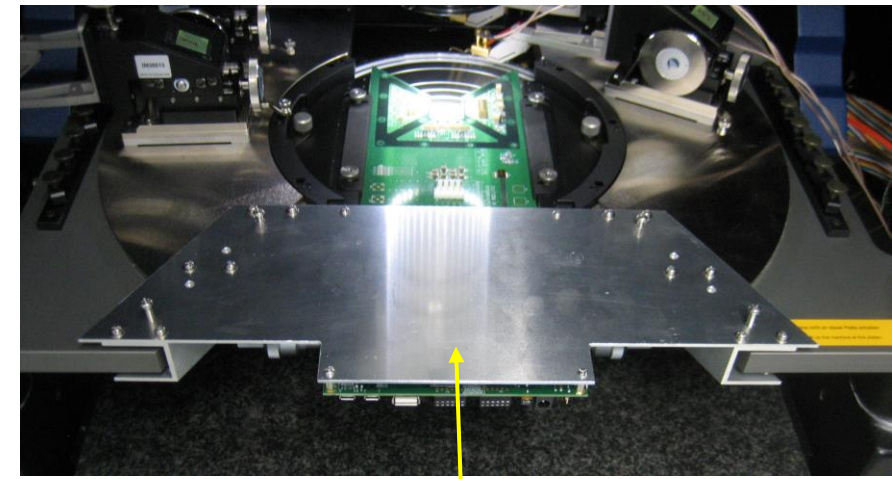
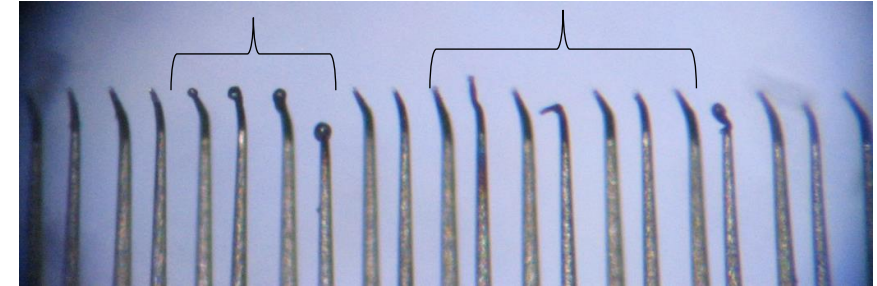
ASICパッドをプローブする様子

10

トラブル

- プロブカードを用いたASICの動作試験は初めてだったこともあり、数々のトラブルが発生
 - 誤って電圧を印加したままでのプロブ針の接触 → 放電による針の損傷
 - 検査手順のルールを作成
 - 安全装置の必要性
 - 意図せず金パッド用の低強度の材質のプロブ針を使用 → プロブ針の変形
 - アルミパッド用でも特に高強度のプロブ針(ReW)に交換
 - さらにFPGA基板の荷重によるプロブカードの歪みを減らすため、プロブステーションに固定する治具を作成

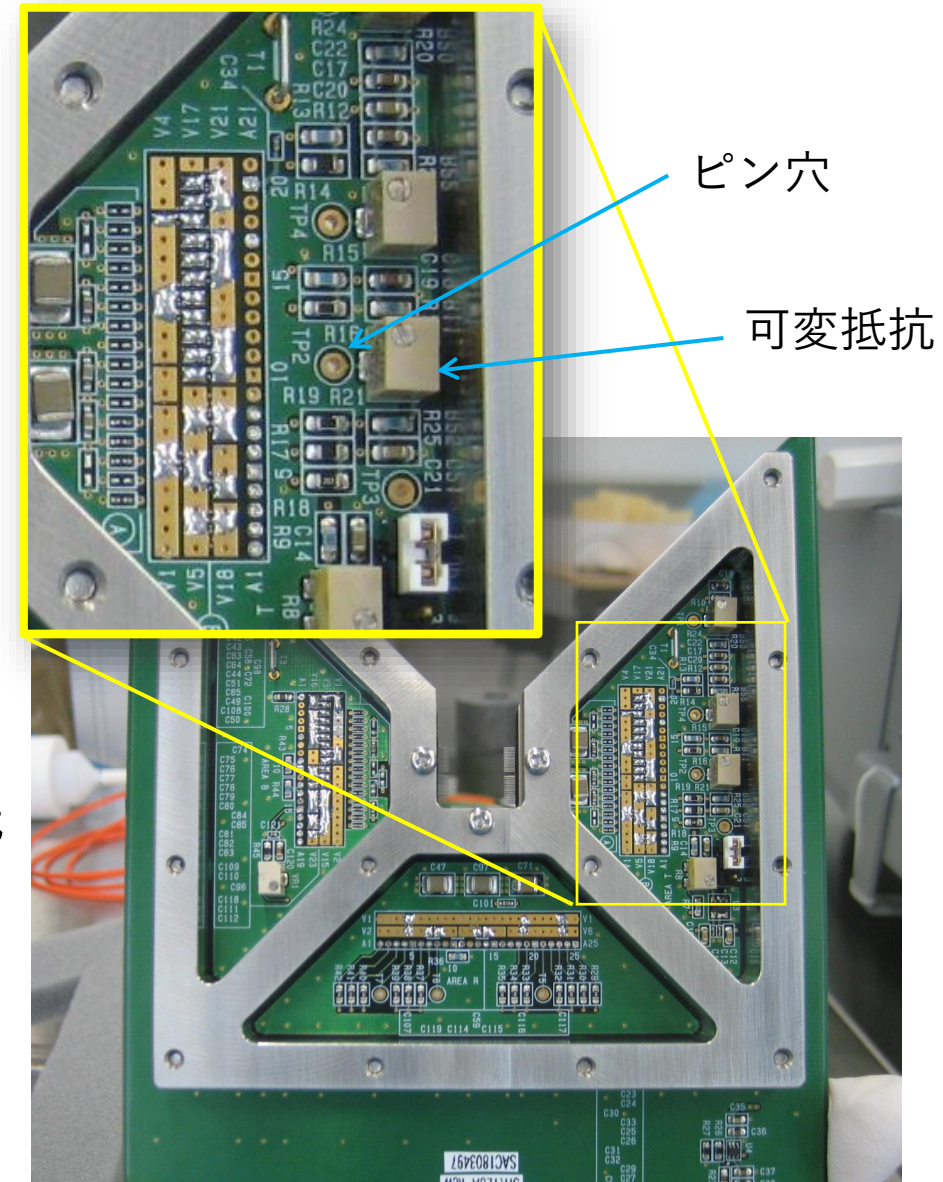
放電で損傷した針 折れ曲がった針



FPGA基板とプロブステーションの固定治具

その他の問題点

- 基板上にASICへのバイアス電圧モニタ用のピン
穴を配置
→ ASICをプローブしたままテストを当てに行
くことができない
 - ASICからプローブカードを外した状態でピン穴にテ
スタのプローブを接触させ、そのままプローブカー
ドを降ろすことで対処
 - 最初の数チップやロットの切り替えではバイアス電
圧測定を行ったが、大量に測定するのは困難
- 基板上にASICへのバイアス電圧調整用の可変抵抗
を実装
→ プローブしながらは抵抗値を変えられない
 - ASICからプローブカードを外した状態で可変抵抗を
調整し、プローブカードを降ろしてバイアス電圧を
測定後、また外して可変抵抗を調整することの繰り
返し



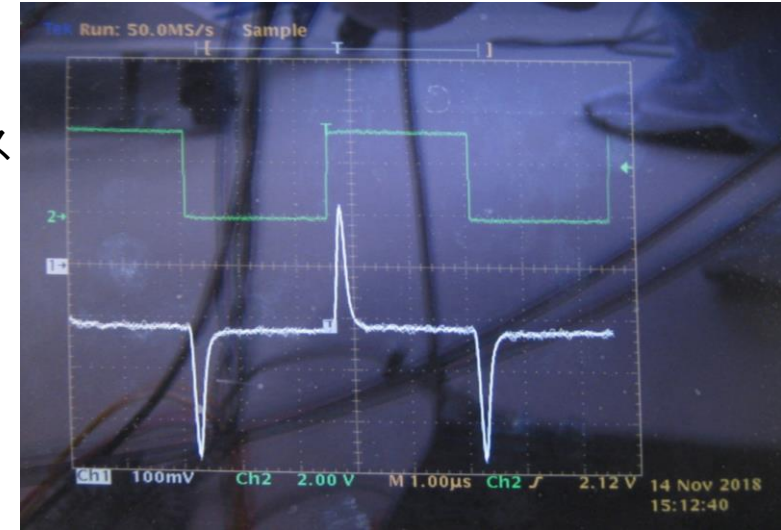
プローブカード表面

検査項目

- それまでに見られていた動作不良のパターンを元に検査項目を設定
 - 電源電流値
 - スローコントロールの可否
 - アナログ波形出力
 - オシロスコープで数チャンネルのみ確認
 - テストパルスによるヒットマップ
 - S-curve scanによるノイズ測定

テストパルス

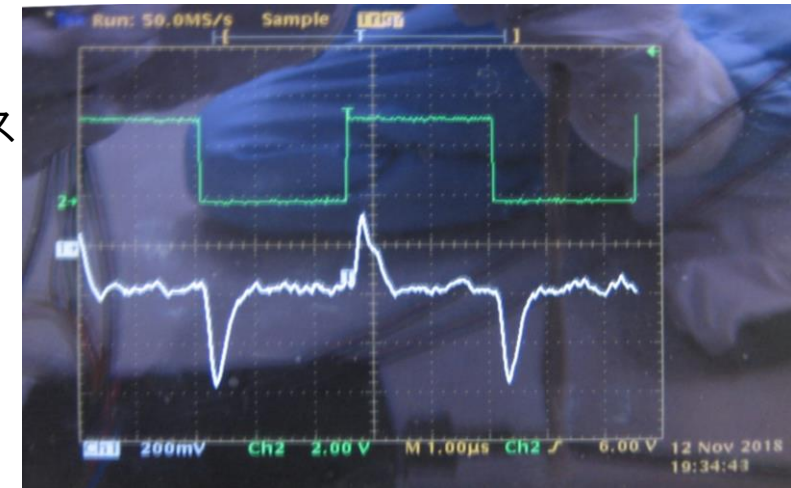
整形波出力



正常なアナログ波形

テストパルス

整形波出力

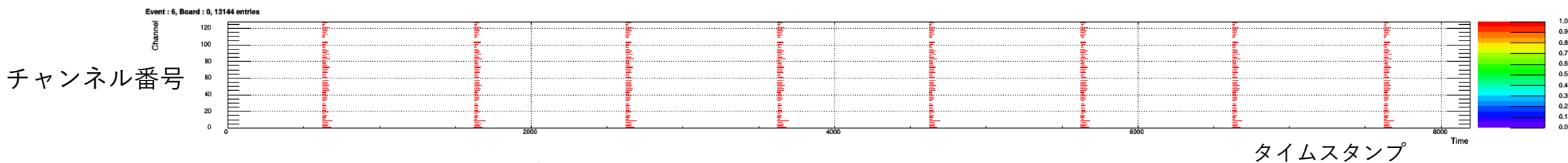


ノイズが大きいチャンネルのアナログ波形

テストパルスによるヒットマップの確認

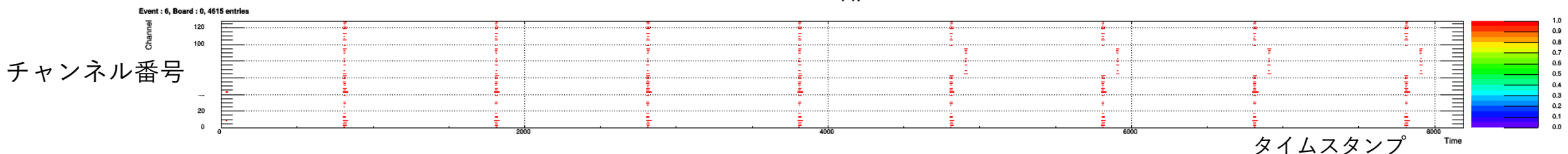
- 正常なチップ

テストパルスを8回入力した例

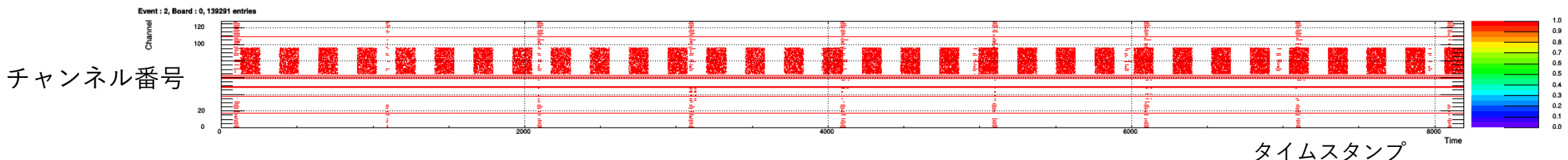


- 問題のあるチップの例

一部のチャンネルでテストパルスタイミングのずれ

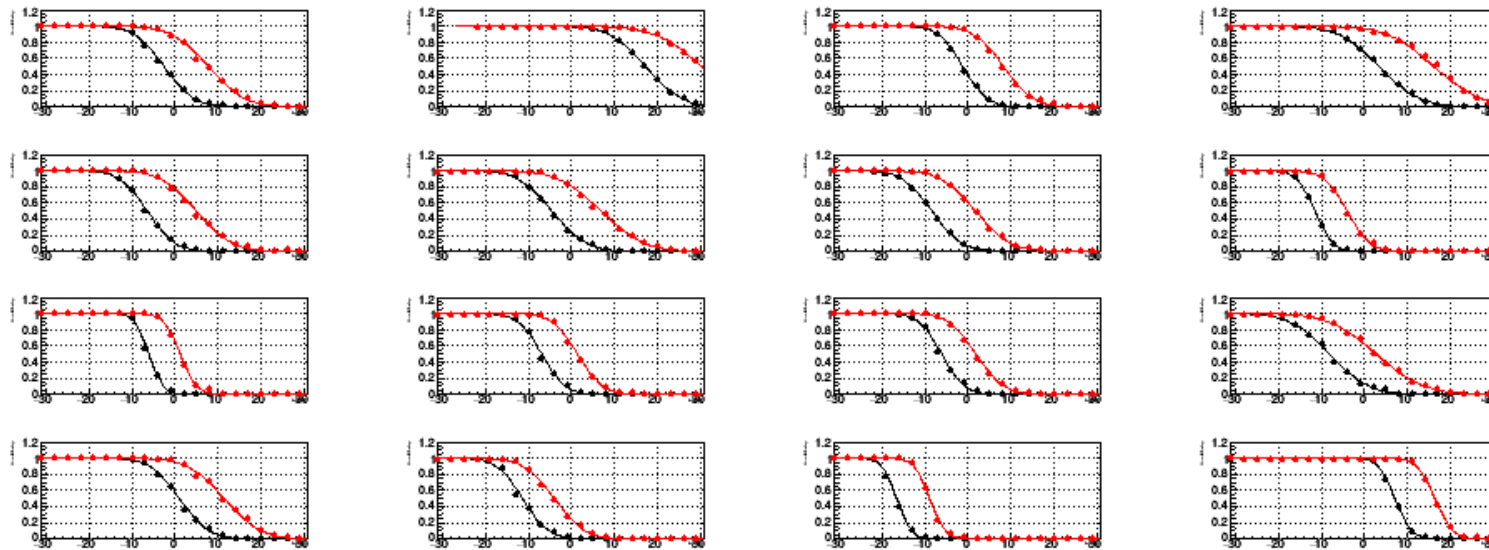


テストパルスとは無関係の信号が出力



S-curve Scan

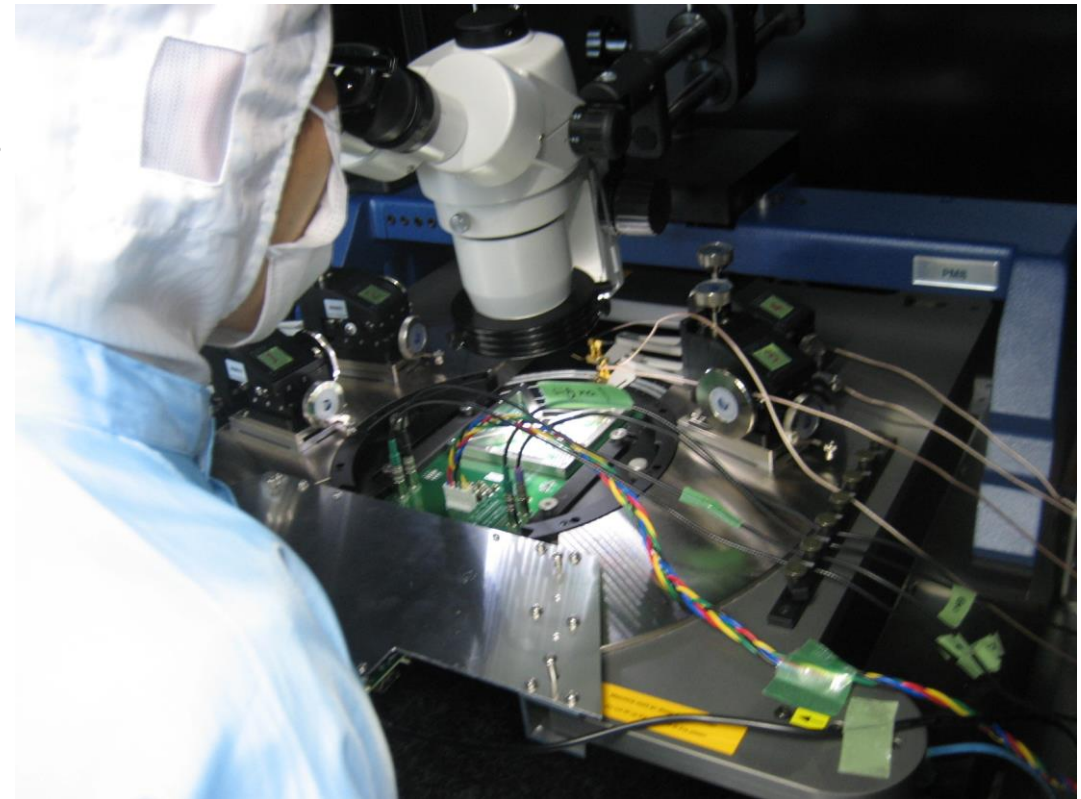
- チャンネルごとに決まった電荷量(2種類)のテストパルスを入力
- 閾値電圧を変えた時の閾値を超える信号の割合の変化を誤差関数でフィットすることでノイズ、ゲイン、オフセット電圧を決定



チャンネルごとのs-curve scanの例

測定手順

- 原理的にはウェハ上のチップの測定も可能だが、ダイシング後のチップにて測定を行った
- 1チップの測定時間は30分程度
 - チップの交換、プローブ位置合わせに～10分
 - 慣れてくると5分程度には短縮
 - S-curve scanの測定に～10分
 - その他の観測・測定に～5分



マニュアルプローバーでの
プローブ位置合わせの様子

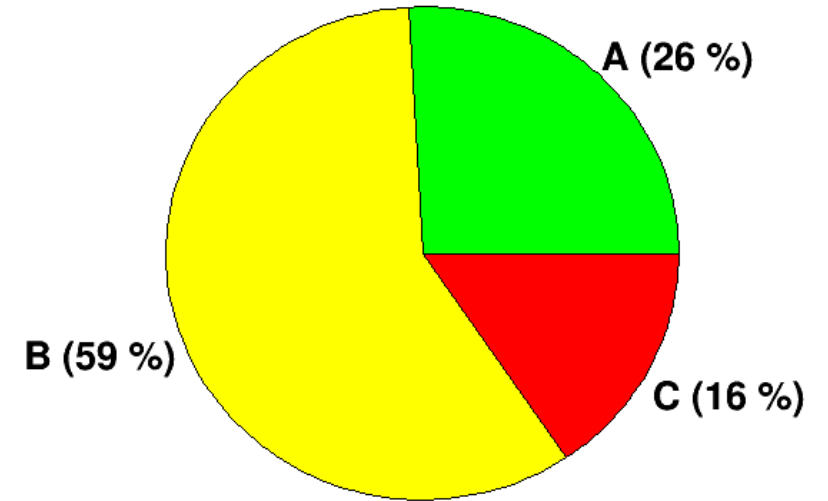
SiIT128Aでの測定結果

- 測定結果を元に測定した114チップを分類

- A: 不良無し
- B: 軽微な不良
 - 数個のノイジー・デッドチャンネル
 - 全体的に高いノイズレベル
- C: 深刻な不良
 - 大量のノイジー・デッドチャンネル
 - スローコントロール不可
 - 電源電流過多

- 試験モジュールにはAランクのチップを主に使用

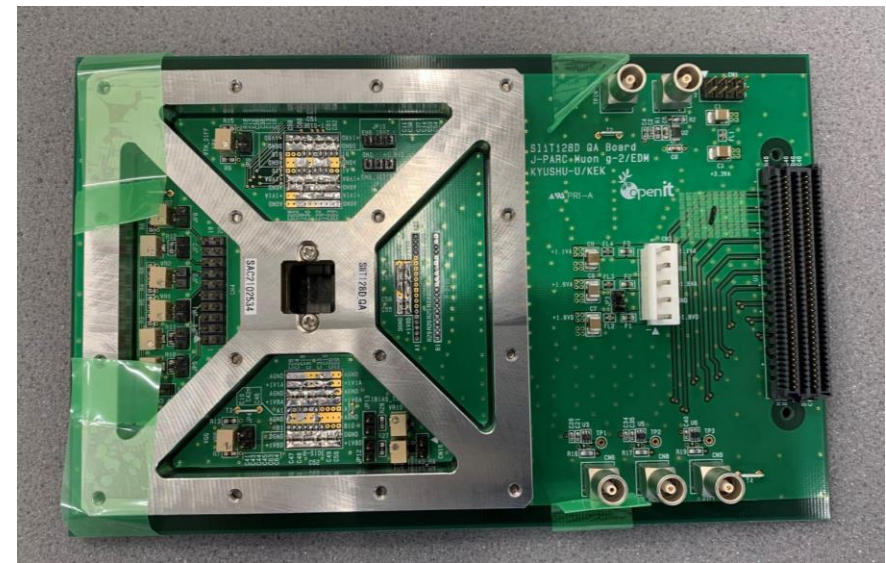
- 基板実装後も検査結果と無矛盾な性能
- 割合を考えると実機ではBランク性能のチップも使用する必要あり
 - 実機製作前にはBランク判定のチップを一度ワイヤーボンディング実装してプロブカードによる結果との比較の必要あり



114チップ分のSiIT128Aの検査結果

SLiT128Dに向けた品質保証システム

- SLiT128Aでの経験を元に実機検出器用のASIC(SLiT128D)のための品質保証システムの製作を開始
- チップの設計・仕様が変わったため、プローブカードから再製作
 - 前回の経験を元に修正も追加
 - 信号入力パッド部分の切り欠きを廃止
 - バイアス電圧調整のための外部電圧入力端子を追加
 - バイアス電圧モニタのための出力端子を追加
 - 検査工程もより厳格化していく予定
 - 電源印加時の手順および安全装置
 - 測定結果の管理
- 現在、針立てまで行ったプローブカードが完成



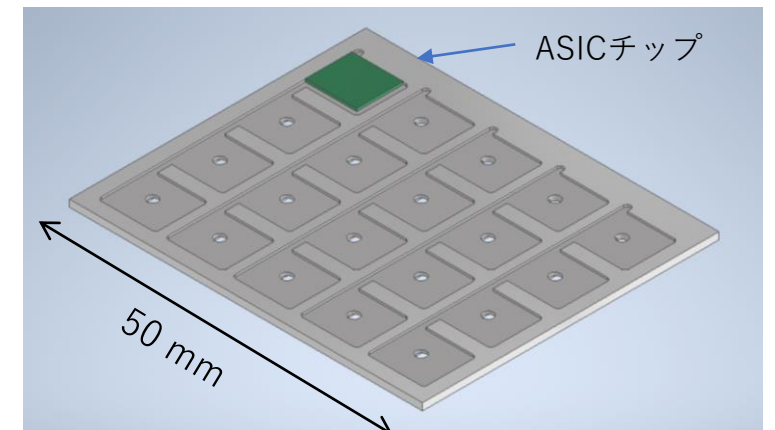
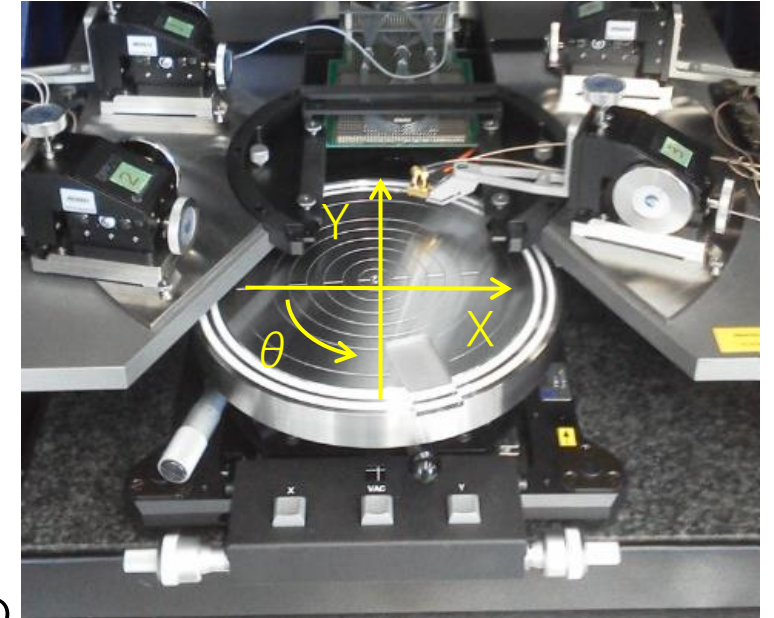
SLiT128D QA用プローブカード
(株式会社日本マイクロニクス社にて針立て)

測定作業

- 40ベーン分の検出器モジュールを製作するには5120チップ必要
 - SliT128Aでの歩留まり(16%の不良)を仮定すると最低6000チップは測定する必要あり
- 当初、完全外部委託も考えていたが、コスト的に断念
 - ダイシング済みのチップを(セミ)オートプロローバーで検査しようとする、単価が高額
 - マニュアルプロローバーを用いる場合も、外部委託では初期費用や作業費が高額
- 九州大学の設備を用いて、研究室のスタッフ・学生および外部の人材派遣を併用して実施予定

測定作業の効率化

- マニュアルプローバーを用いて測定を行う場合、問題点
 - チップの交換作業
 - プローブ位置合わせ
 - 多数のプローブ針で一度にプローブするにはX,Y, θ の3軸調整が必要
 - XY軸の位置合わせは比較的容易だが θ 軸位置合わせには反復調整が必要で時間がかかる
- 多数のチップを一度に向きを揃えて並べる治具を使うことで作業の効率化を検討



マルチチップ位置合わせ治具案

まとめと今後

- J-PARC muon $g-2$ /EDM実験の陽電子飛跡検出器で使用する読み出しASIC (SliT)の品質評価システムの開発を進めてきた
 - 試作版のASIC(SliT128A)においてプローブカードを用いて、ベアチップで動作試験する手法を確立
 - 実機版のASIC(SliT128D)用に新規にプローブカードを製作
- 来年度中には6000チップ以上の測定を行い、実機検出器に使用可能な性能のチップを選定を完了する予定