



MPPC読み出し用汎用ASICの開発状況

計測システム研究会2021@九州大学
2021/10/28

高エネルギー加速器研究機構
素粒子原子核研究所
宮原 正也

- **国産の汎用MPPC読出しASICの開発プロジェクト**
 - 昨年度の計測システム研究会がトリガとなって開始
 - KEK E-sysグループ及びMPPC読出しASICを必要とするグループを中心として推進
 - J-PARC T2K, Hadron, COMET, MLF
 - 理研 RIBF
 - RCNP原子核実験
 - その他グループ
- **プロトタイプ的设计及び初期テストを行った結果を報告**
 - 2021年7月6日 仕様決定
 - 2021年7月7日 MPW run
 - 2021年10月15日 パッケージ済みチップ入手, 測定開始
 - 全ての機能が概ね想定通りに動作していることを確認

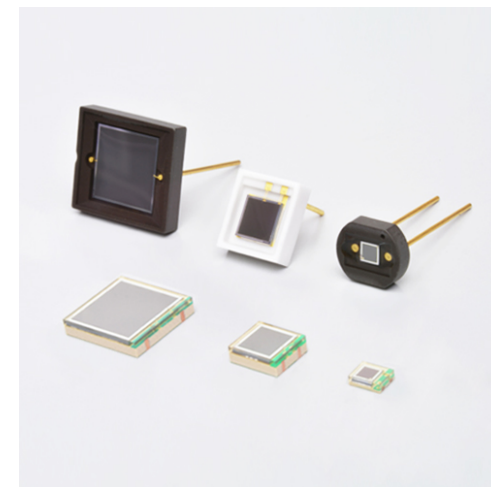
- **Multi-Pixel Photon Counter**

- 複数のガイガーモードAPDのピクセル

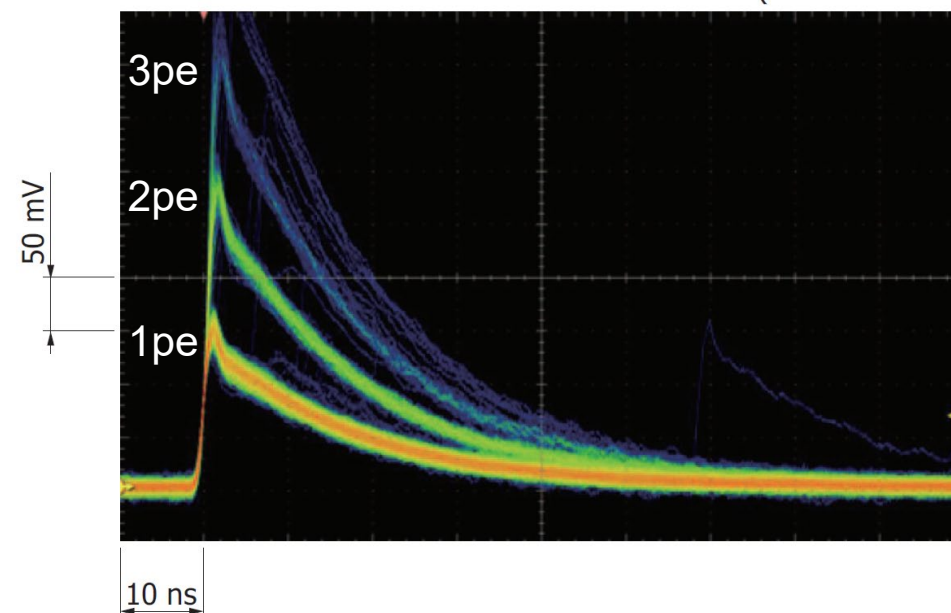
- Photon数に応じて出力電荷が離散的に変化

- S13360シリーズ

- 増倍率： $10^5 \sim 10^6$
- 時間分解能：
- 低電圧動作 ($V_{BR} = 53V$ Typ.)
- 常温動作
- **簡単な読み出し回路で動作**
 - 大量に使う場合にはそれなりに大変
 - 専用のASICが必要

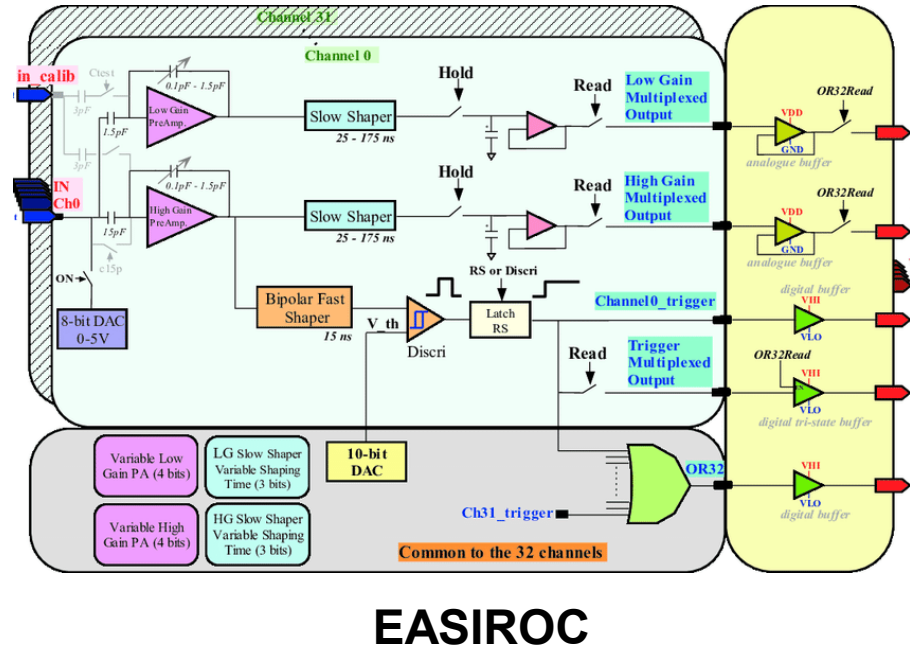


($M=1.25 \times 10^6$)



https://www.hamamatsu.com/resources/pdf/ssd/s13360_series_kapd1052j.pdf

- 国外の研究所などで開発されたASICがほとんど
 - AFTER ASIC, ⇒ Saclay
 - Trip-t ASIC, ⇒ Fermi
 - CITIROC, SPIROC, EASIROC ⇒ Omega
 - 入手性、コストの面で難がある
- MPPCを利用する実験は多数ある
 - J-PARC T2K, Hadron, COMET, MLF
 - 理研 RIBF
 - RCNP原子核実験
- 国産のMPPC読出しに特化したASICが望まれる
 - 高性能、高機能、低消費電力
 - 汎用性、使いやすさ
 - 入手性、コスト

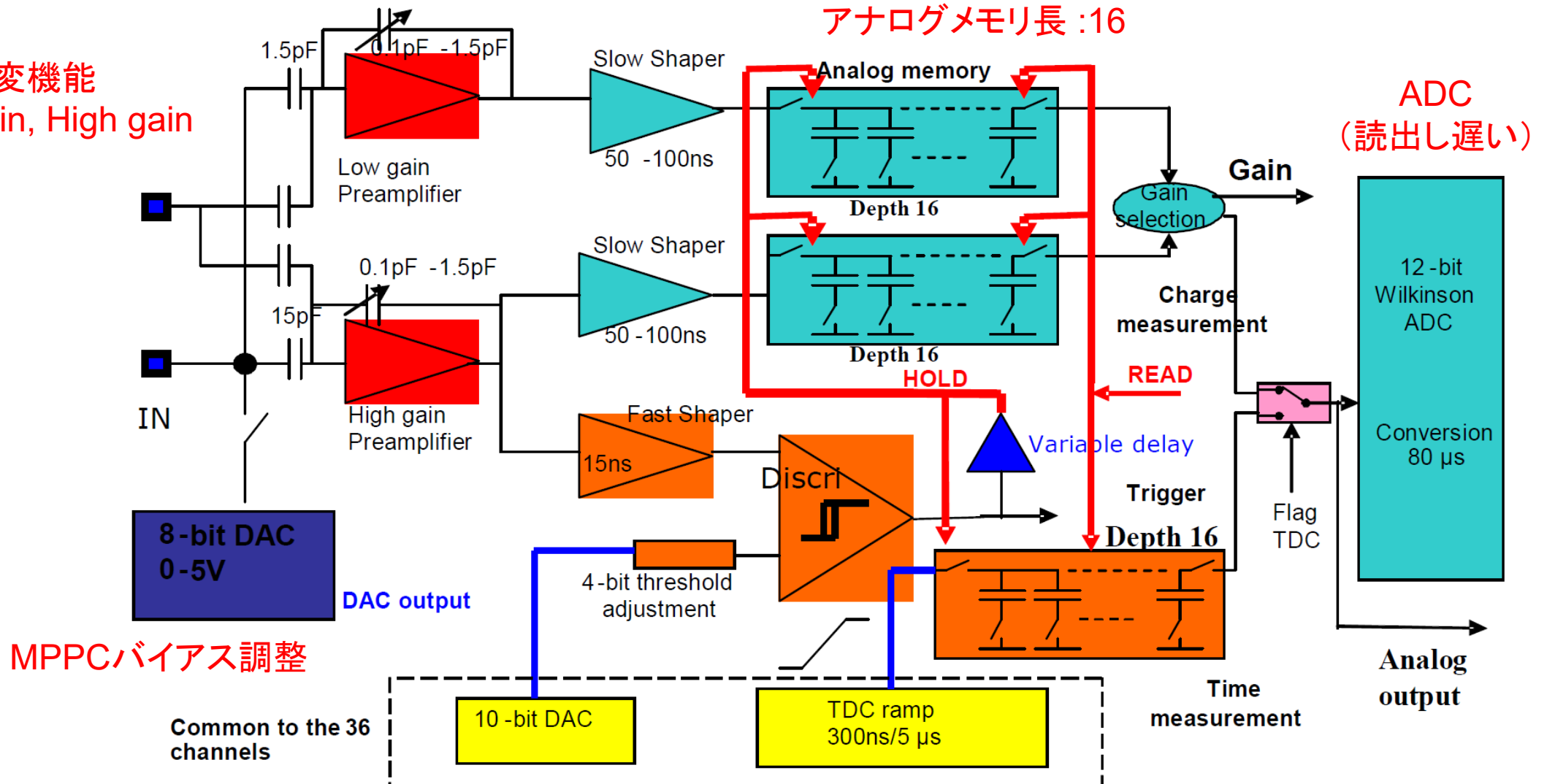


木河達也, “T2K前置検出器における MPPC読み出し
エレクトロニクス,” 計測システム研究会2020@J-PARC

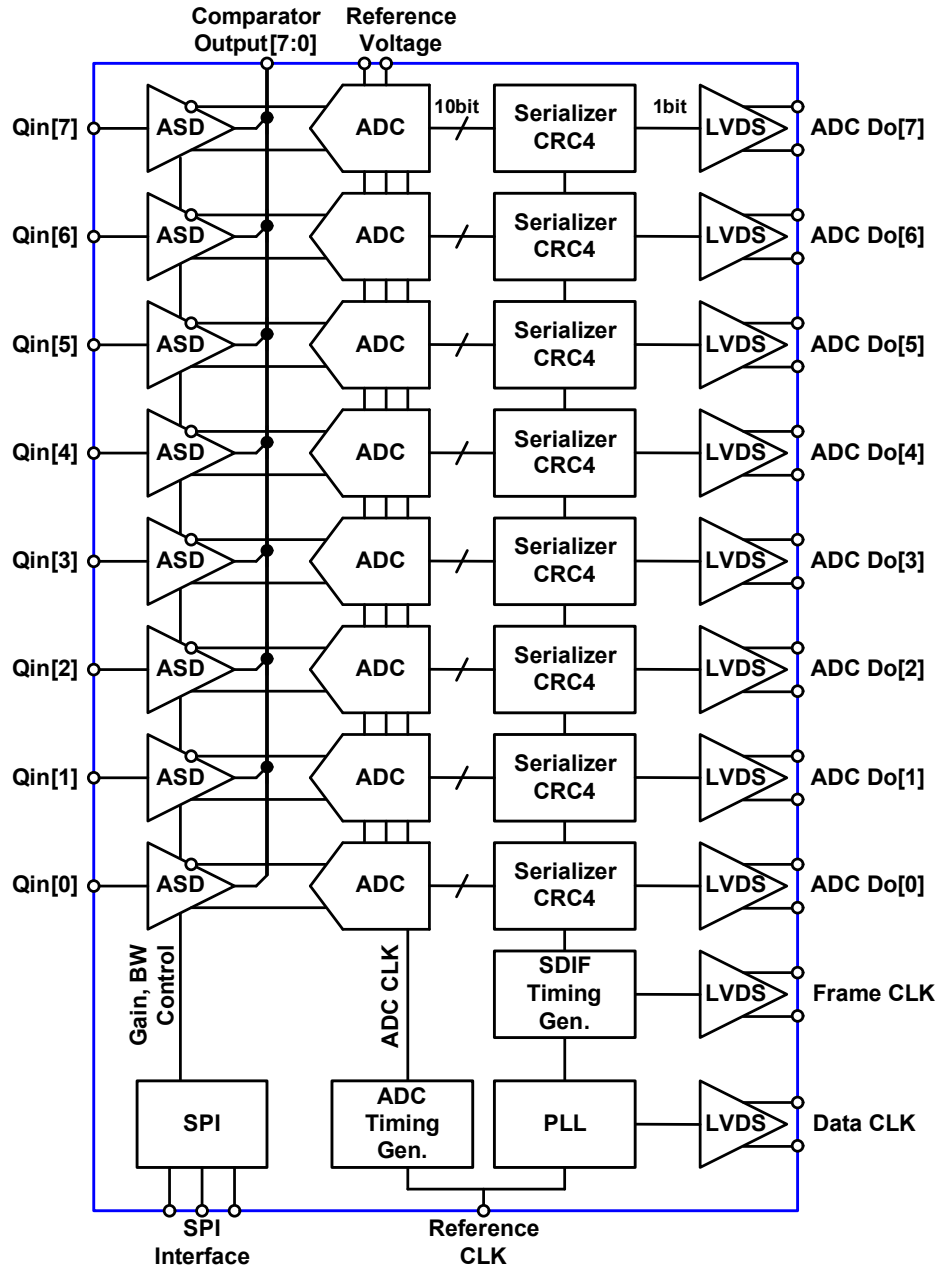
従来のMPPC読出しASIC : SPIROC

電荷増幅器ではなく電圧増幅器

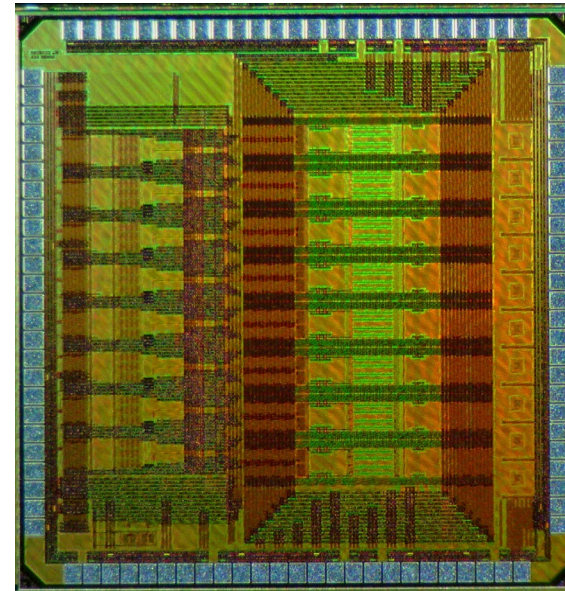
- ・利得可変機能
- ・Low gain, High gain



新ASICの概略



- 8ch/chip
- 各チャンネルに10bit ADCを設置
 - サンプリングレート ~100MS/s
- ASD利得,時定数可変 (0.25x~128x)
- MPPCバイアス用10bit, 3.3V DAC
- 350mW/chip
 - 1/3はLVDS (12mW/ch × 10)
 - ASD部分は低電力化の余地がある



65nm Si CMOS 2mm角



LQFP100パッケージ

汎用ASICのアナログ1ch構成

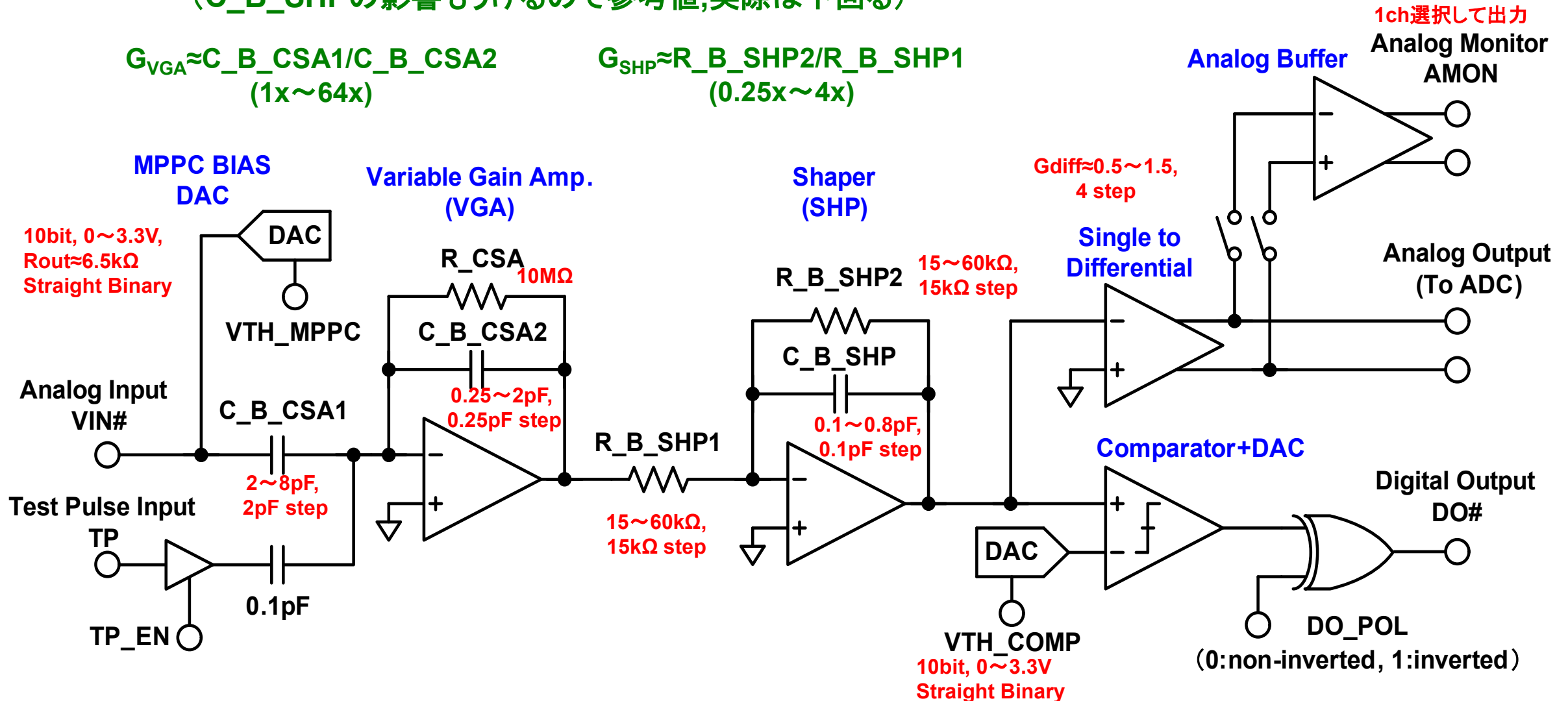
Peak Gain 0.25~128倍
 (C_B_SHPの影響もうけるので参考値,実際は下回る)

$$G_{VGA} \approx C_B_CSA1 / C_B_CSA2$$

(1x~64x)

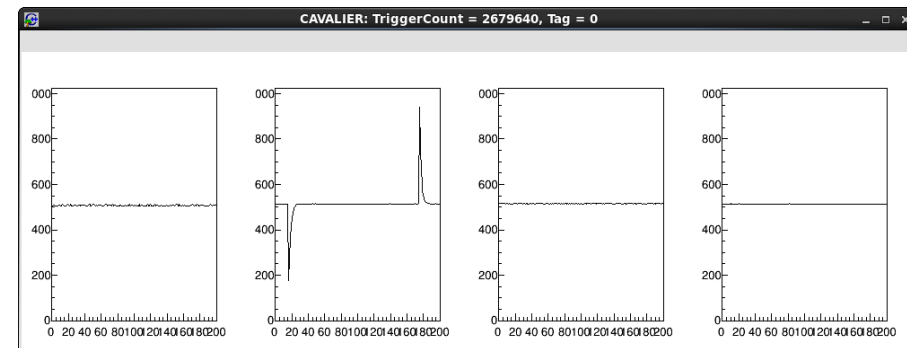
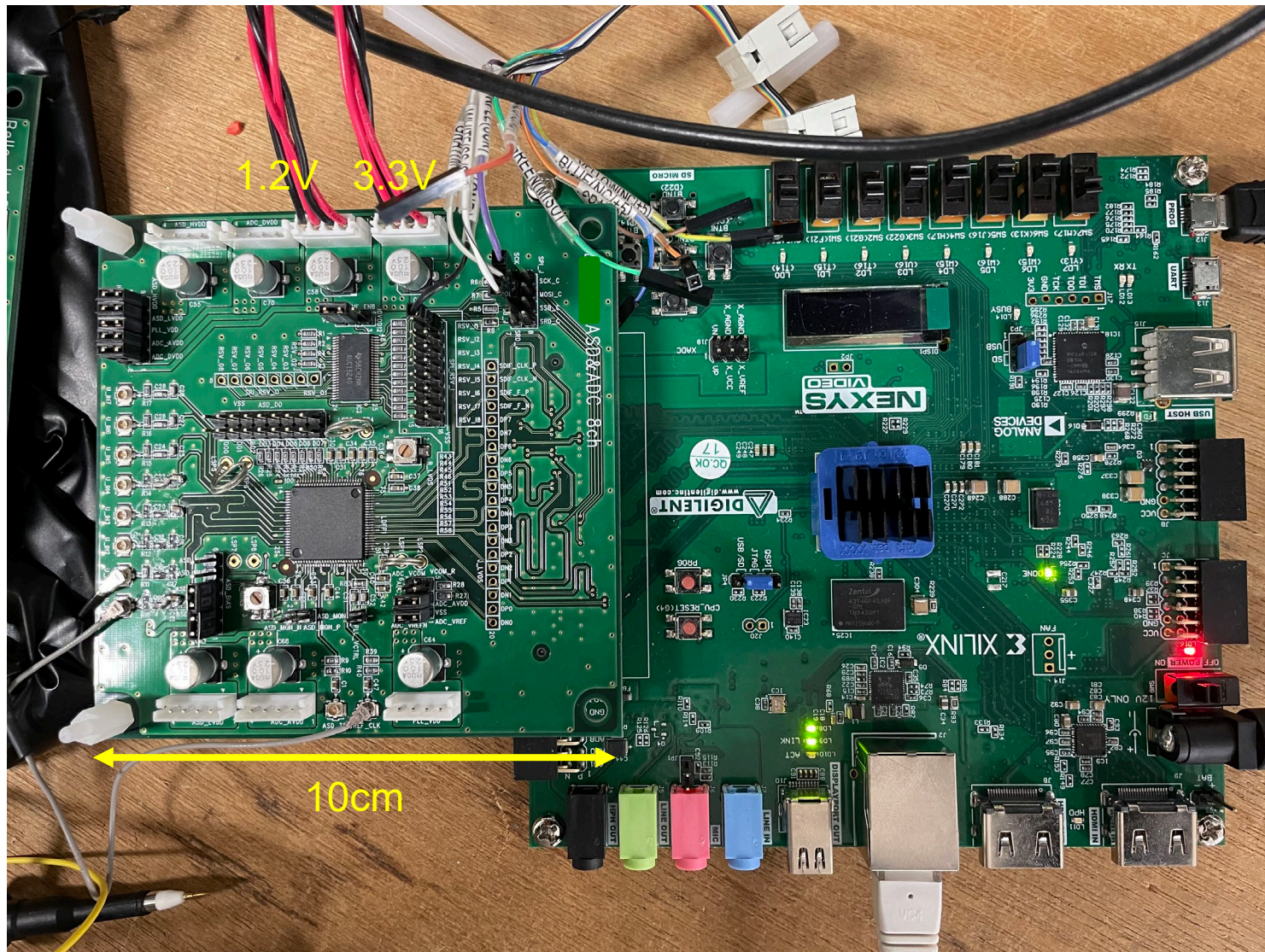
$$G_{SHP} \approx R_B_SHP2 / R_B_SHP1$$

(0.25x~4x)



FPGAを用いた読出しセットアップ

MPPC, テスト信号接続

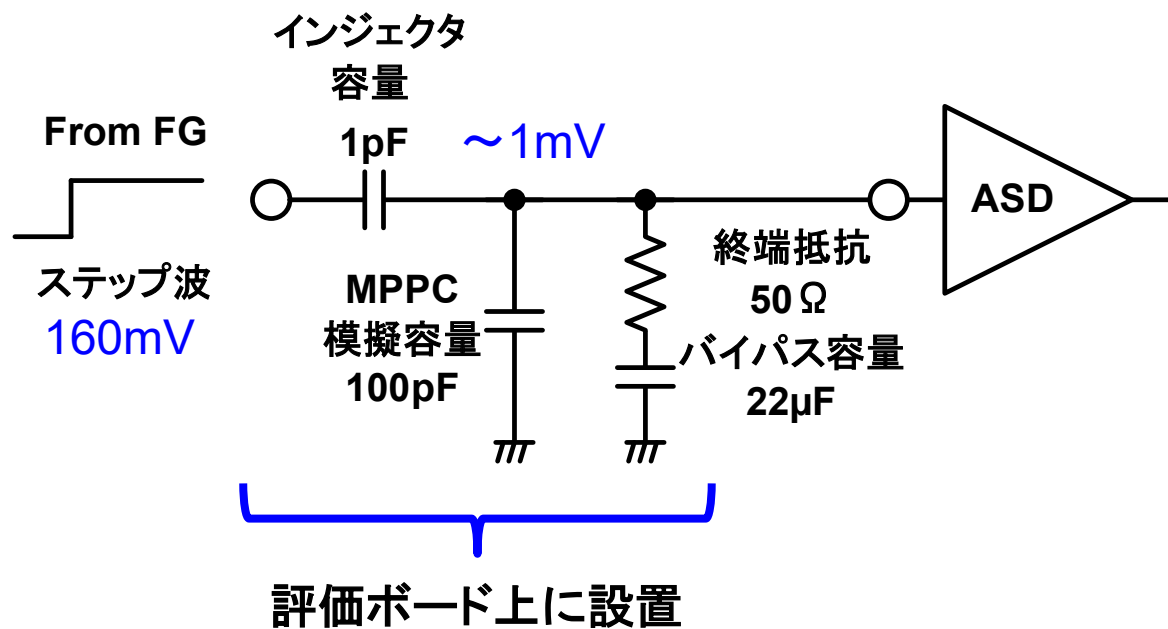


高速ADCによってリアルタイムに
波形を観測可能

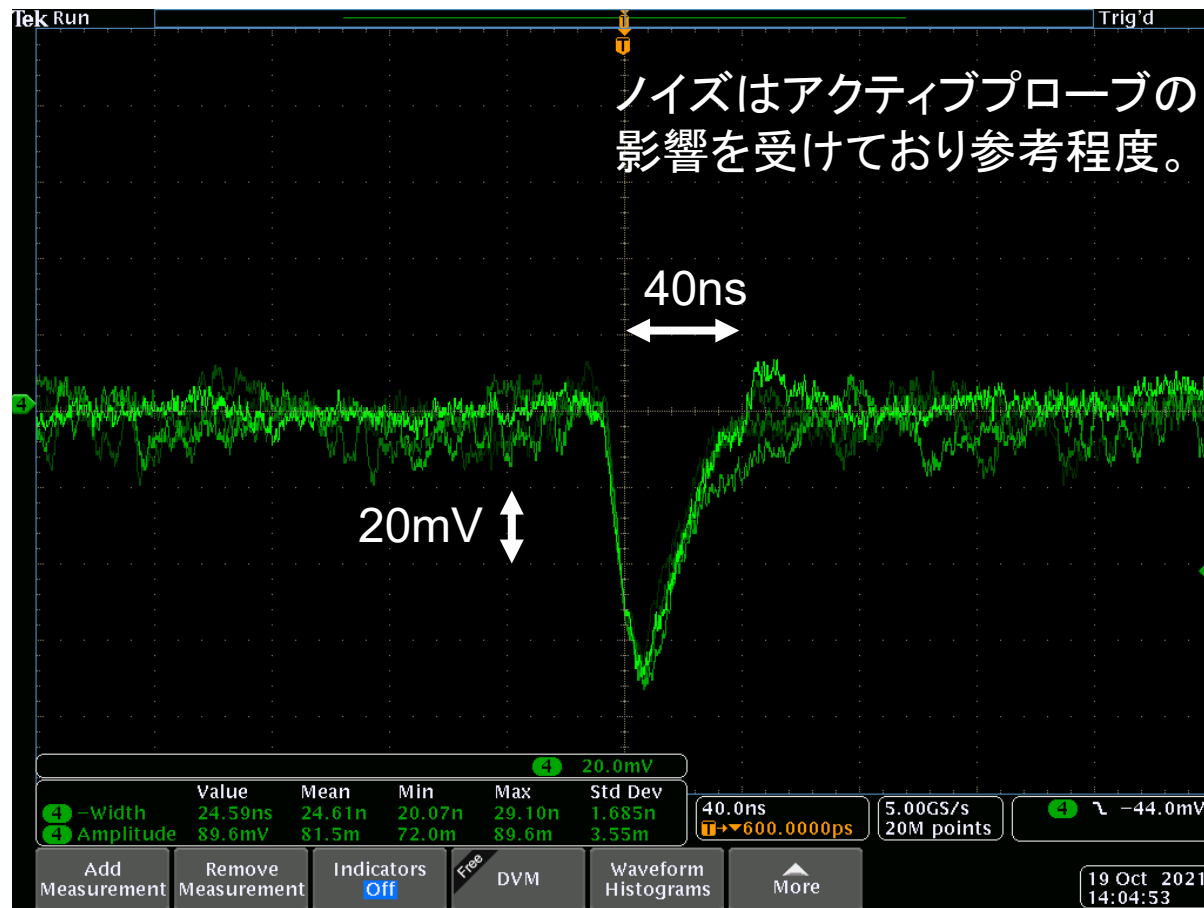


任意のチャンネルのアナログ信号を
モニタ可能

LAN(1G)経由で制御、読出し
計測システム研究会2021



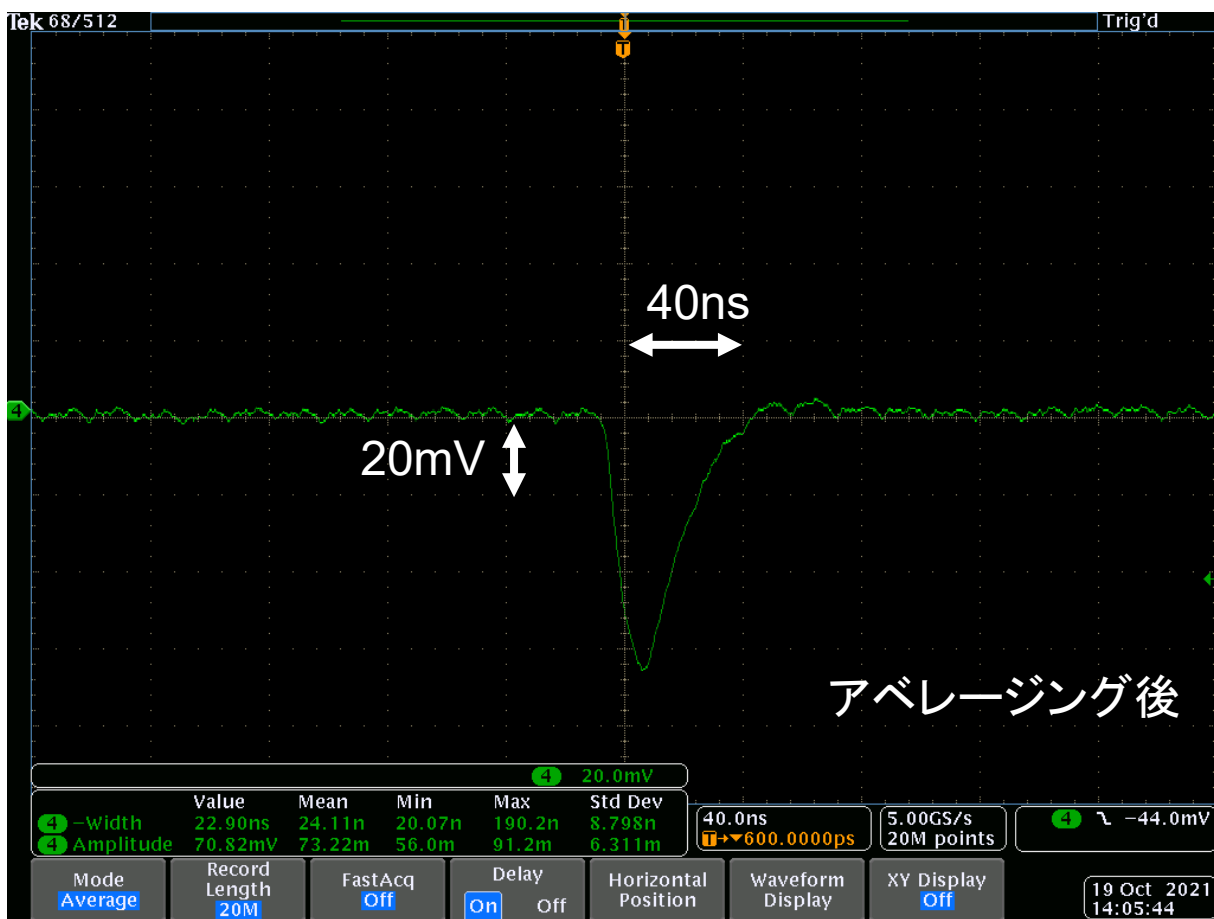
以降の測定ではMPPCの利得を 10^6 と仮定し、 **$1pe = 160fC$** (160mV@1pF)とする。
アナログモニタ時はASDの利得はシングル—差動変換部を除き最大とする。
(プローブノイズの影響を下げるため)



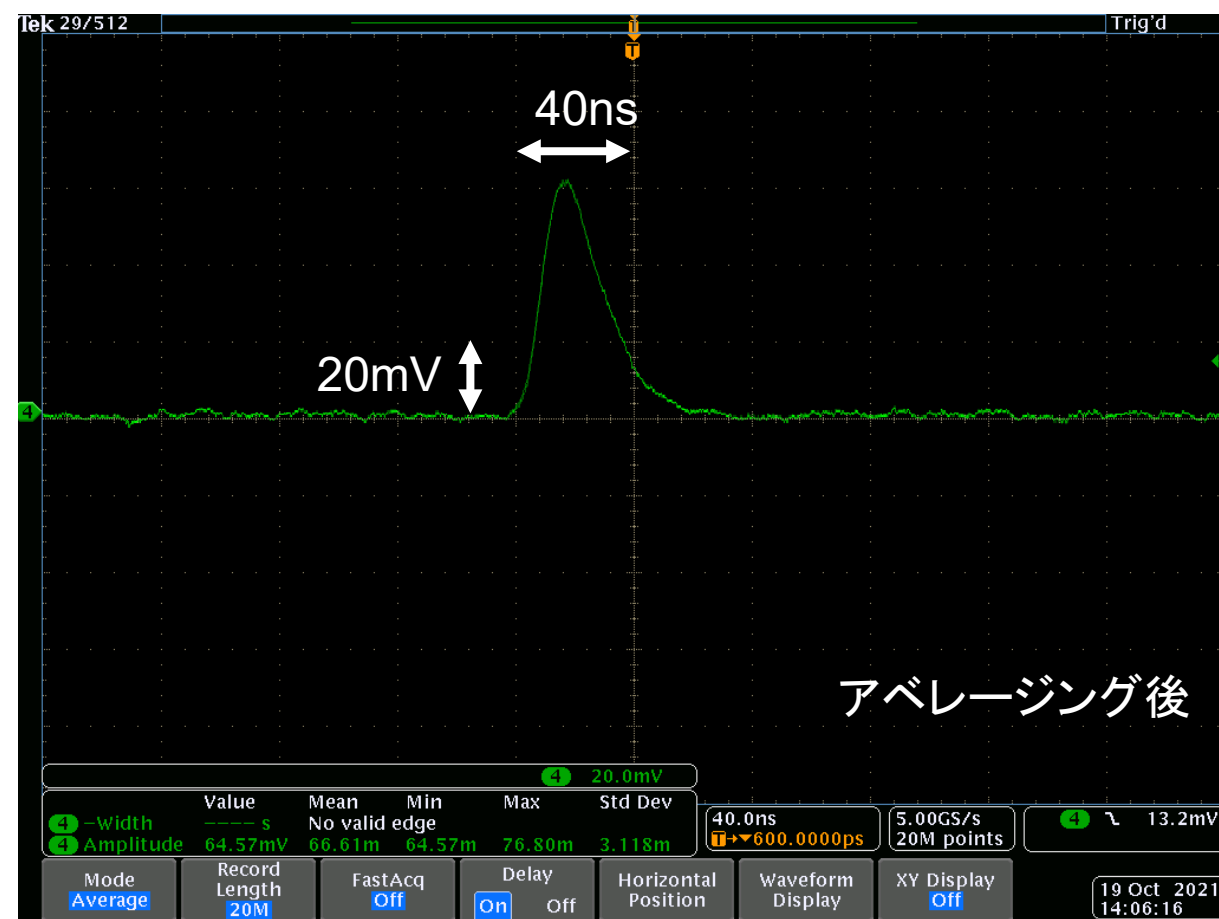
最大利得設定時のアナログ波形

アナログ信号の観測：インジェクタ入力

ベースラインへの戻り、パルス幅等概ね期待通り

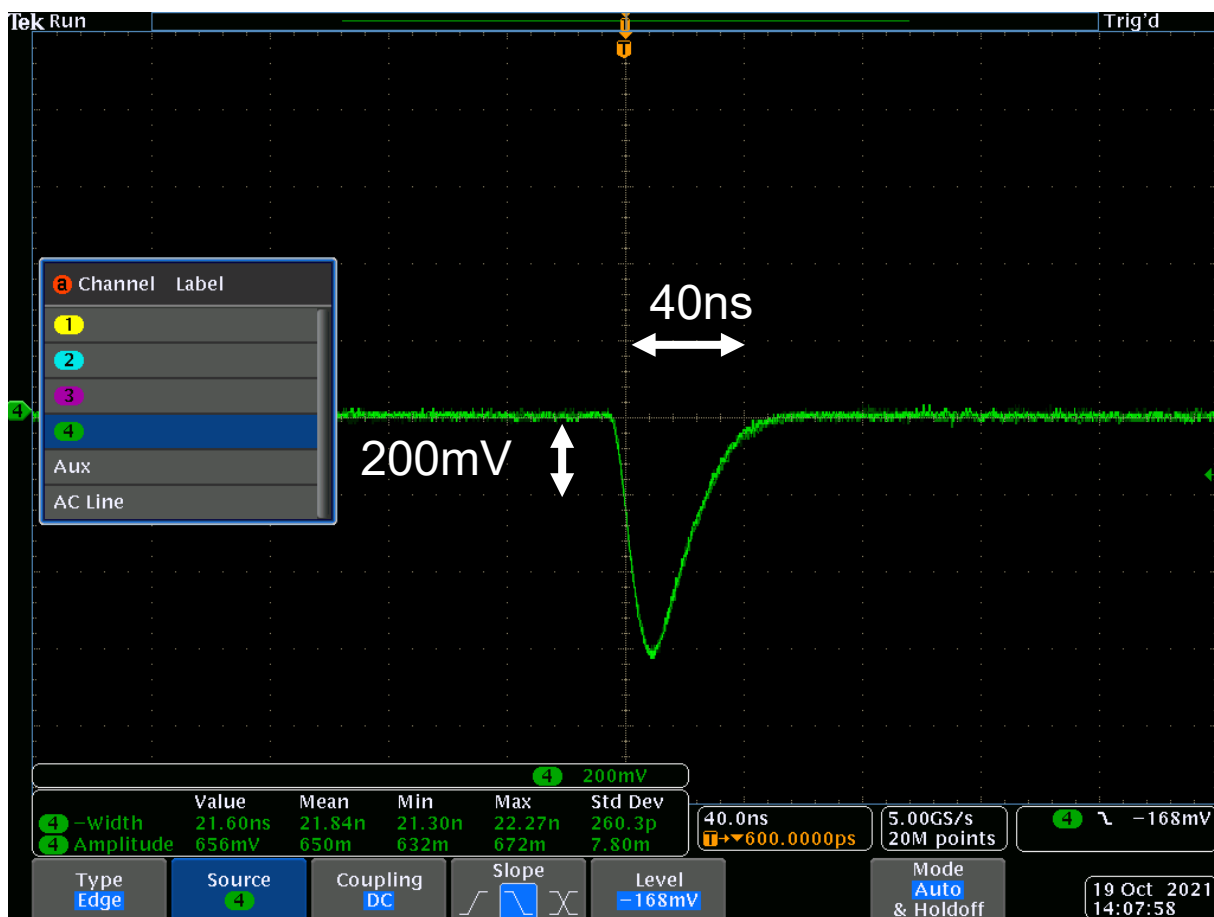


1pe相当 ネガ入力

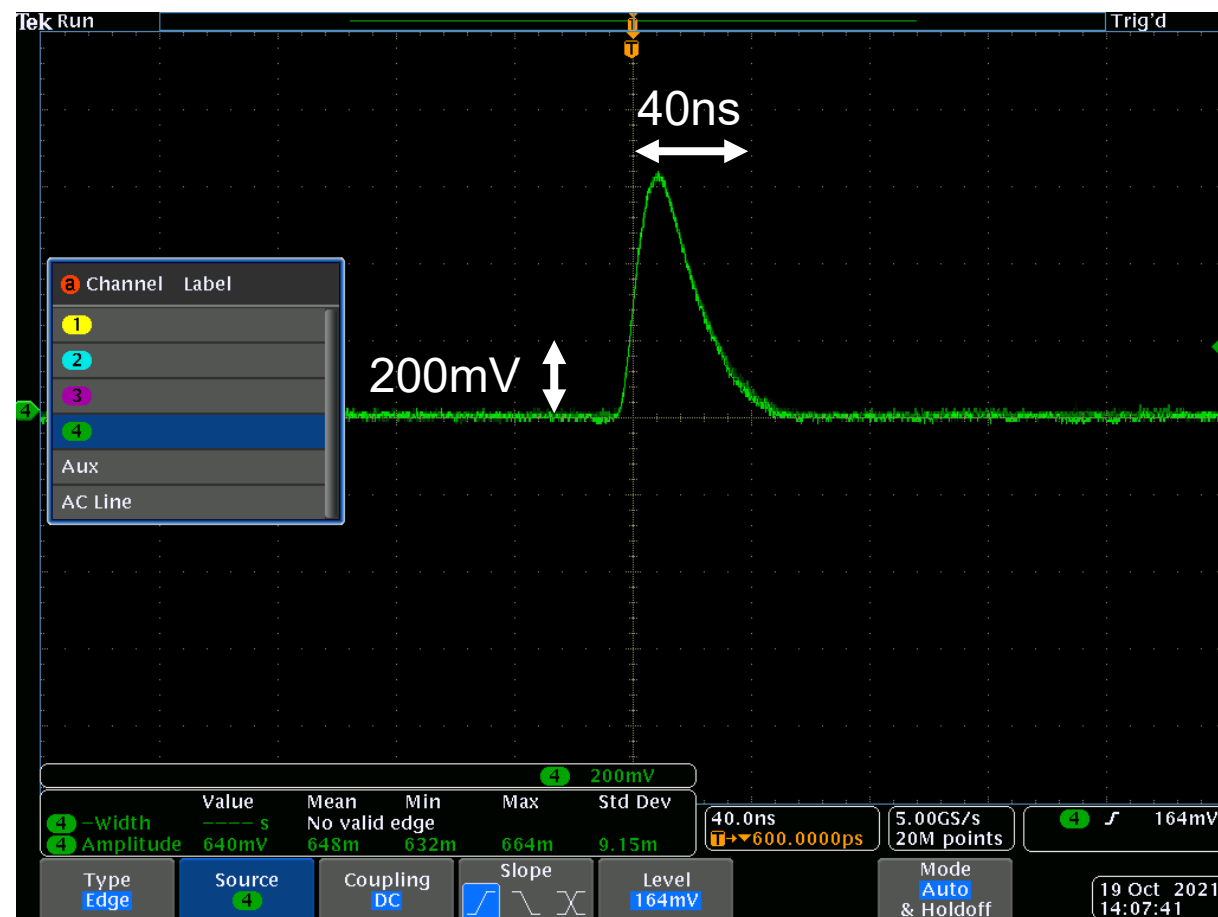


1pe相当 ポジ入力

ベースラインへの戻り、パルス幅等概ね期待通り



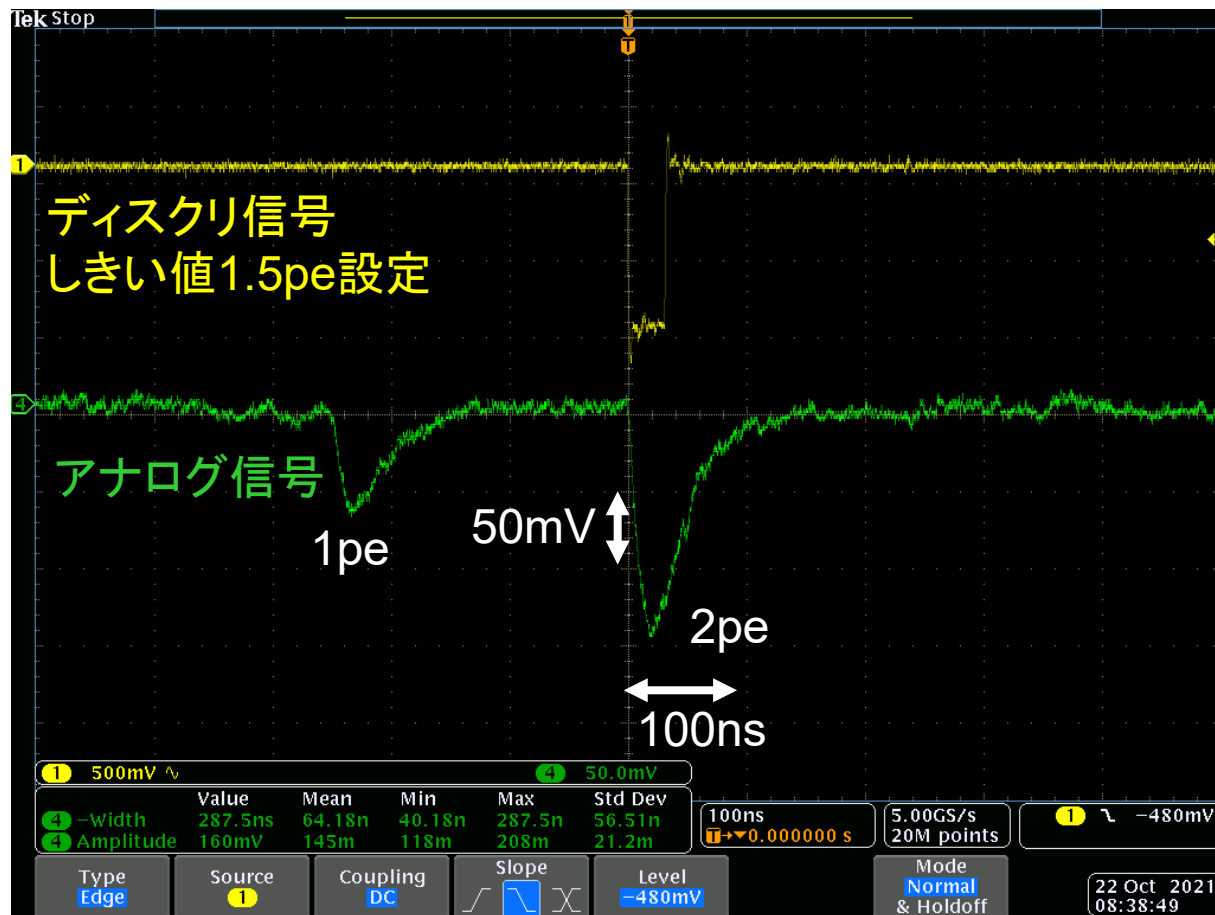
10pe相当 ネガ入力



10pe相当 ポジ入力

型名	測定条件	感度波長範囲 λ (nm)	最大感度波長 λ _p (nm)	検出効率 PDE*4 λ=λ _p (%)	ダークカウント*5		端子間容量 C _t (pF)	増倍率 M	降伏電圧 V _{BR} (V)	クロストーク確率 (%)	推奨動作電圧 V _{op} (V)	推奨動作電圧の温度係数 ΔTV _{op} (mV/°C)	
					Typ. (kcps)	Max. (kcps)							
S13360-1350CS	V _{over} = 3 V	270 ~ 900	450	40	90	270	60	1.7 × 10 ⁶	53 ± 5	3	V _{BR} + 3	54	
S13360-1350PE		320 ~ 900			500	1500							
S13360-3050CS		270 ~ 900			2000	6000							1280
S13360-3050PE		320 ~ 900											
S13360-6050CS		270 ~ 900											
S13360-6050PE		320 ~ 900											

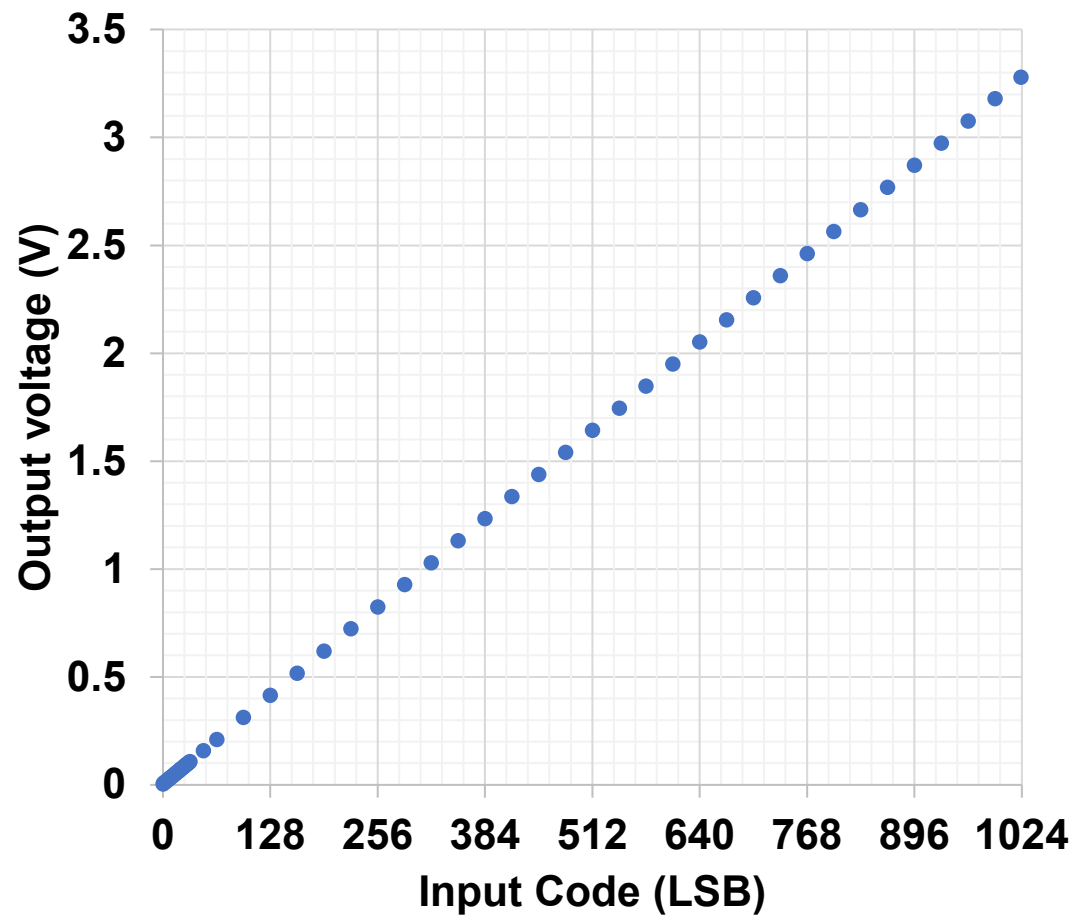
推奨動作電圧 55.25Vに対し、55.2Vで動作させる



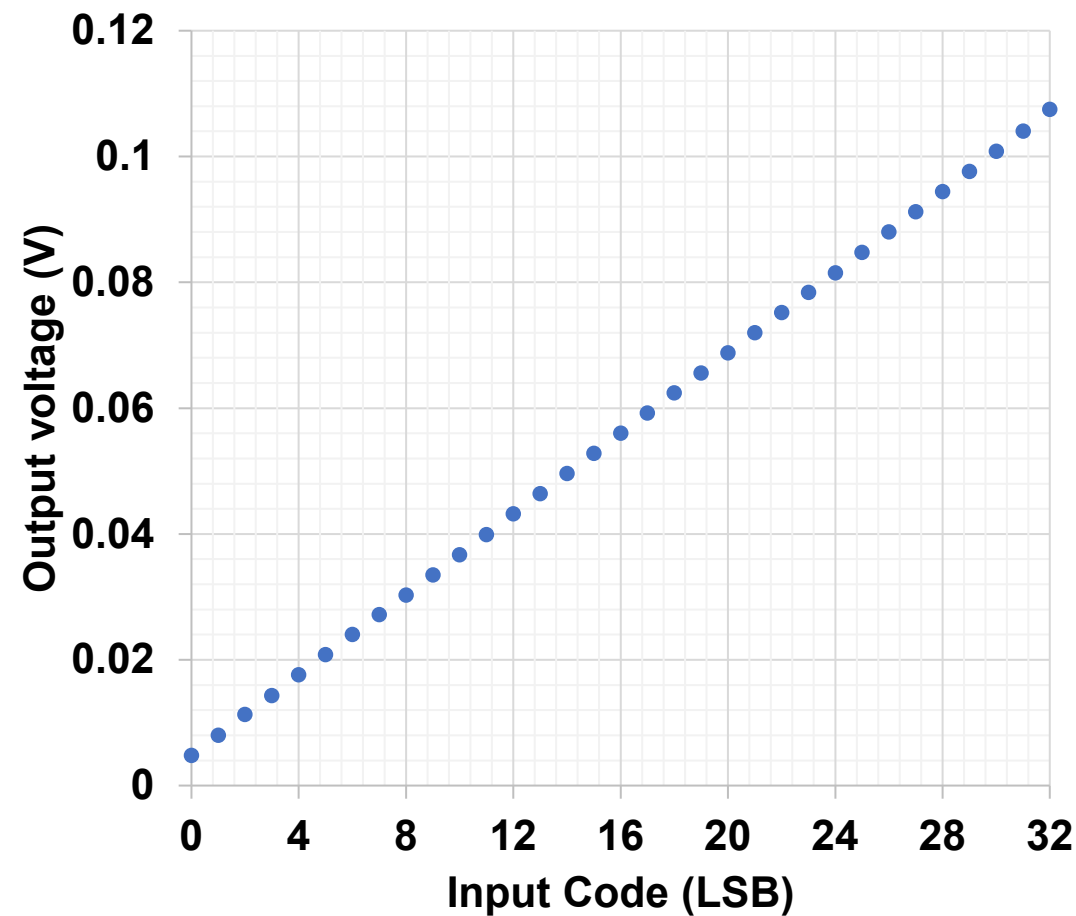
インジェクタ入力よりもパルス幅が広がっている(40ns⇒100ns)
遅い信号成分が影響している(?)

遮光シートで簡易に遮光、ダークを観測

4.8mV~3.28V, 1LSB=3.2mV

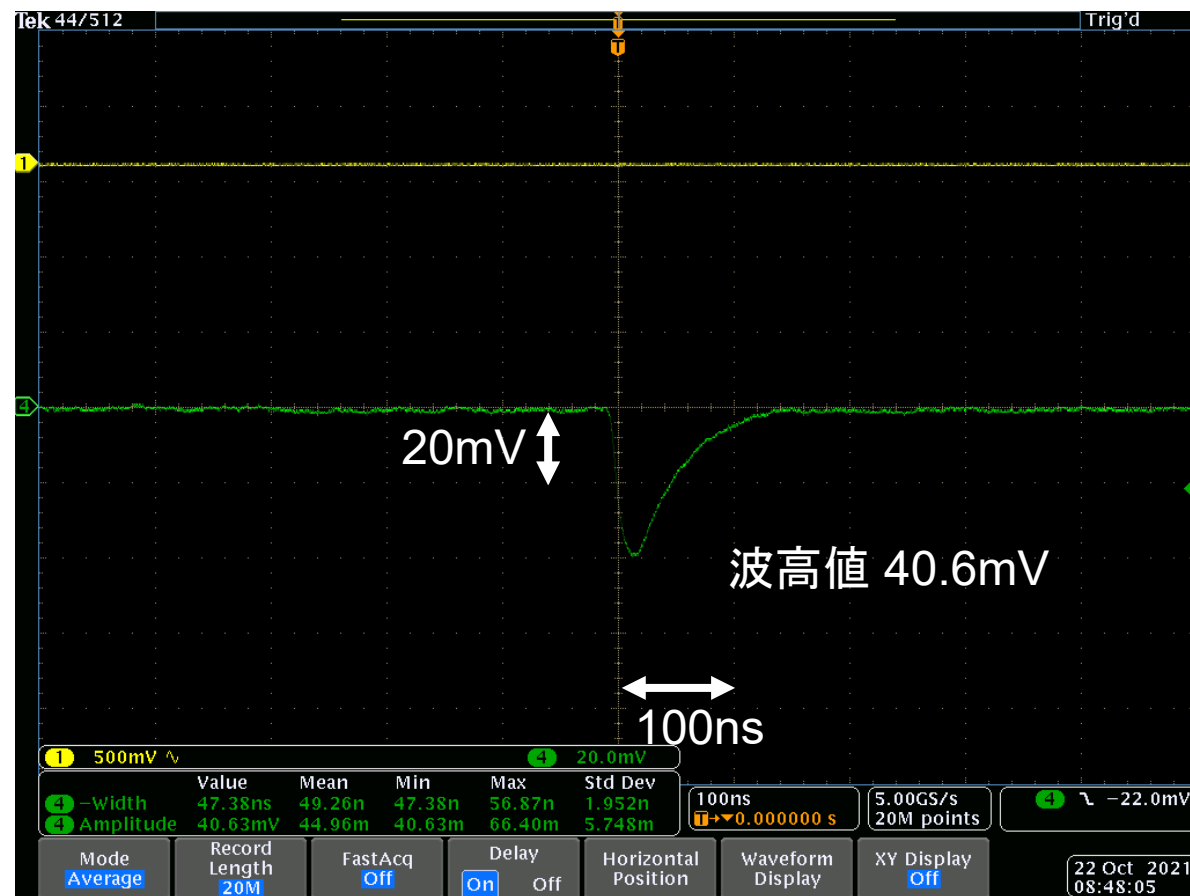
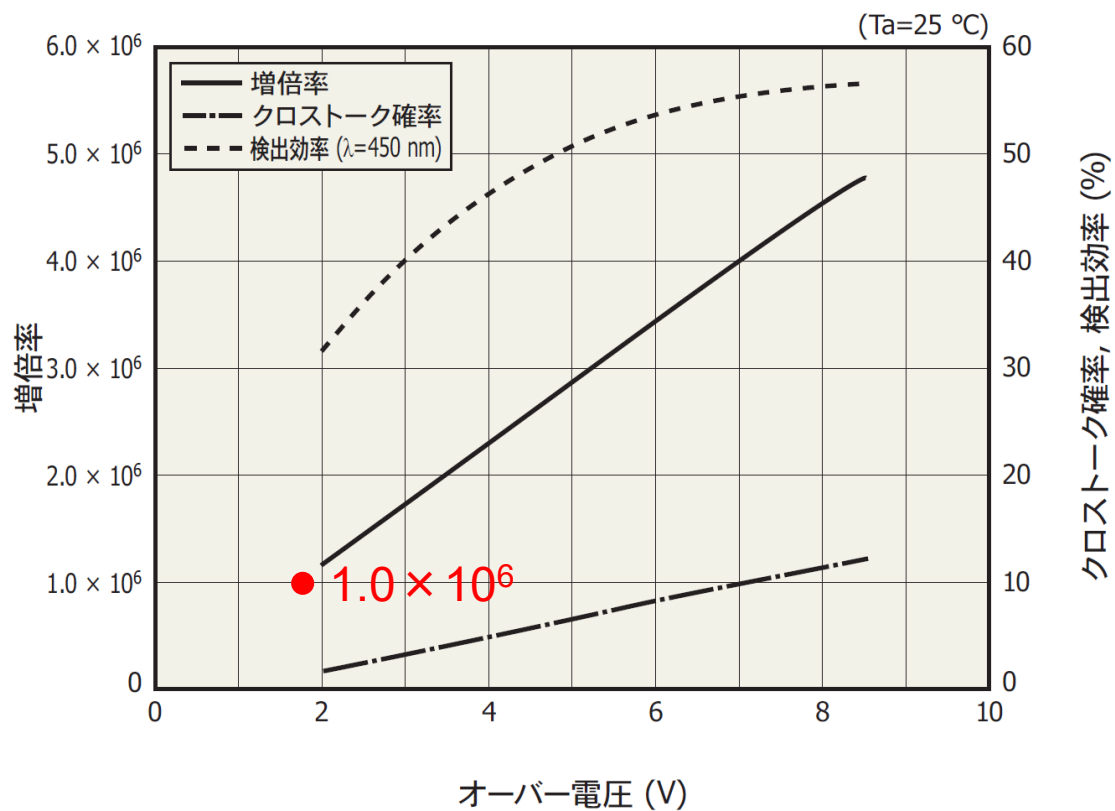


DNL : ± 0.1 LSB以内

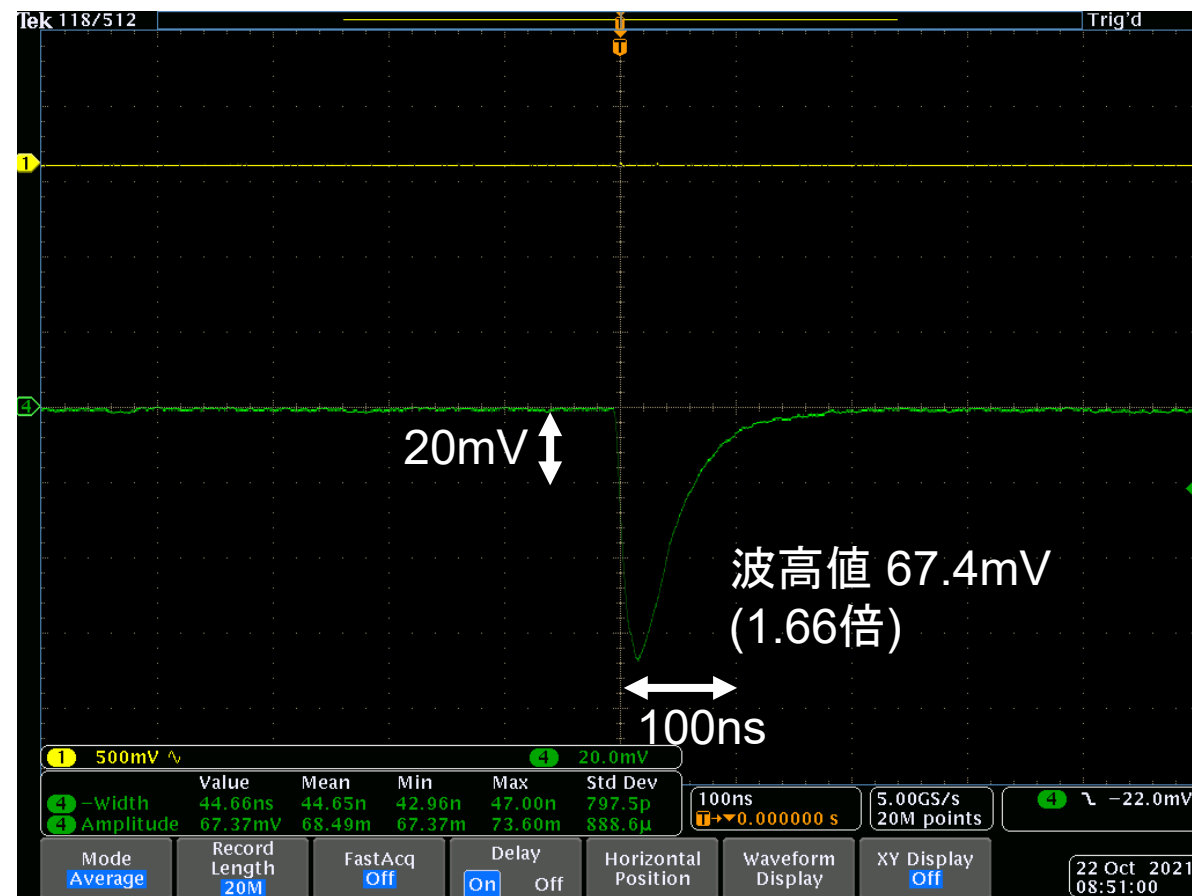
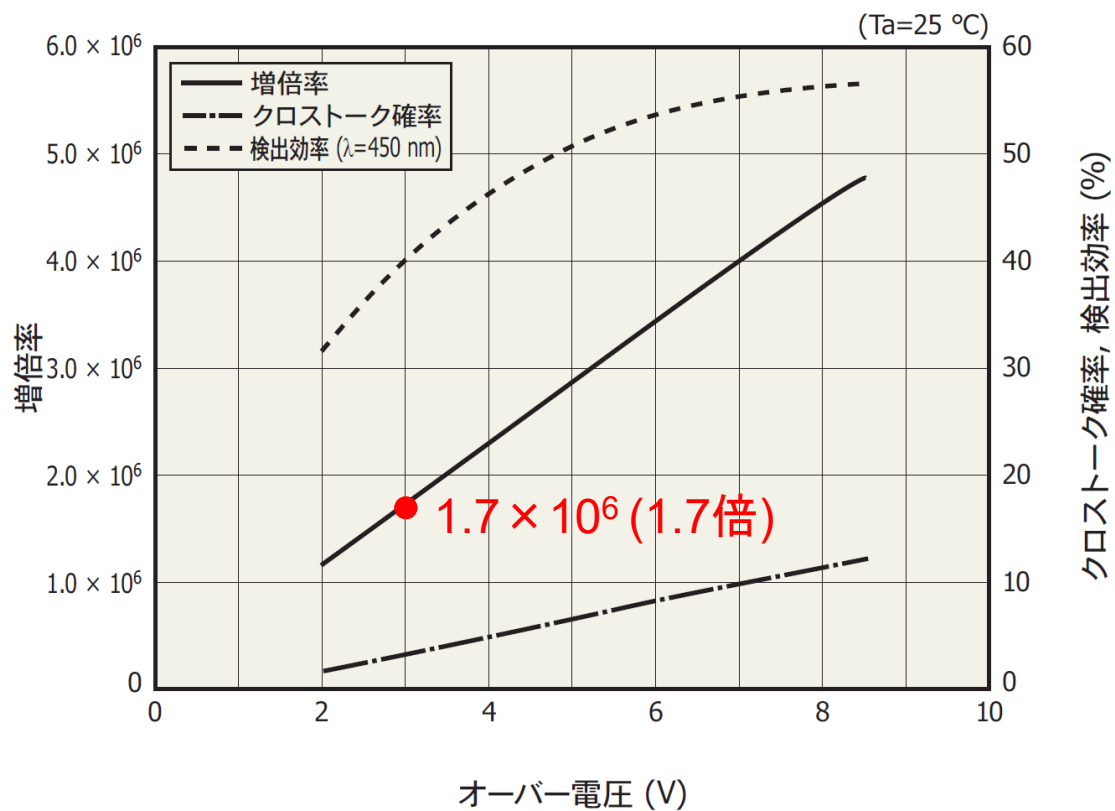


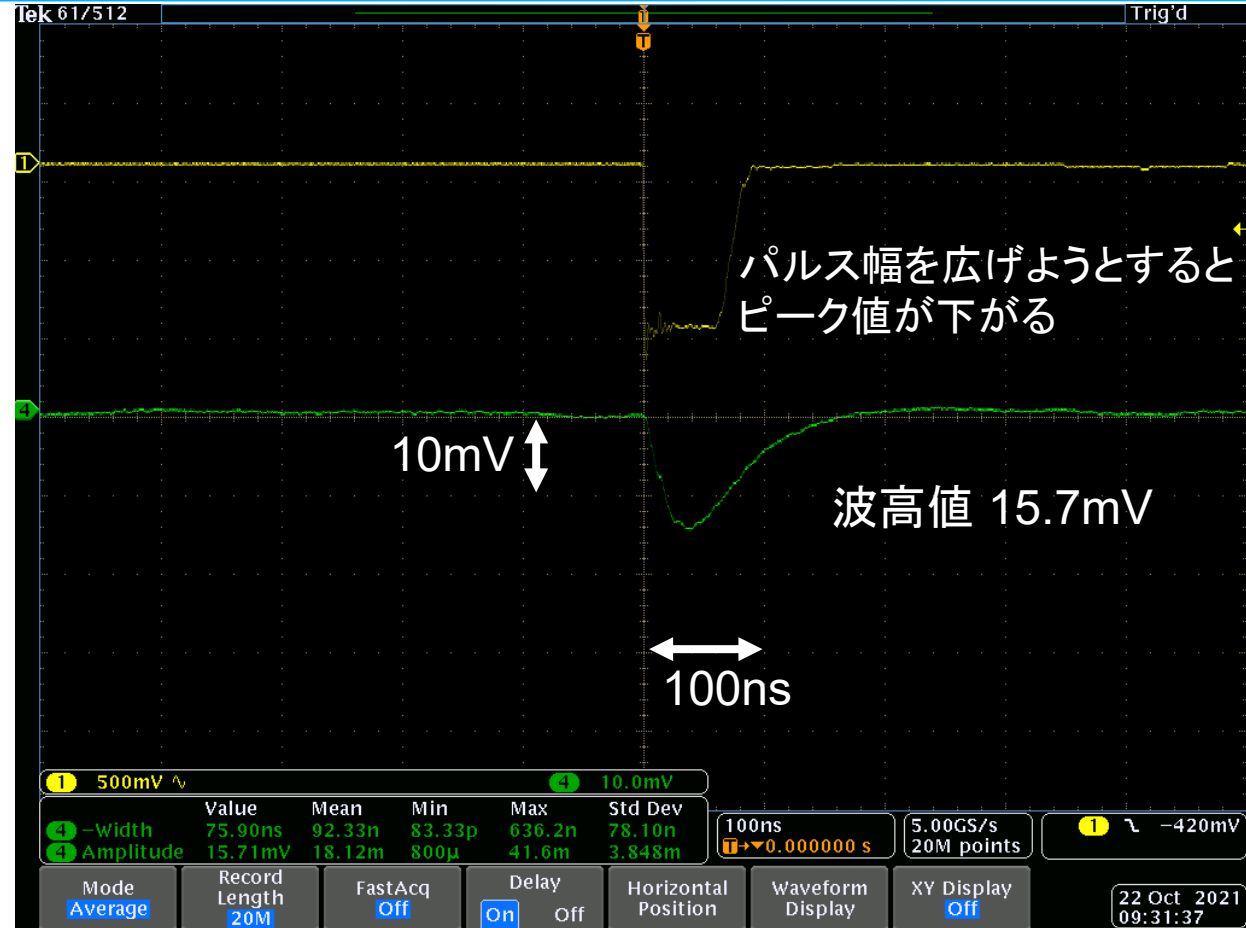
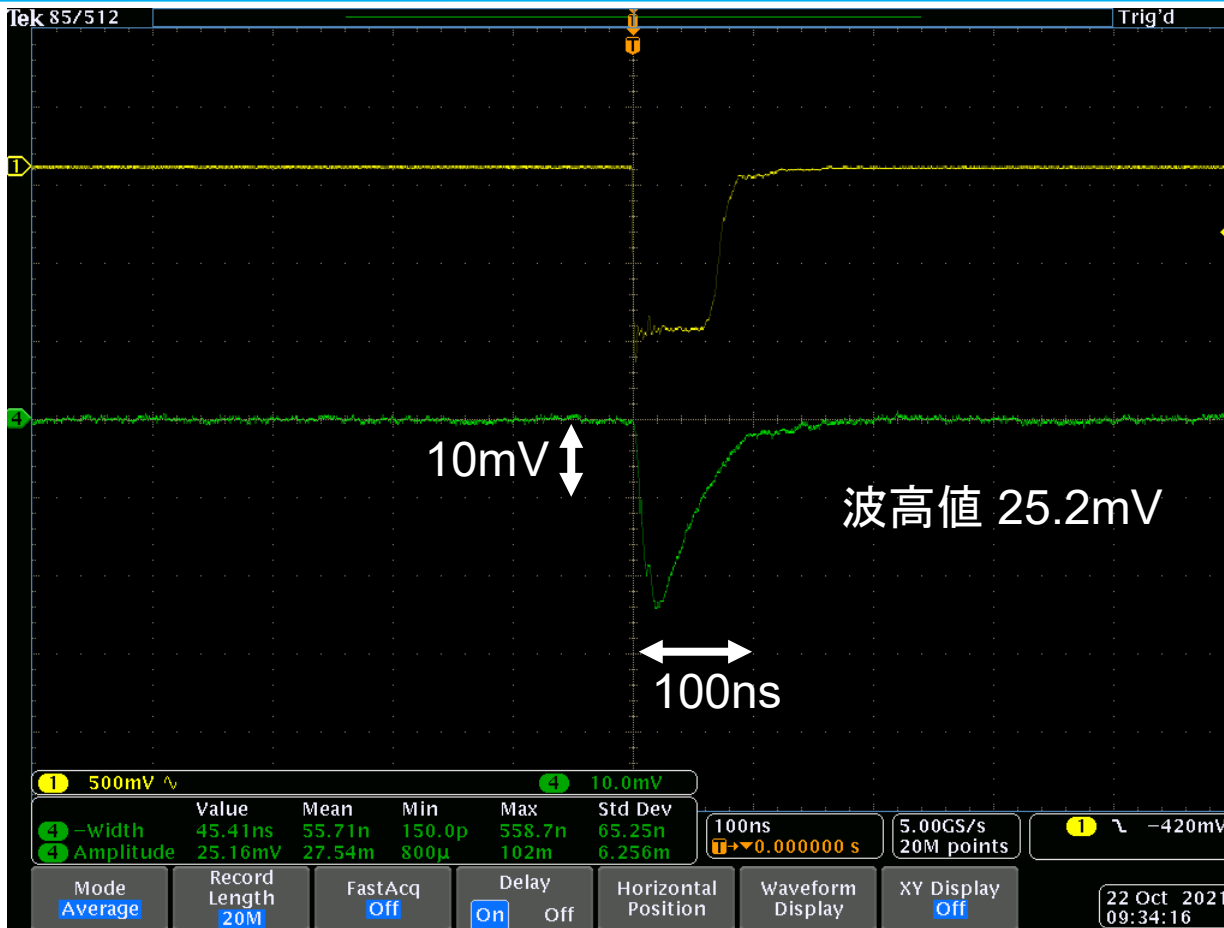
0~32区間を拡大

HV -54V, バイアスDAC 0V出力時 ($V_{op}=54V, V_{ov}=1.8V$)



HV -54V, バイアスDAC 1.2V出力時 ($V_{op}=55.2V$, $V_{ov}=2.95V$)

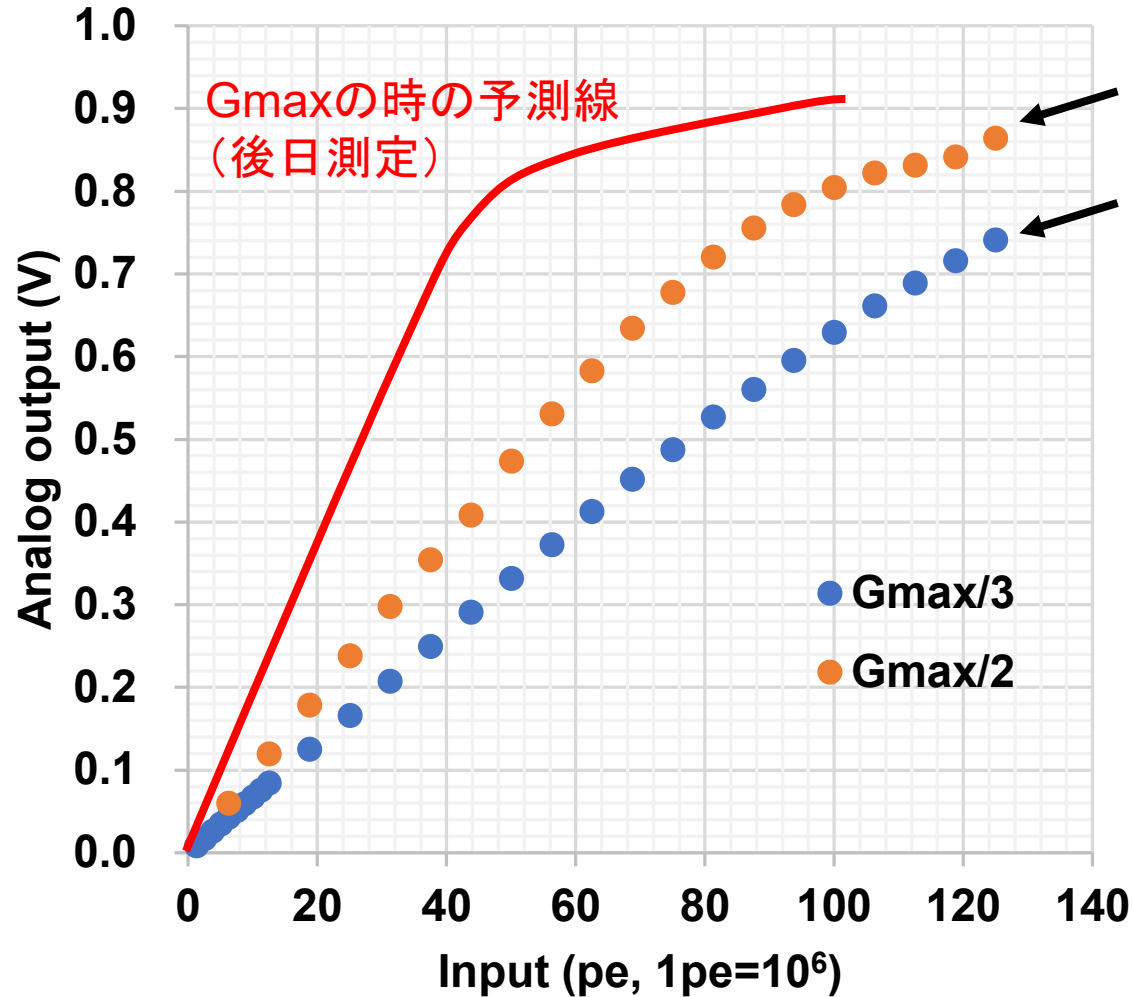




線形性重視の設定 (DR: ~100pe)
利得: 最大利得/3の設定

左記の状態からパルス幅制御

線形性重視にして利得を下げてもディスクリは問題なさそう(要追検討)



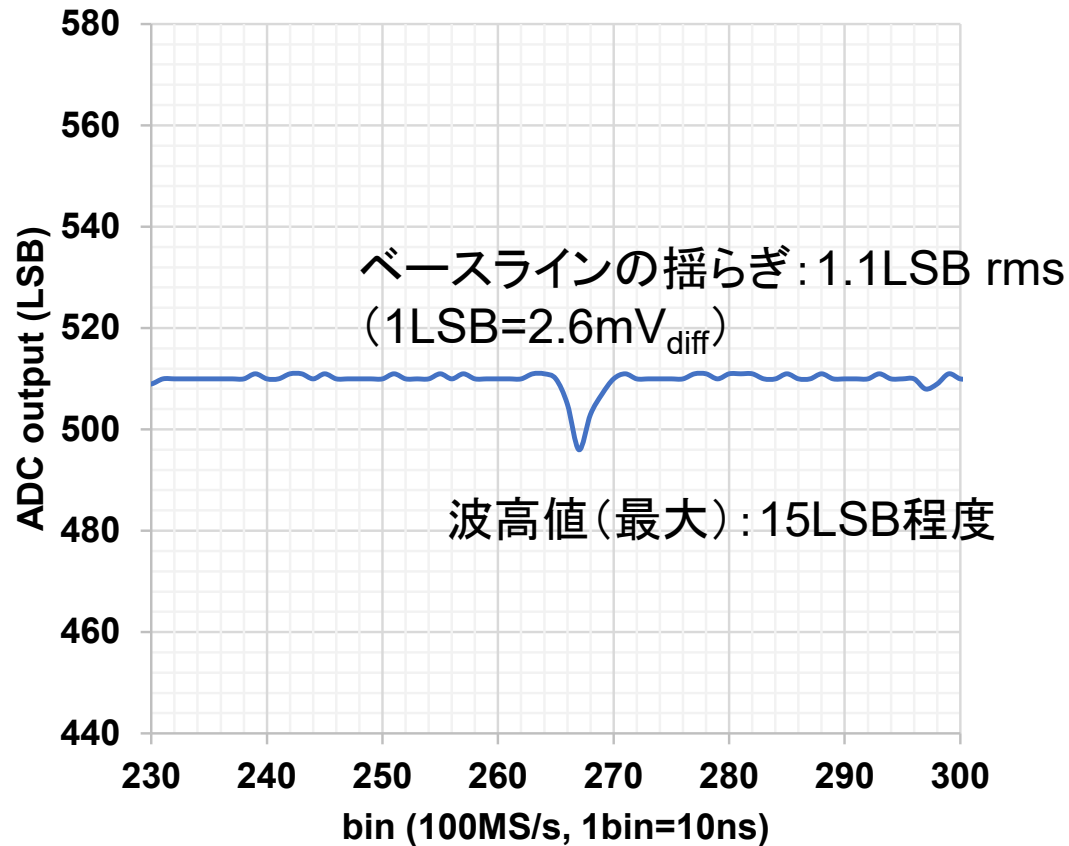
この設定は100peまで伸ばせる気がする

この設定はADCによる1peの弁別が厳しい気がする
(ADCの参照電圧を調整すれば行けるかもしれないが)

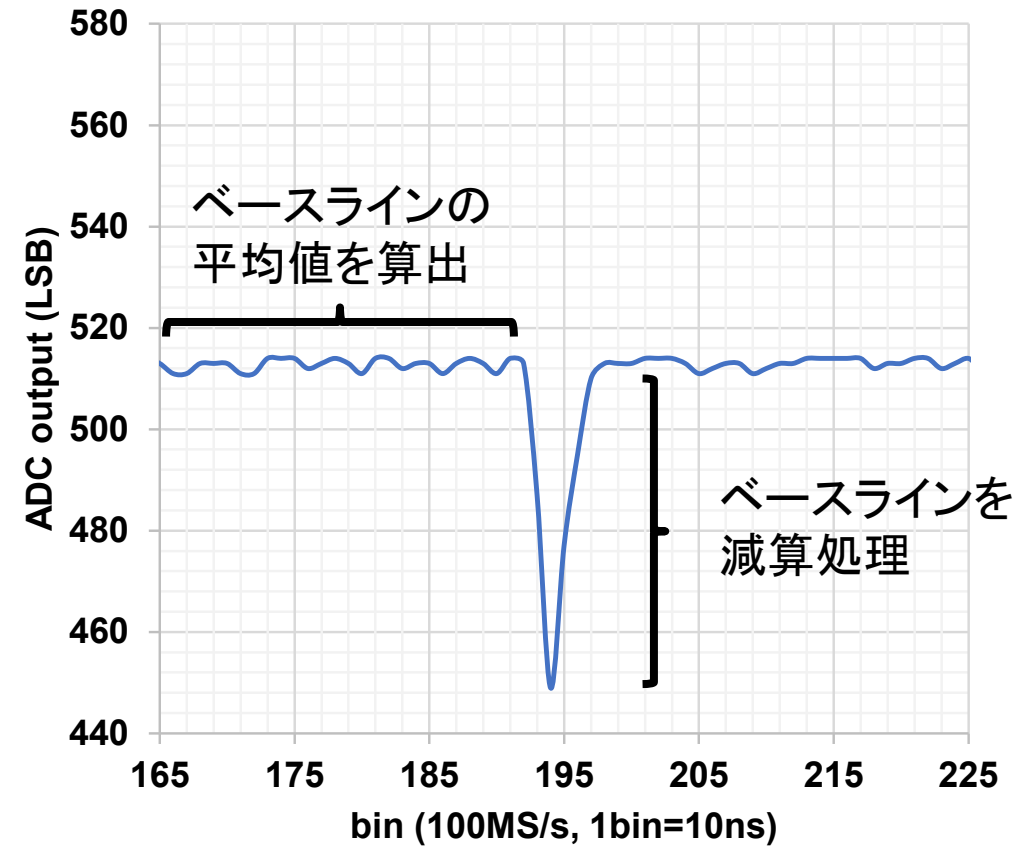
シングル差動変換で飽和しているようなので、
シングル差動変換回路の利得を変更すれば
ディスクリの性能に影響せずに線形性を担保
することができるかもしれない。
また、利得設定はもう少し細かく(3/4とか)設定
できるので要追検討。

注: 初期検討として観測の容易な利得最大の設定としている

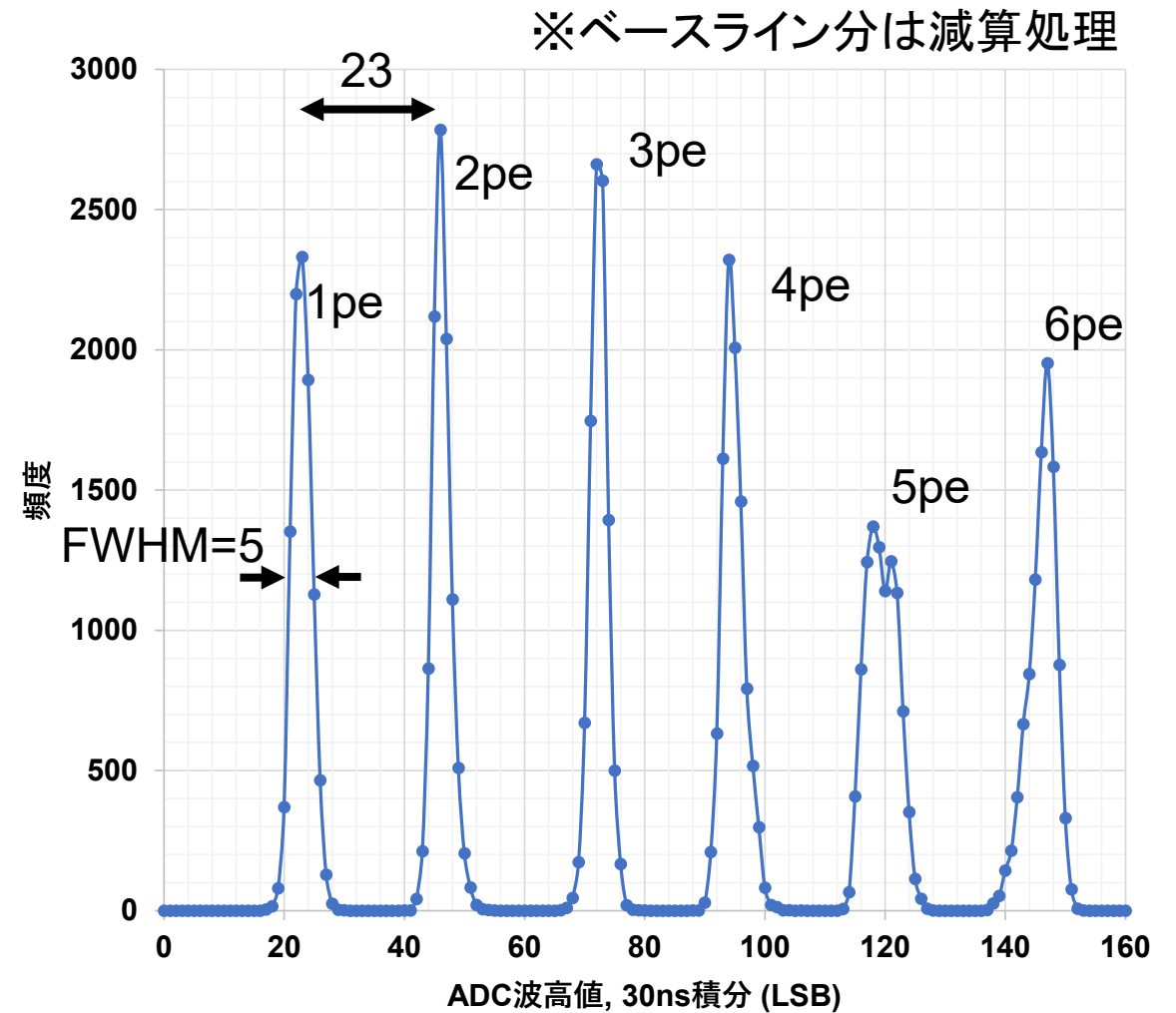
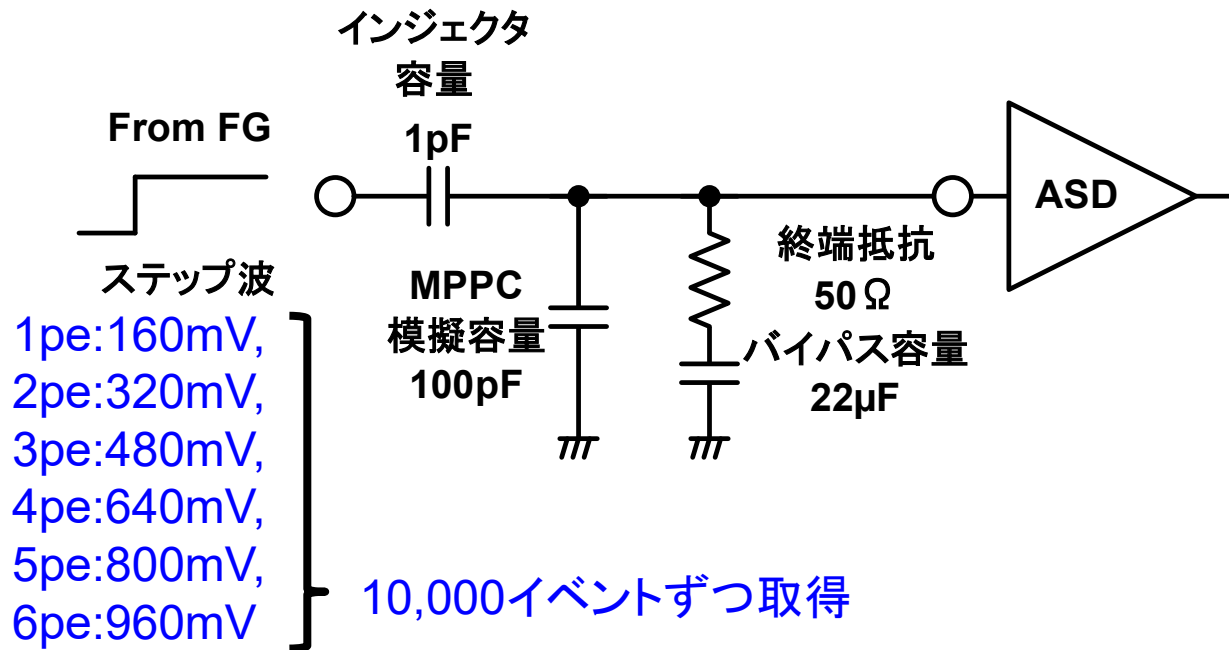
- ・信号範囲を積分すれば信号利得を稼げる
 - ・信号前の区間でベースラインを出せば低い周波数成分のノイズは除去できる
- } SNR: ~20程度と予測



1pe相当(160fC)入力

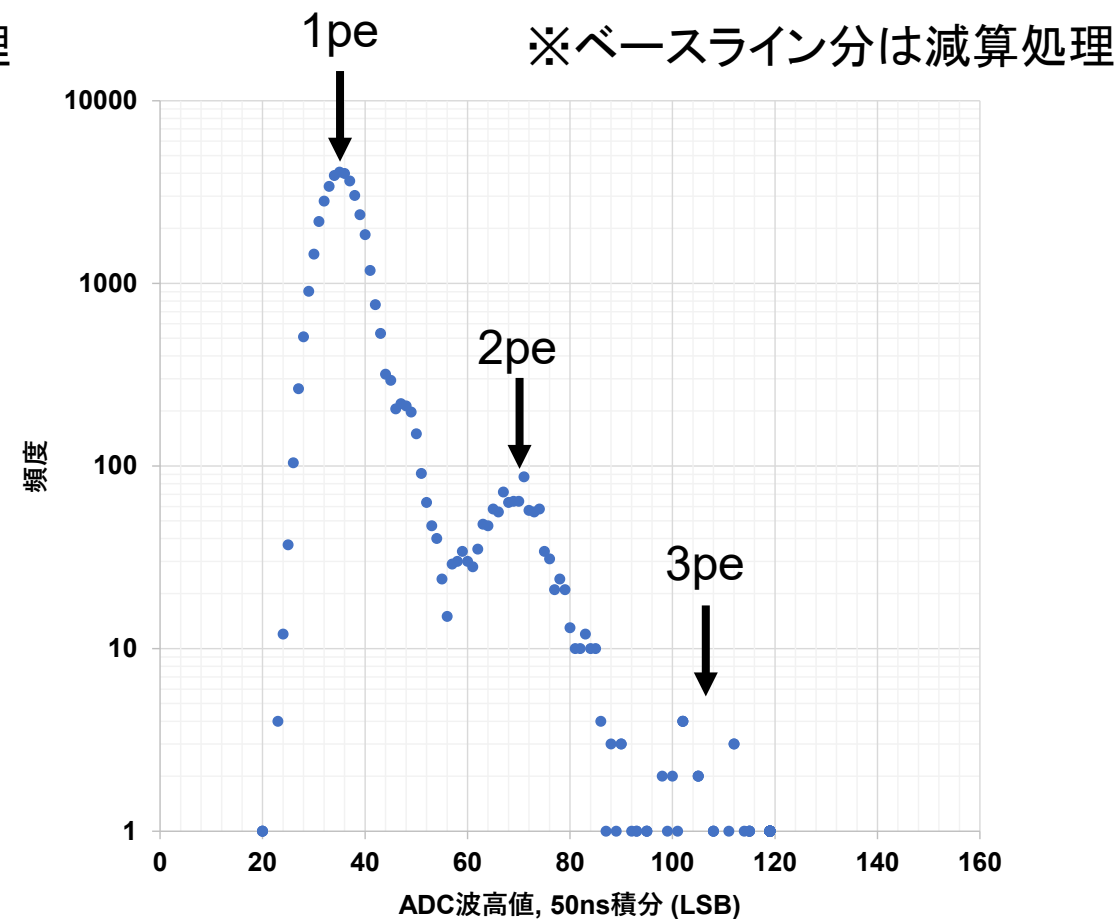
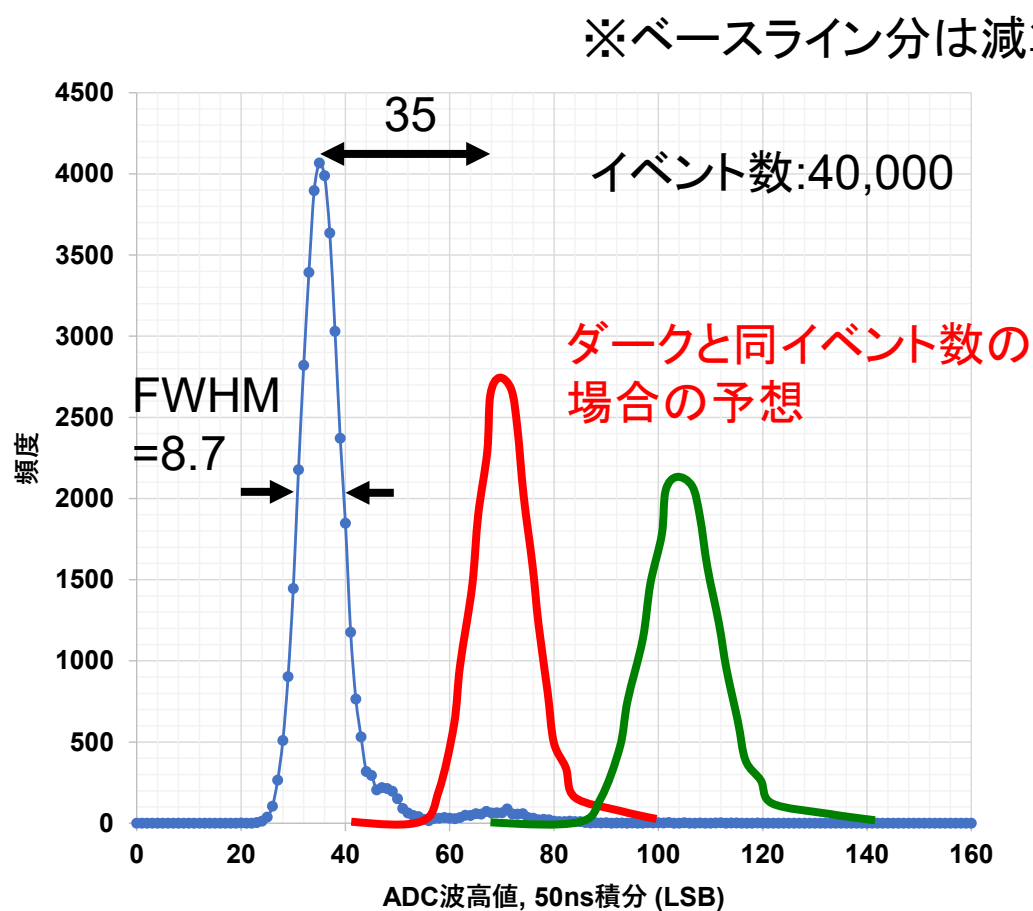


5pe相当(800fC)入力



インジェクタの入力に対しては十分弁別できていることを確認

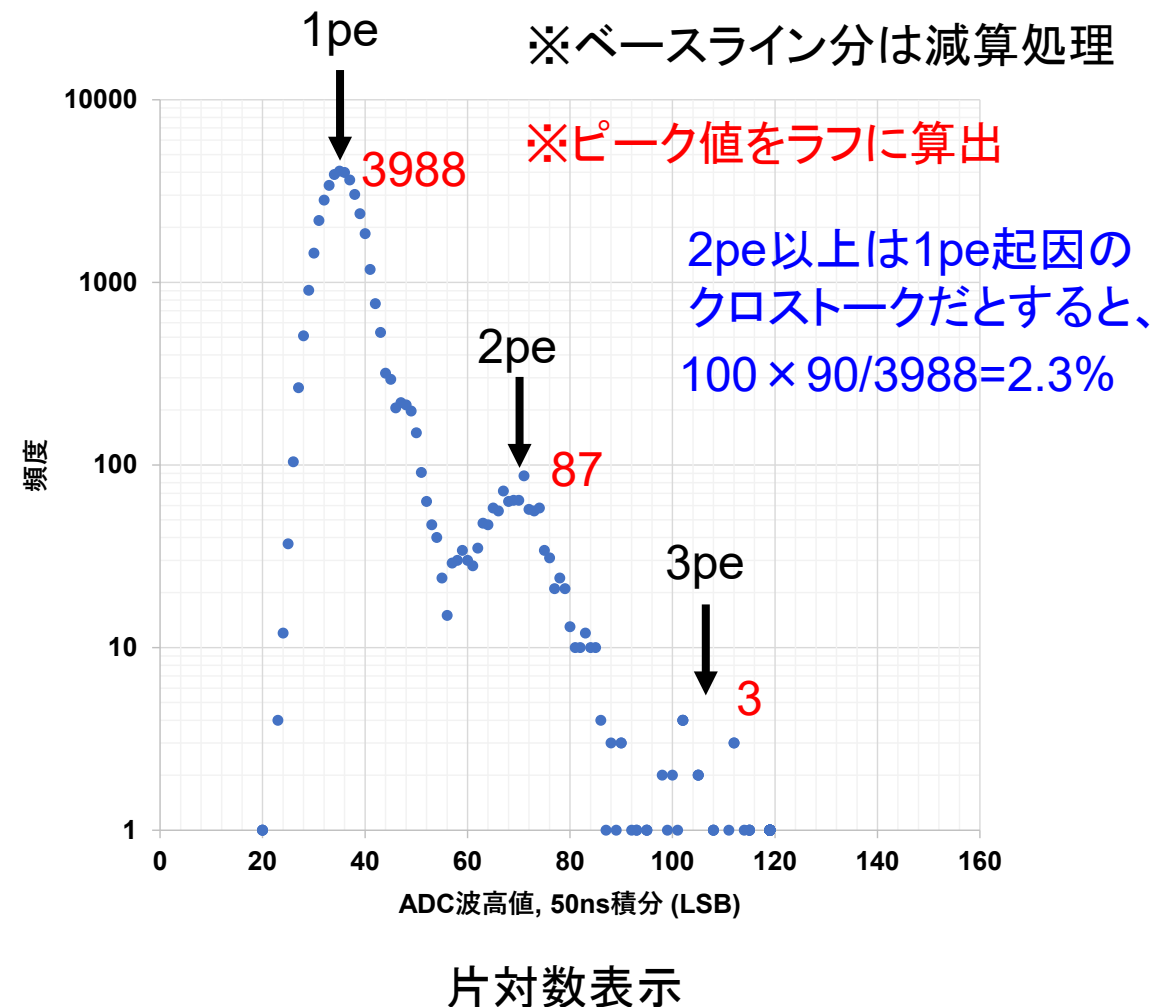
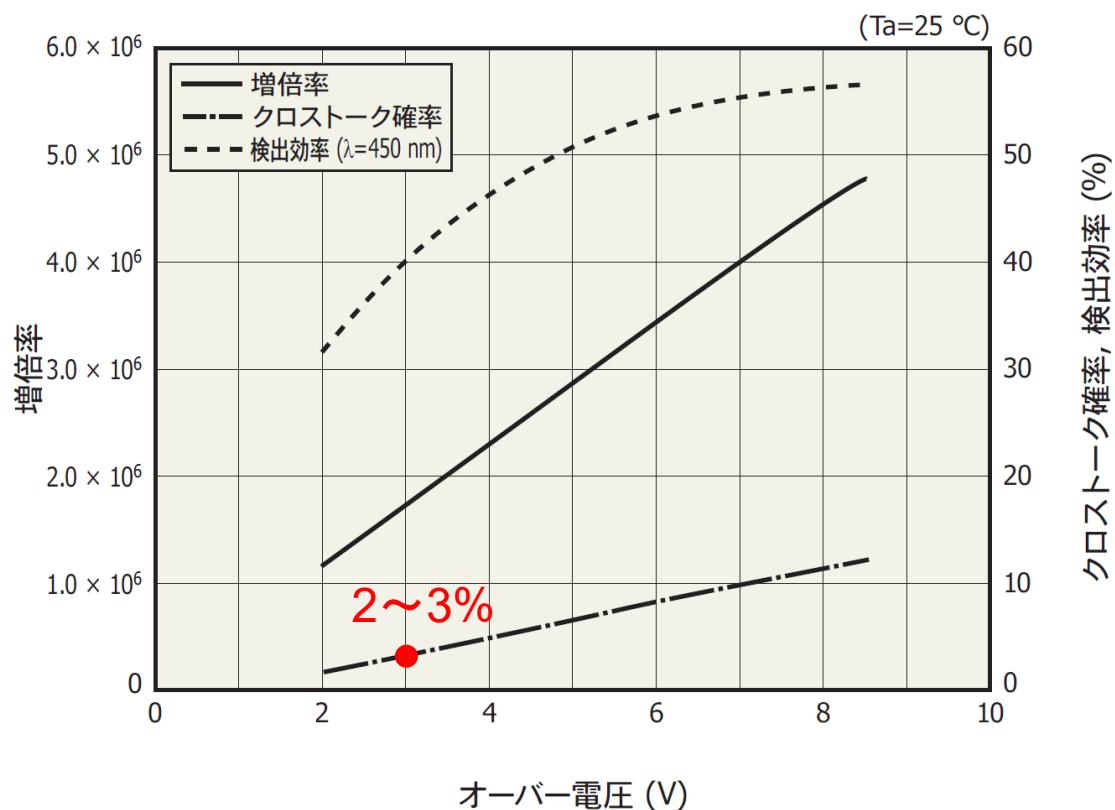
複数カウントのイベントが少ないので判断が難しいがそれなりの精度でスペクトラムは読めると思われる。今後はLEDを用いた評価が必要。

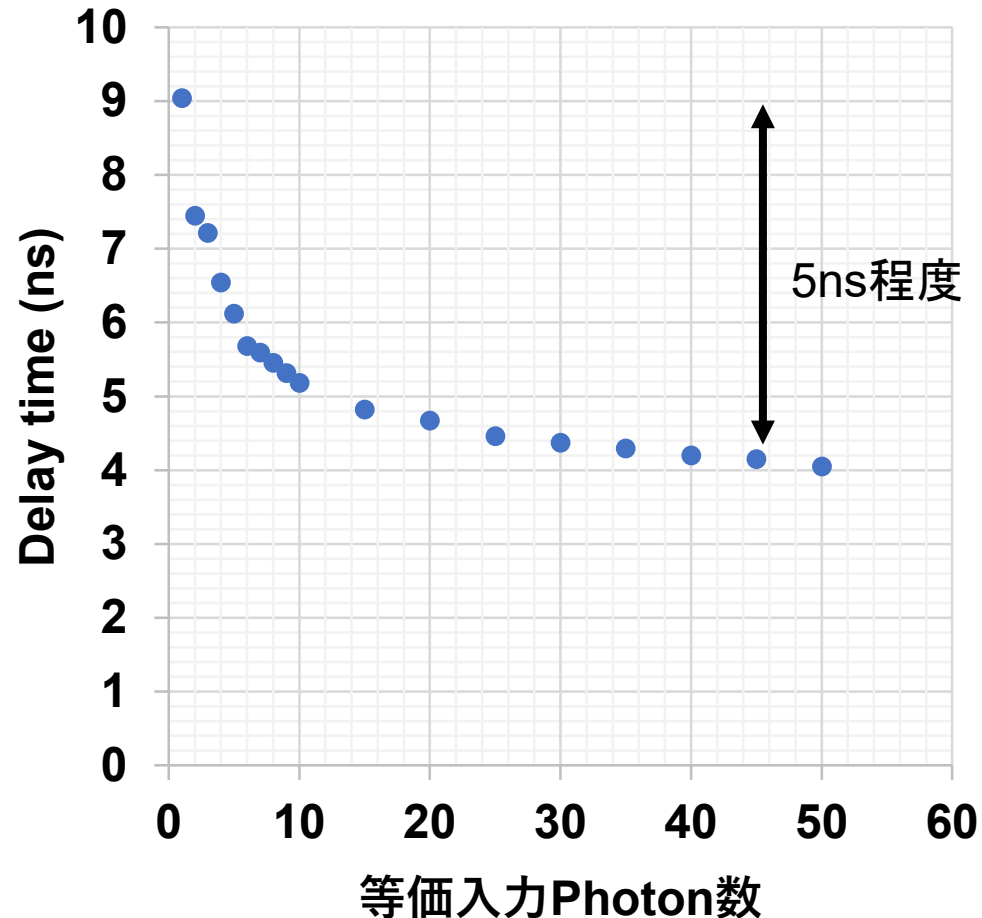


片対数表示

複数カウントのイベントが少ないので判断が難しいがそれなりの精度でスペクトラムは読めると思われる。今後はLEDを用いた評価が必要。

概ねスペックシート通りの結果を表している





利得最大時のコンパレータ出力遅延時間

- ・しきい値設定: 0b011111000 (ベースライン-21mV程度)
- ・遅延時間: 入力パルス→コンパレータ出力

コンパレータのしきい値調整用DACの参照電圧がMPPCバイアスのDACと共有されている。
1LSB=約3.3mVはコンパレータのしきい値調整としては粗すぎるかもしれない。

⇒最終版ではDACの参照電圧を分ける

- ・MPPCバイアス調整用 電源(3.3V)
- ・コンパレータしきい値調整用 外部ピン

- **チャンネル当たりの消費電力を下げる**
 - 使用しているオペアンプの最適化
- **ADCが実際に使えるレンジを広げる**
 - ポジ、ネガの違いだけで使えるレンジの半分を損している
 - ポジ、ネガに合わせてADCが見るレンジを変えられるようにする
- **利得の可変レンジを広げる**
 - 検出器容量100pFには現状で耐えられるがそれ以上は1pe検出が厳しい気がする
- **MPPCバイアスDACとコンパレータしきい値制御は分ける**

- 汎用MPPC読出しASICのプロトタイプを作成し評価を行った。
 - 実装した機能は全て期待通り動いた
 - 1peを(ほぼ)誤検出なしでディスクリ可能
 - ADCを用いてMPPCのダーク信号を観測
 - 1peのFWHMは信号に対して十分小さい
 - 数peまでは弁別可能な見込み LEDによる評価が待たれる
- 今後は使用を検討している実験グループに評価してもらい、フィードバックをもらいながら修正する。
 - ご協力よろしく申し上げます。