

Belle II実験崩壊点検出器アップグレード に向けた薄型DSSD検出器開発

中村 克朗 (KEK)
on behalf of Belle II TFP-SVD project

Oct. 28, 2021

計測システム研究会2021

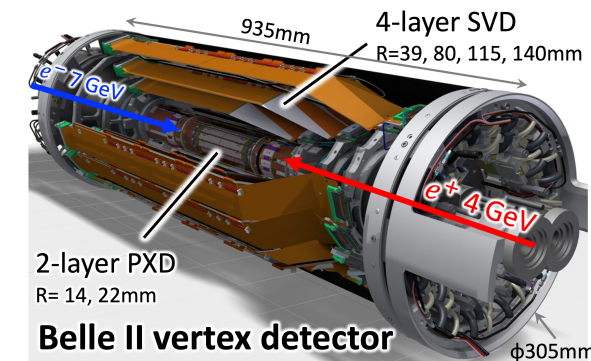


This work was also supported by
JSPS KAKENHI Grant Number 19H01912.

Belle II実験シリコンストリップ検出器のアップグレード

Belle II実験シリコンストリップ検出器の課題

- 将来的に予想される大量の加速器由来のバックグラウンド
 - ヒットレートが将来的に検出器の許容値に到達してしまう可能性
- 物理測定性能の向上につながる改善点
 - 物質質量、位置分解能、Level-1 trigger latency



これらの改善を目標として崩壊点位置検出器アップグレードプロジェクトが発足

薄型両面ストリップ検出器 (薄型DSSD) が1つのアップグレード案

- 現行ストリップ検出器と比較して、低物質質量・高ヒットレート耐性・高位置分解能

薄型DSSDの目標性能

目標ヒットレート耐性 : **0(1) MHz/cm²**

目標検出器性能 :

- 低い物質質量 < **0.7% X₀ / layer**
- 高い位置分解能 ($\theta=0$) < **20 μm (TBC with MC)**
- Level-1 trigger latency > **8.0 μs**

目標放射性耐性 : TID : **10 Mrad** , NIEL : **2.5 x 10¹³ neq/cm²**

薄型DSSD検出器の開発

Thin/fine-pitch SVD (TFP-SVD)プロジェクト：概要

Targets

- Outer layers
- Handle higher hit-rate
 - $O(1\text{MHz}/\text{cm}^2)$ $R > 4\text{cm}$
- Improve tracking/ K_S vertexing performance



薄型DSSDセンサー

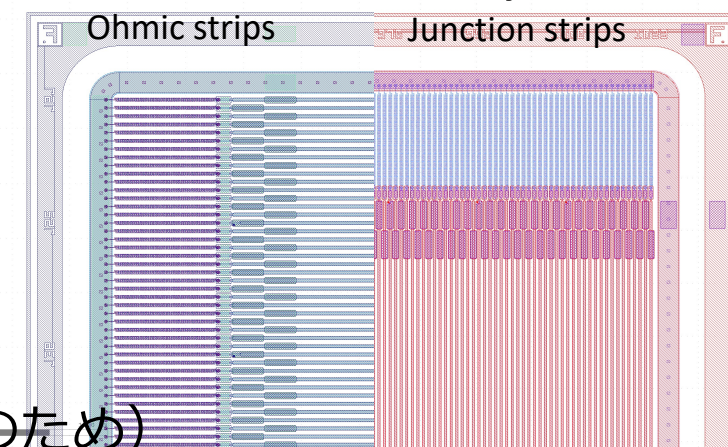
センサー厚: 140 μm

- Micron (英国) により製作
- ストリップピッチ: 50~85 μm
- 浮遊ストリップ無し (電荷収集量の向上のため)

→ front-end ASICにおける課題

- 低ノイズ (小さい電荷収集量のため)
- 低発熱量 (チャンネル数増加 → ASIC数増加)

TFP-SVD DSSD layout



専用のfront-end ASIC (SNAP128)を開発中

プロトタイプ薄型DSSDセンサー

- 140 μm thickness DSSD sensor: produced by Micron (UK)
- Three prototype sensors delivered
- Observed thickness: $148 \pm 5 \mu\text{m}$
- Reasonable I-V and C-V curves measured
- Full depletion voltage (C-V curve): $14 \pm 1 \text{ V}$

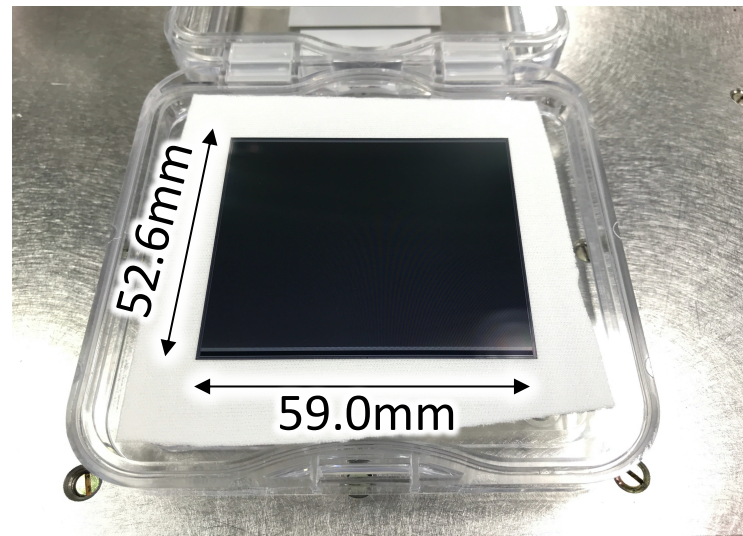
Basic performance consistent with expectation

DSSD sensor spec. (Prototype)

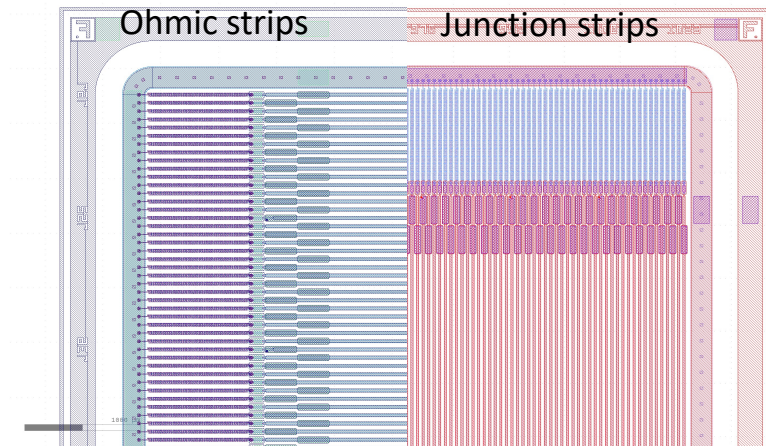
Sensor size	52.6 mm x 59.0 mm	
Active area	51.2 mm x 57.6 mm	
Thickness	140 μm	
Substrate	N-type, 6 k Ω /cm	
	<i>P-side</i>	<i>N-side</i>
Strip pitch	50 μm	75 μm
Num. of strips	1024	768

No floating strip. P-strips and N-strips are orthogonal.

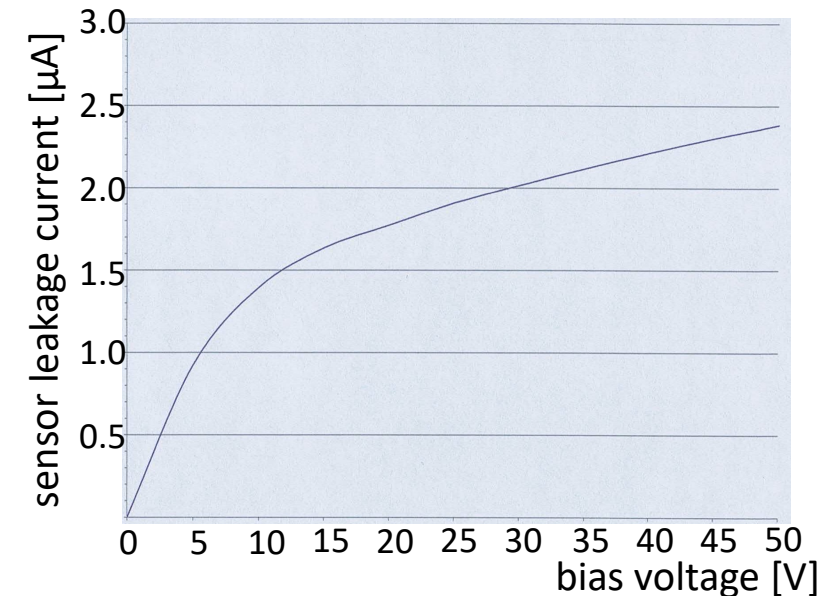
DSSD prototype



TFP-SVD DSSD layout



Measured I-V curve



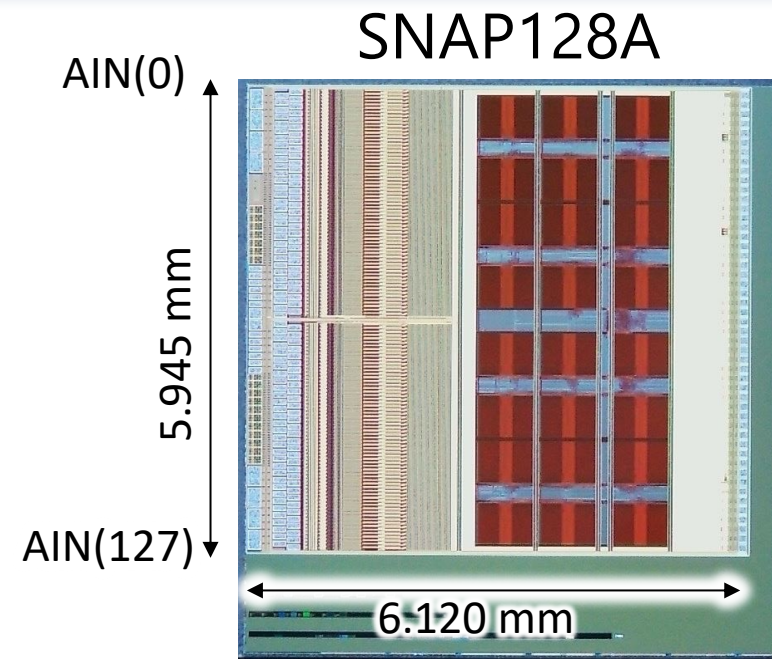
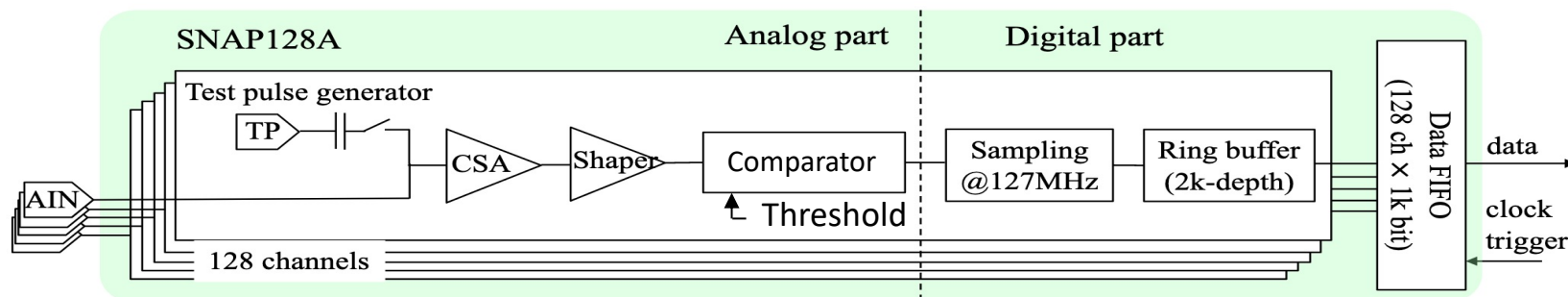
プロトタイプ front-end ASIC: SNAP128

- Challenges in front-end ASIC R&D:
 - Small noise, low power consumption, and short shaping time
- KEK E-sysグループの協力のもと、J-PARC g-2シリコン検出器用 ASIC (SlIT128)をベースに設計
- プロトタイプSNAP128Aを2021年3月に製作

Key feature of SNAP128A

- 180nm CMOS by Silterra (Malaysia)
- 128ch input
- Binary hit information sampled with 127MHz
- 2k-depth ring buffer → Max. 16 μ s level-1 trigger latency
- Power consumption: 329 mW/chip

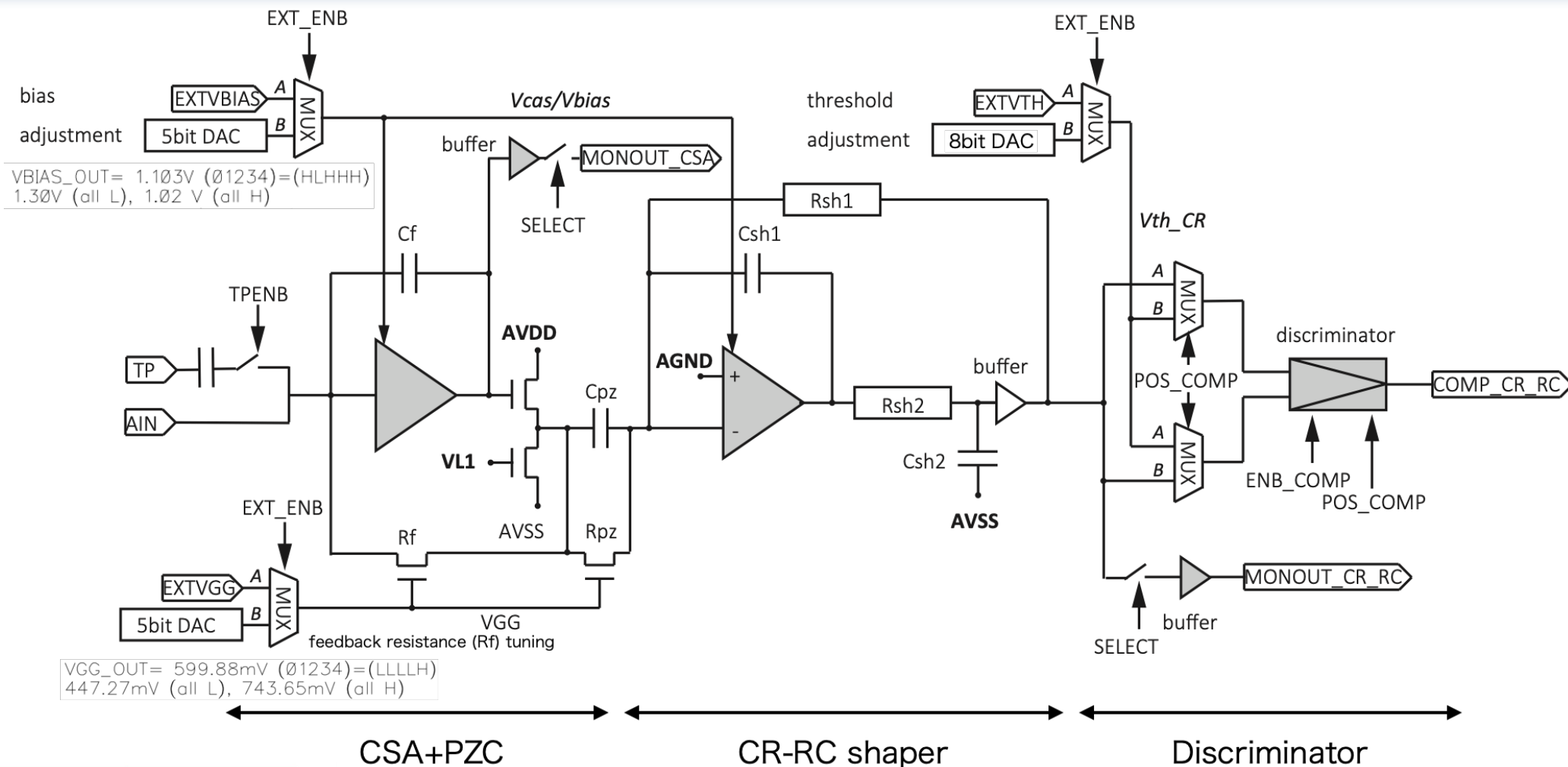
Design of SNAP128A



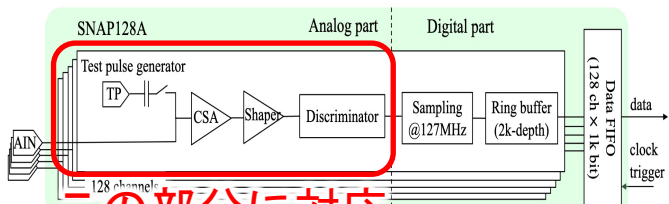
入力電圧・消費電流

1.8V analog	0.038A
1.1V analog	0.072A
0.9V analog	0A
1.8V digital	0.039A

1チャンネルのアナログ部回路構成



3種類の電圧はon-chipのDACまたは外部電源から入力できるようにしてある。



この部分に対応

ASIC性能評価試験セットアップ

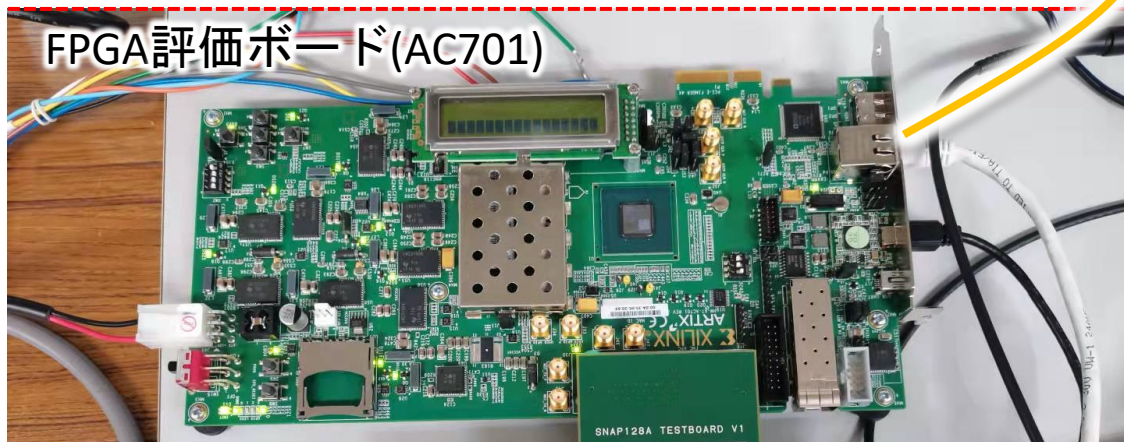


PC

- FPGA・SNAP128への制御信号送信
- SNAP128データの収集

SiTCP
制御

FPGA評価ボード(AC701)



SNAP128A性能評価基板



FPGA (Artix-7)

- SiTCPによるPCとの通信
- PCへのデータ送信・制御信号生成
- SNAP128データのデコード

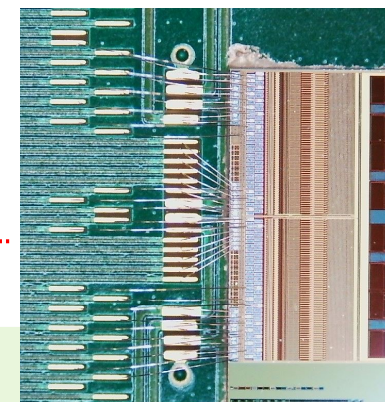
trigger
clock

data

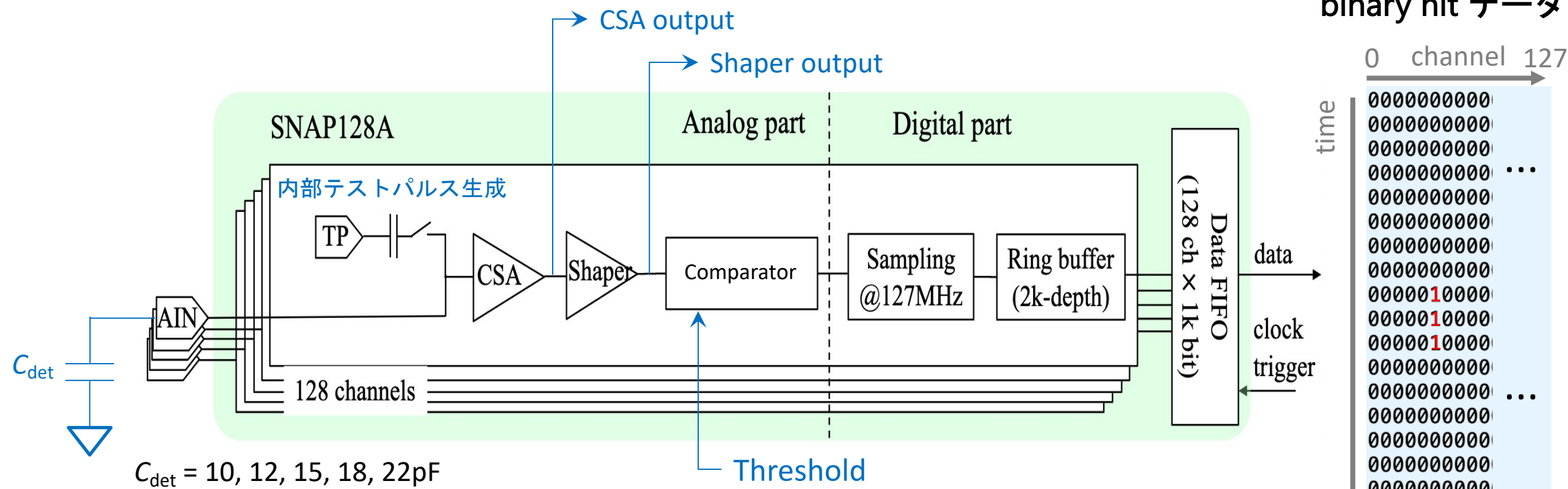
register
access

SNAP128Aチップ

基板との接着：導電性エポキシ接着剤CW2400
ワイヤーボンディング



binary hit データ



time

0 channel 127

```

0000000000|
0000000000|
0000000000|
0000000000| ...
0000000000|
0000000000|
0000000000|
0000000000|
0000000000|
0000000000|
0000000000|
0000010000|
0000010000|
0000010000|
0000000000| ...
0000000000|
0000000000|
0000000000|
0000000000|
0000000000|
0000000000|
0000000000|
    
```

data

clock trigger

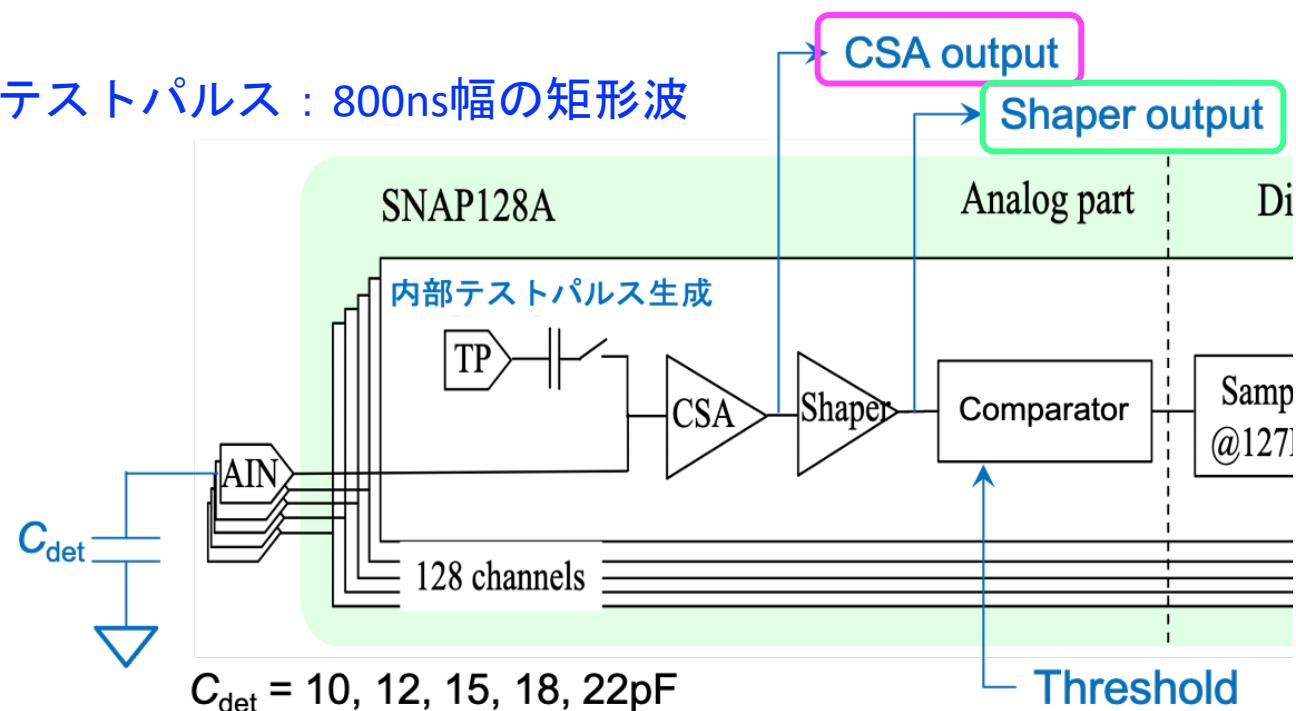
Data FIFO (128 ch x 1k bit)

内部テストパルスによる性能評価試験：

- CSA・Shaperの出力波形の確認（オシロ）
- Thresholdスキャンによる、出力データからの波形情報解析
 - 信号波形の再構築
 - ゲイン・ノイズの測定 (C_{det} の依存性)

アナログ部Shaper出力

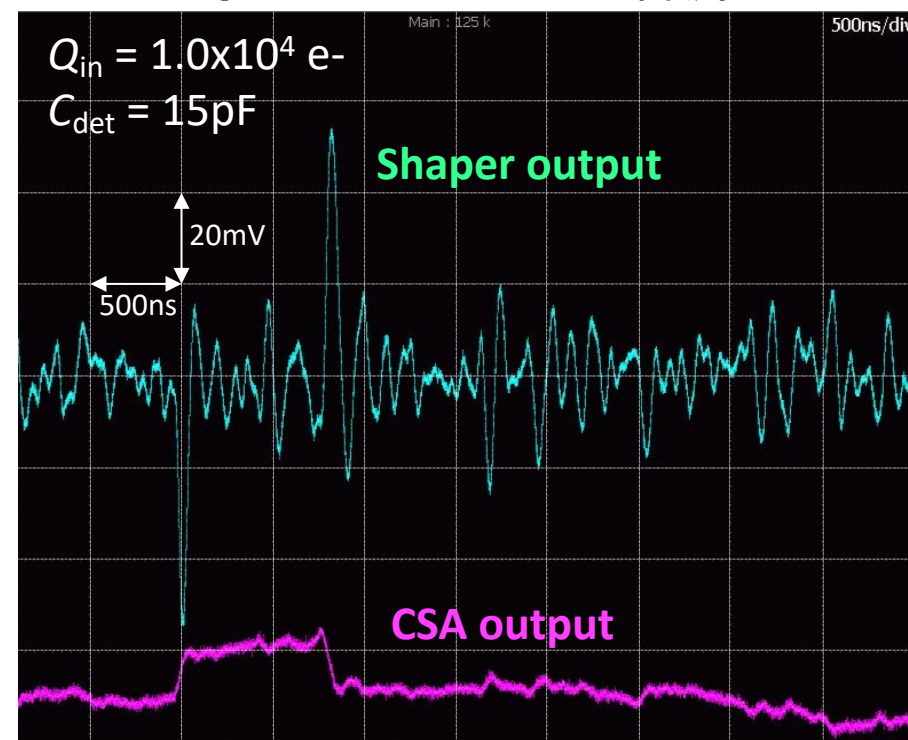
テストパルス：800ns幅の矩形波



Shaper出力

- $1.0 \times 10^4 \text{ e-}$ の内部テスト信号入力に対して、positive信号・negative信号ともに約50mVの出力波高を確認
- 一方、Simulationでは約100mVを予想
- ゲインがSimulationの約半分となっている理由は現在調査中。
 - 入力パルス電荷量の間違い？外部パルス入力による確認を予定

オシロスコープでの計測

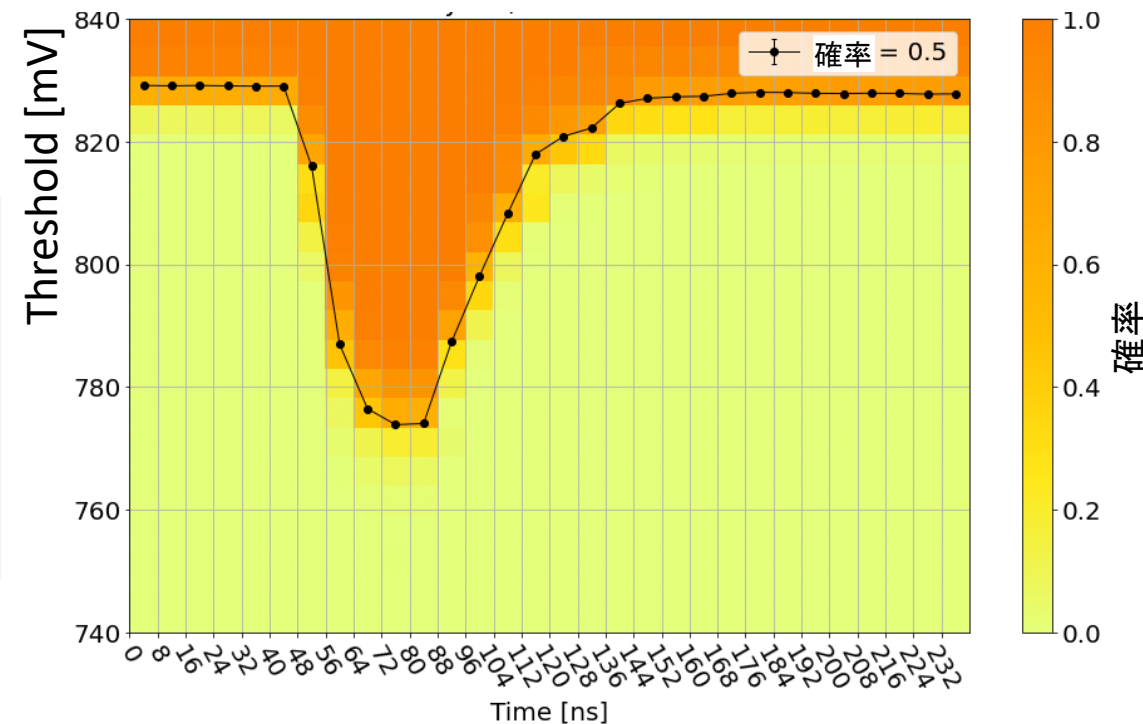
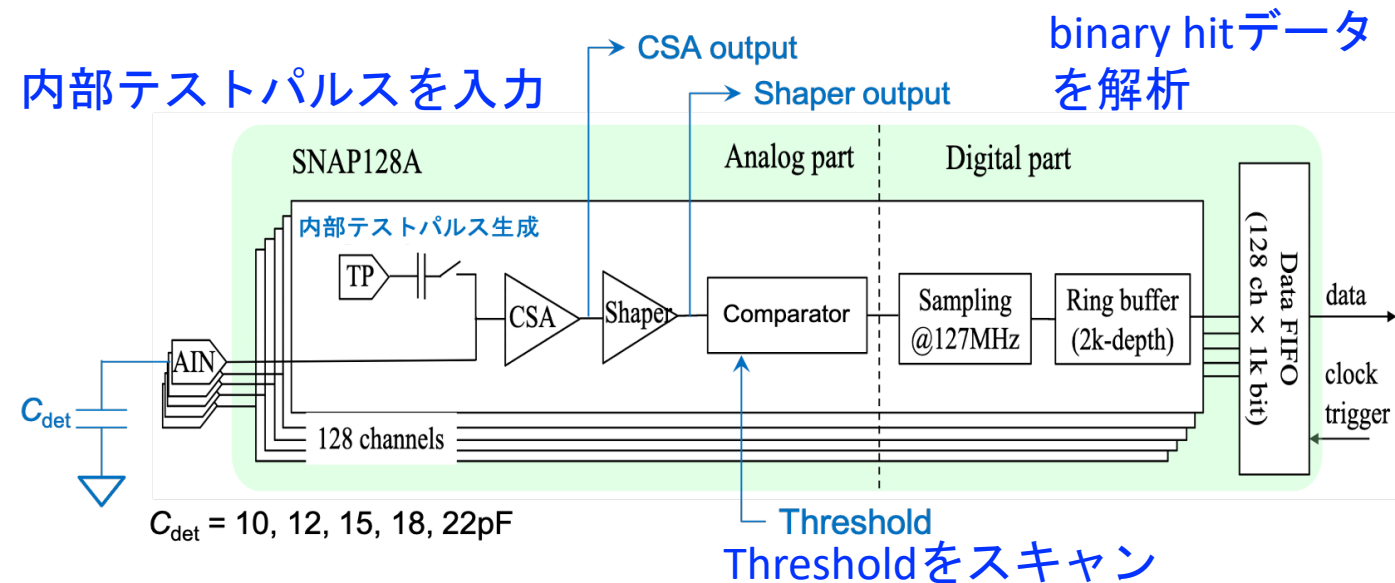


入力テストパルス
(矩形波)



DSSDセンサー（両面ストリップ）なので両方の極性の信号を検出する必要がある。

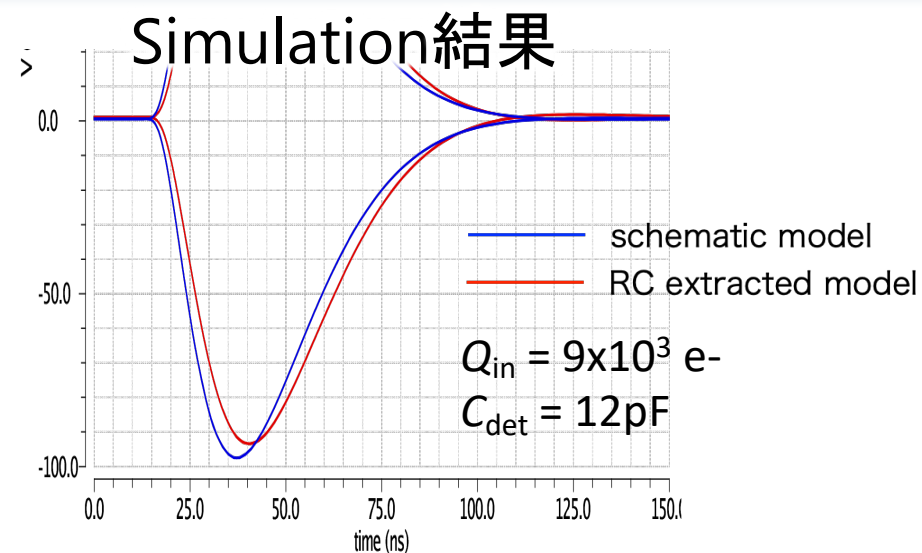
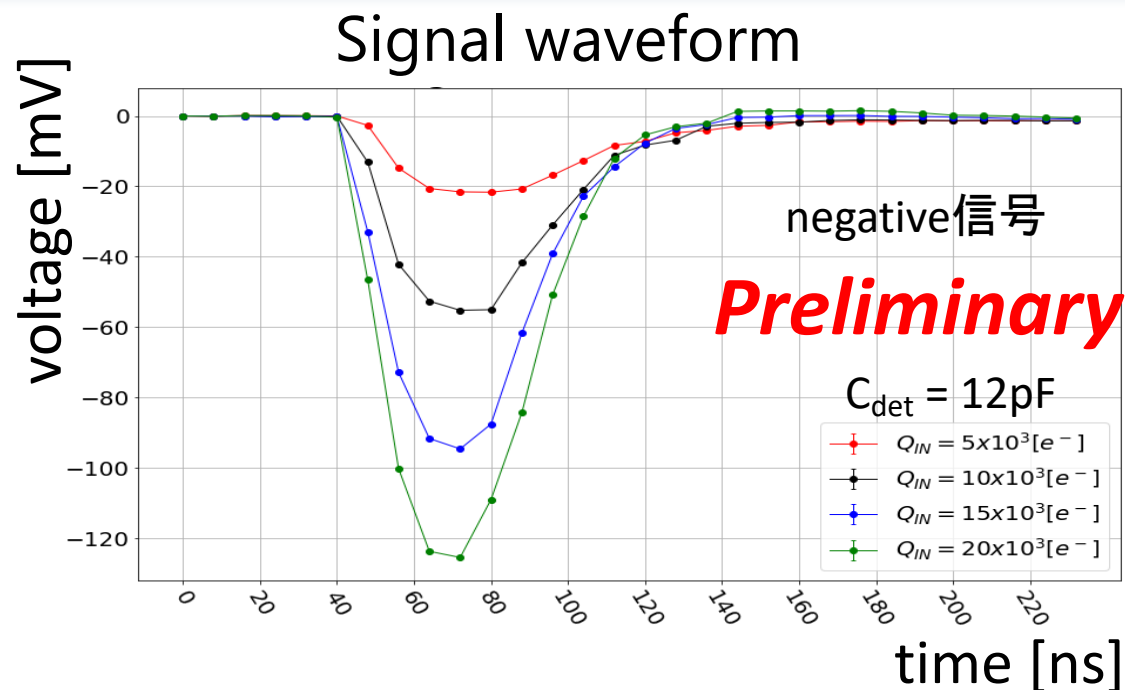
Comparatorでの信号波形再構築



ComparatorでのThresholdスキャンによる信号波形の再構築

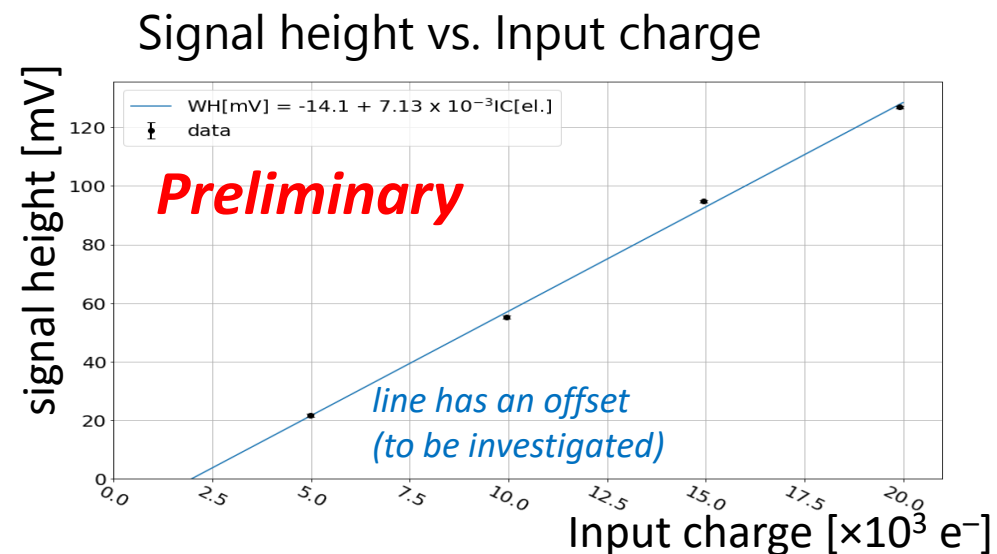
1. Thresholdを設定し、Comparatorでの出力がHになる確率を各sampleで測定 (1000 events)
 2. この測定をThresholdを変えながら繰り返す
 3. 確率が0から1になる点をつなぐ
- → Comparatorでの信号波形を再構成することができる

Negative信号のComparatorでの応答

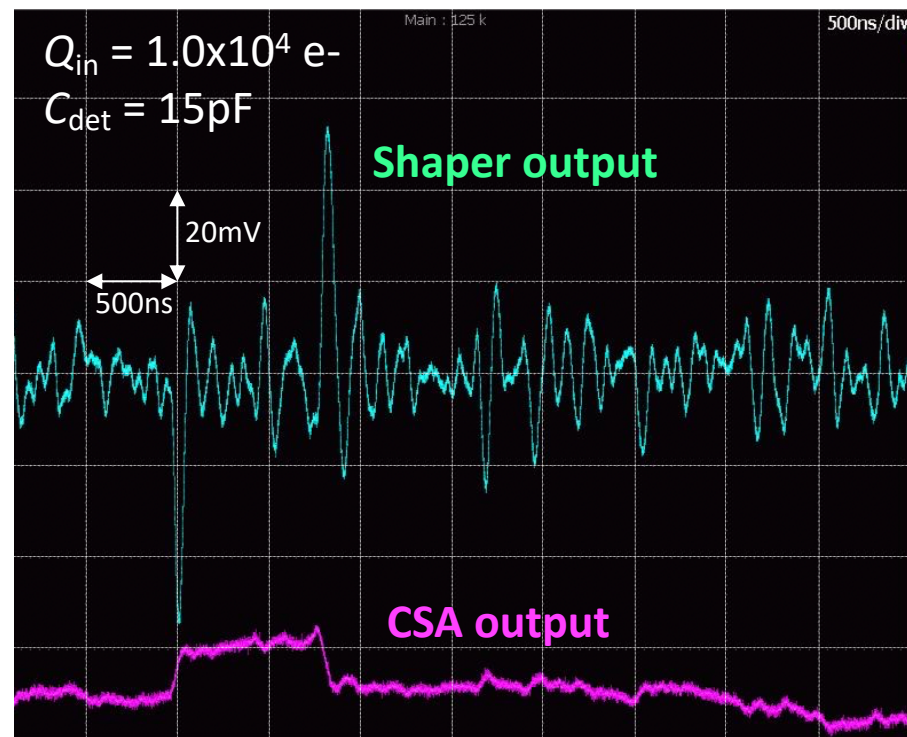
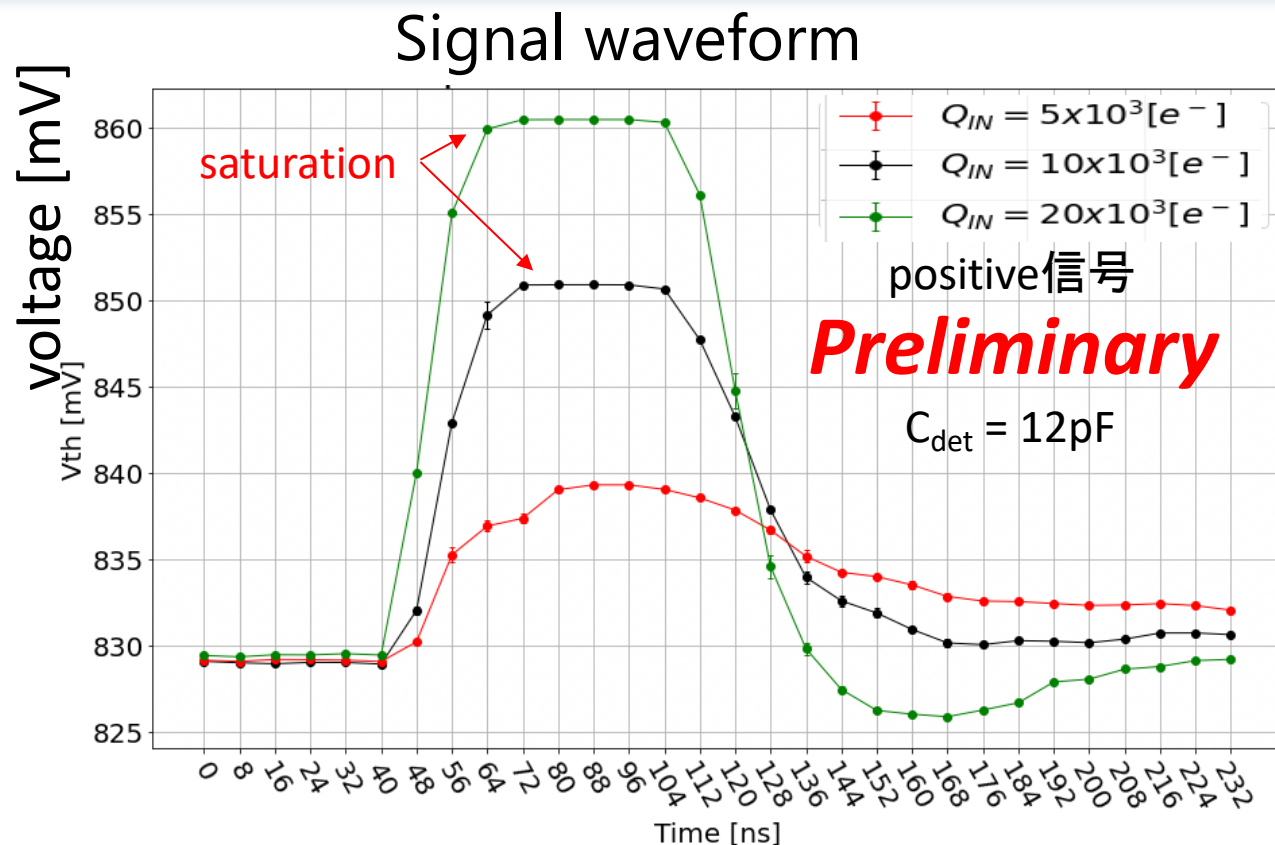


negative信号に対するcomparatorの応答

- 測定した波形の時間構造はSimulationとよく一致
 - 波高の1/4のThresholdでの時間幅は約60ns
 - やはりゲインはSimulationの約半分 (前述)



Positive信号のComparatorでの応答 : saturation問題



positive信号に対するcomparatorの応答

■ 約850mV付近から上で信号のsaturation

- Shaperの出力は問題無い → Comparator内部の問題
- 他のchannelでも同様のsaturation

saturationについてその他の特徴

- 他のASIC1枚でも測定 : 同様のsaturationが見られたが、880mV付近。
- AGND電圧を下げることでsaturationが緩和できることを確認。

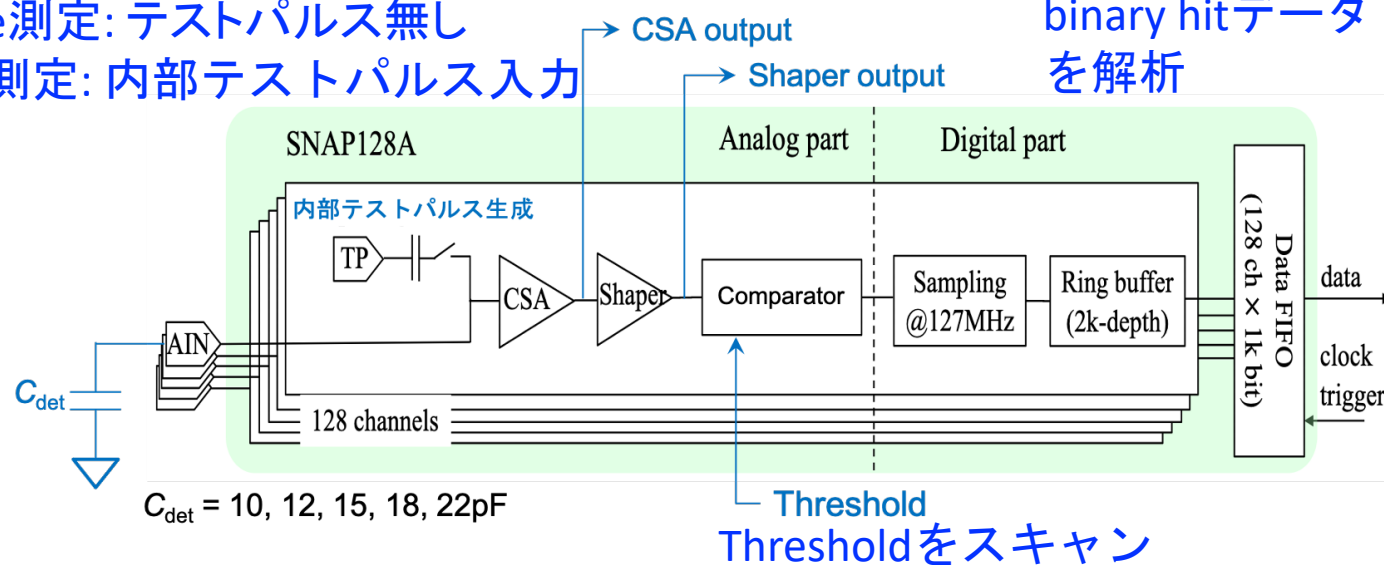
引き続き調査を継続し、原因を理解したい

S-curve測定によるゲイン・ノイズ測定

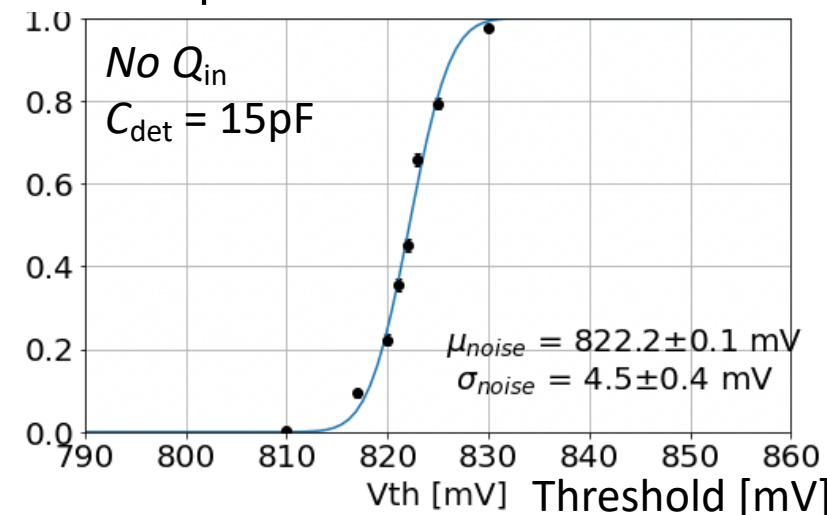
S-curveの測定

noise測定: テストパルス無し
gain測定: 内部テストパルス入力

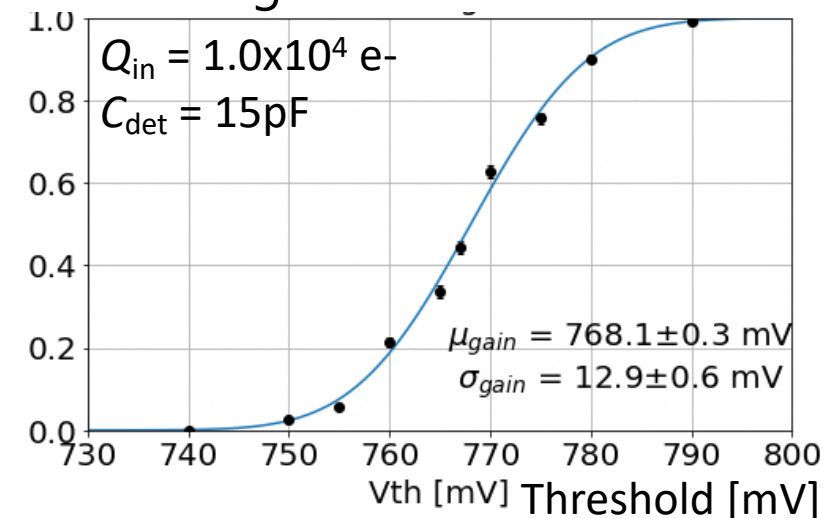
binary hitデータを解析



pedestal/noise S-curve



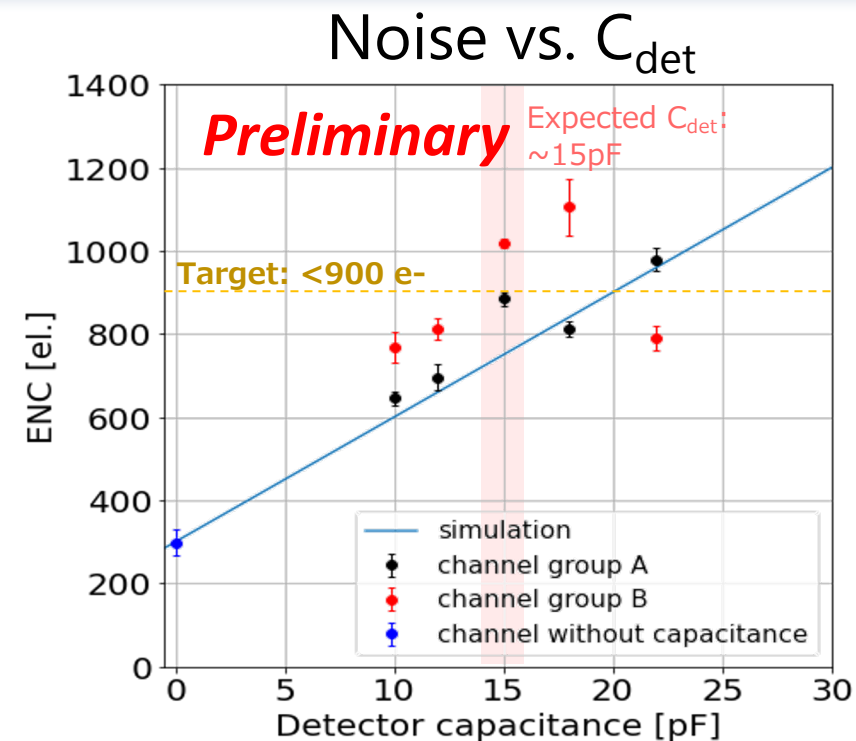
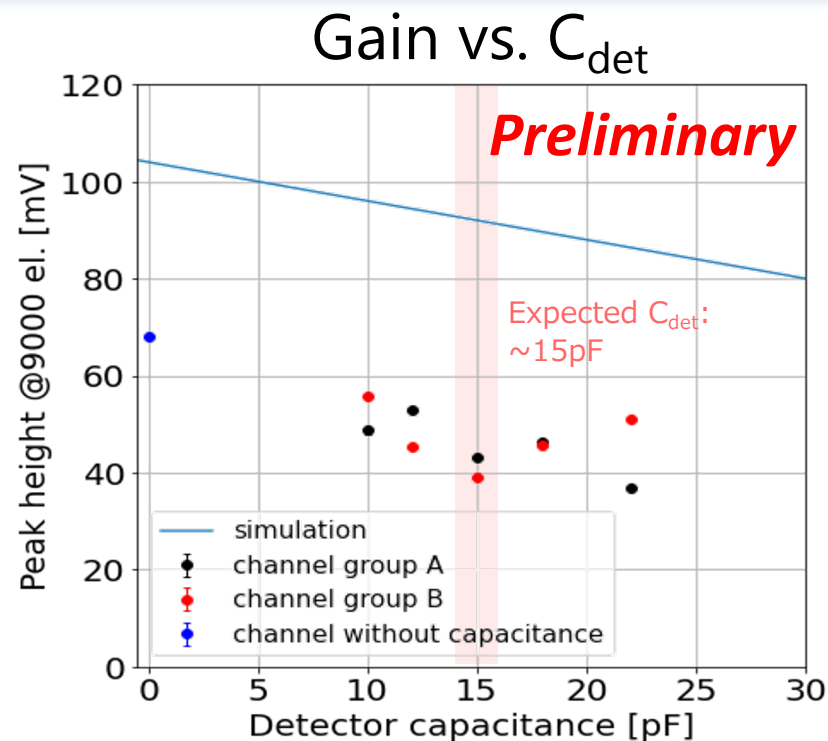
gain S-curve



ThresholdスキャンによるS-curve測定：ゲイン・ノイズを評価

1. gain測定の場合は内部テストパルスを入力（noise測定の場合は無し）
2. Thresholdを設定し、Comparatorでの出力がHになる確率を測定（1000 events）
3. この測定をThresholdを変えながら繰り返し、確率をThresholdの関数としてプロット（= S-curve: 誤差関数となる）
4. S-curveの中心値からpedestal/gainが, sigmaからnoiseが求まる

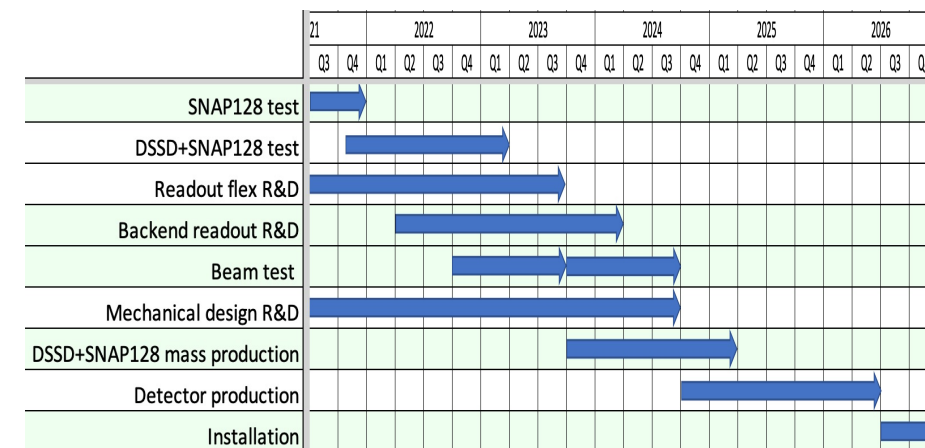
ゲイン・ノイズの測定結果



- channel依存性が見られる：評価ボード上の寄生容量由来か？
- ノイズはそれなりにSimulationと一致
 - ゲインはSimulationの約半分
 - ただし入力電荷が間違っているとすると、ゲインだけではなくノイズの結果も変わる
- 想定する検出器容量 C_{det} ~15pF: **ノイズはほぼ要求値を満たしているが、さらなる改善が望ましい**

まとめと展望

- Belle II実験崩壊点位置検出器のアップグレード計画が発足しており、薄型DSSD検出器開発（TFP-SVDプロジェクト）はオプションの1つ
- プロトタイプとして140 μ m厚・5x6cm²のDSSDセンサーを製作しており、基本特性に問題ないことを確認
- 専用のfront-end ASIC（SNAP128）を開発中
 - プロトタイプとしてSNAP128Aを製作
- SNAP128Aの性能評価が進行中
 - 実装したすべての機能の動作を確認
 - Shape出力の短い波形（約60ns）、要求値をほぼ満たすノイズ（< ~1000 e-）
 - 現状の主な課題
 - Comparatorにsaturation問題
 - ゲインがsimulationの約半分
- 2022年にはセンサーとASICを搭載したプロトタイプ検出器を製作予定
これを用いた2022年内のビーム試験を計画



Target timeframe of installation: ~2026

backup