

# g-2/EDM実験用シリコンストリップ 検出器の読み出しシステム開発

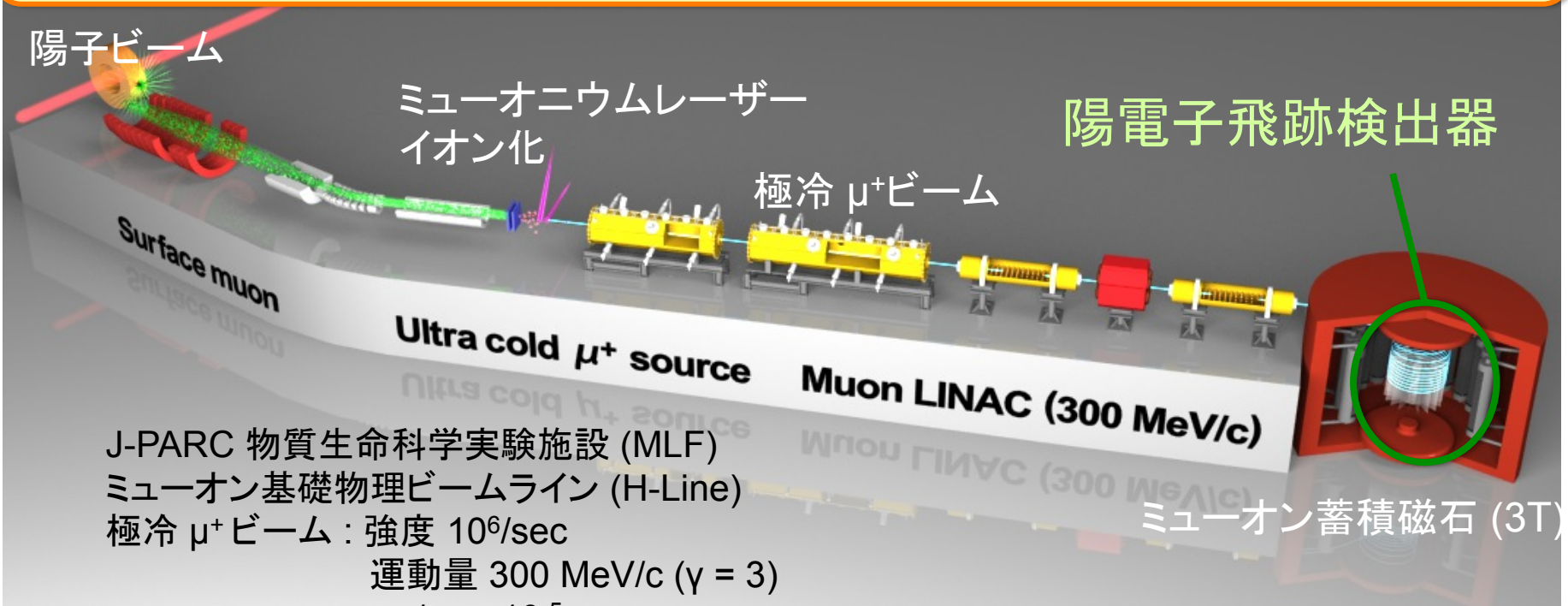
調翔平<sup>A,B</sup>, 池田博一<sup>B,C</sup>, 池野正弘<sup>B,D</sup>, 上野一樹<sup>B,D</sup>, 内田智久<sup>B,D</sup>,  
川越清以<sup>A</sup>, 古浦新司<sup>A,B</sup>, 高力孝<sup>B,D</sup>, 齊藤直人<sup>D</sup>, 佐々木修<sup>B,D</sup>, 田中真伸<sup>B,D</sup>,  
東城順治<sup>A,B</sup>, 長澤翼<sup>A</sup>, 西村昇一郎<sup>E</sup>, 三部勉<sup>B,D</sup>, 吉岡瑞樹<sup>F</sup>, 他  
J-PARC muon g-2/EDMコラボレーション

九大理<sup>A</sup>, Open-It<sup>B</sup>, JAXA<sup>C</sup>, KEK素核研<sup>D</sup>, 東大理<sup>E</sup>, 九大RCAPP<sup>F</sup>

# J-PARC muon g-2/EDM 実験

ミュオンを用いた新物理探索実験

$g-2$ : 0.1 ppm ( 先行実験 BNL E821 の精度 0.54 ppm ) の精度での測定を目指す  
EDM :  $10^{-21}$  e·cm ( 現在の下限  $1.8 \times 10^{-19}$  e·cm ) の感度での測定を目指す



J-PARC 物質生命科学実験施設 (MLF)  
ミュオン基礎物理ビームライン (H-Line)  
極冷  $\mu^+$  ビーム : 強度  $10^6/\text{sec}$

運動量 300 MeV/c ( $\gamma = 3$ )

$p_T/p_L \sim 10^{-5}$

偏極度 > 50 %

2014年 11月 21日

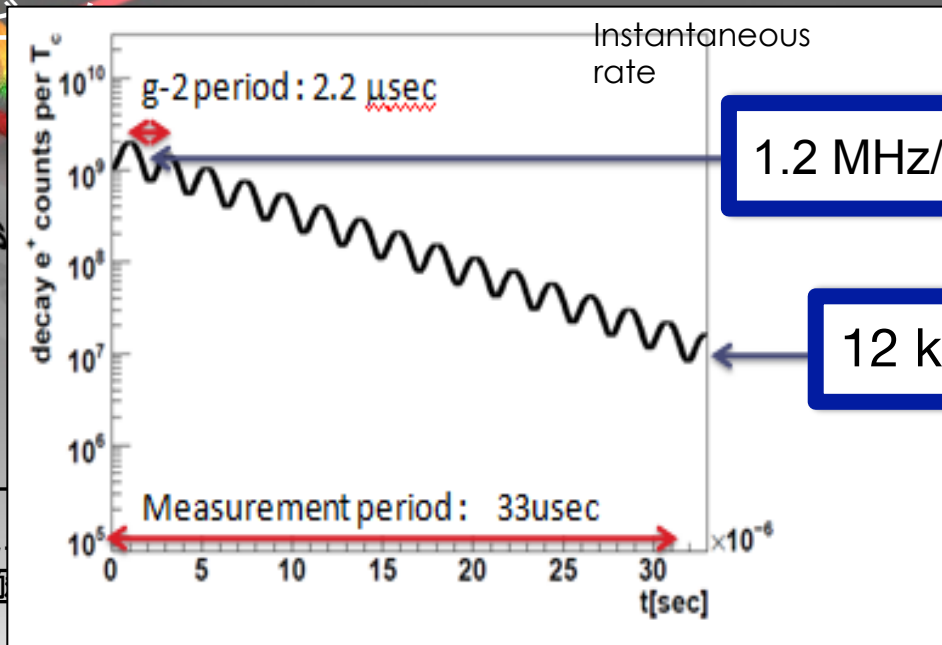
計測システム研究会@J-PARC

# J-PARC muon g-2/EDM 実験

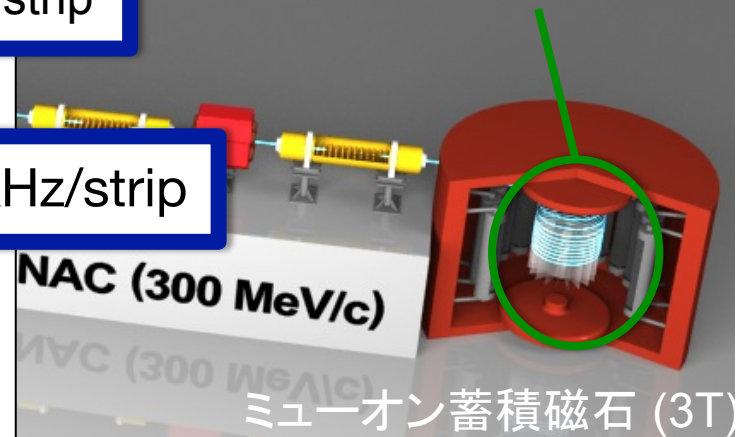
ミューオンを用いた新物理探索実験

$g-2$ : 0.1 ppm ( 先行実験 BNL E821 の精度 0.54 ppm ) の感度での測定を目指す  
EDM :  $10^{-21}$  e·cm ( 現在の下限  $1.8 \times 10^{-19}$  e·cm ) の精度での測定を目指す

陽子ビーム



陽電子飛跡検出器

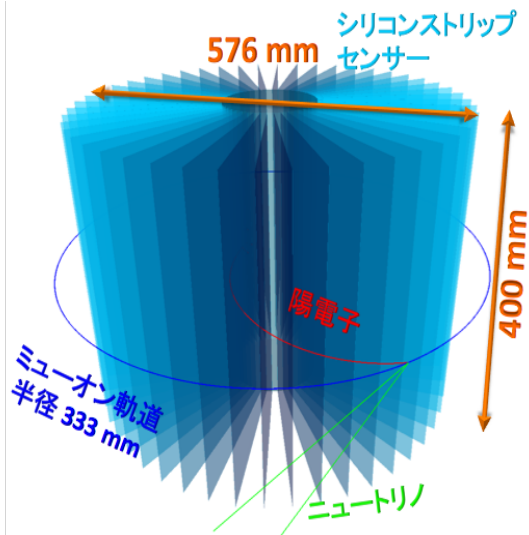


$p_T/p_L \sim 10^{-5}$   
偏極度 > 50 %

2014年 11月 21日

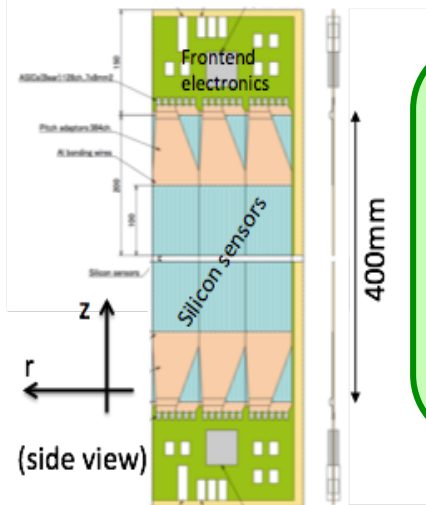
計測システム研究会@J-PARC

# シリコンストリップ検出器



- 一様磁場中を周回するミュオンの崩壊電子の飛跡・時間測定
- 貯蔵リング内側に検出器
- 高磁場 3T
- 高イベントレート (最大 1.2 MHz/strip)
- 大きなレート変化 (1.2 MHz/strip -> 12 kHz/strip)
- 多数のヒット点から陽電子飛跡を再構成する必要

陽電子飛跡検出器概念図 検出器モジュール(1 vane)

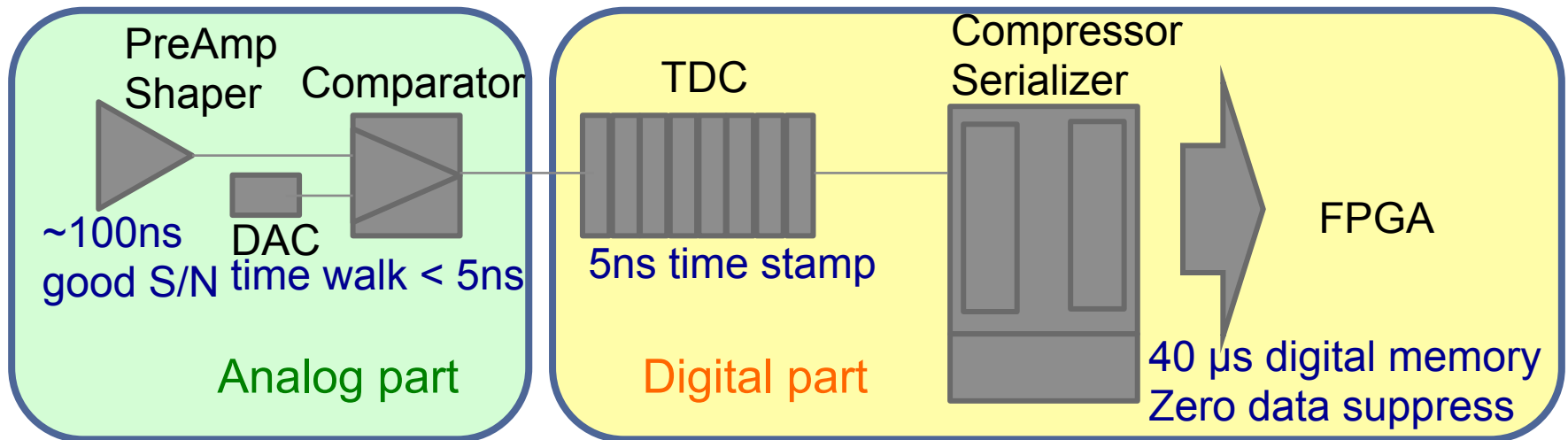


センサー面積 : 4.2 m<sup>2</sup>  
 有感領域 : 240 mm (radial)  
 x 400 mm (axial)  
 総ストリップ数 : 811k strips  
 センサー1枚あたり 768 strip  
 ベーン数 : 48

# フロントエンドASIC

## Requirements

- Hit rate: 1.2 MHz / strip
- time measurement: > 5 life time -> 33  $\mu$ s
- 768 ch in small space -> 128 ch/chip



ASICブロック図

2014年 11月 21日

計測システム研究会@J-PARC

- binary 読み出し
- パルスビームに対応
- 早いTDC搭載

# 開発状況

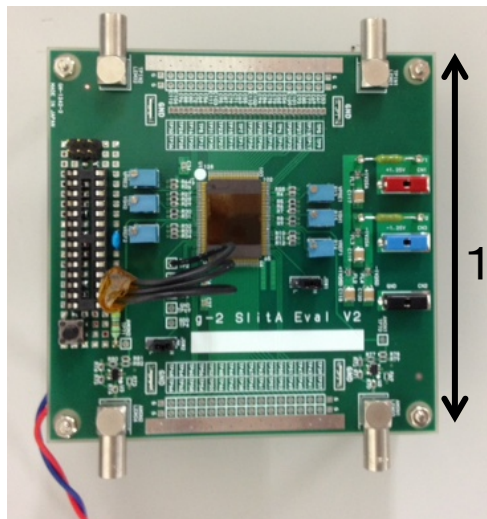
- **2011** 16ch prototype (SlitA) design
- **2012** 16ch prototype evaluation  
64ch prototype (SlitA2013) design
- **2013** 64ch prototype evaluation
- **2014** 128ch (analog + digital) design
- **2015** mass production

\*SlitA, SlitA2013はアナログパートのASIC

# SlitA



SlitA



Evaluation Board for SlitA

**16ch prototype**  
**Process : UMC 0.25  $\mu\text{m}$**



3 fC入力時のアナログ出力の様子

# SlitA評価まとめ

Parameter	Requirement	Measurement
Gain	> 19 mV / fC	40 mV / fC
ENC	< 1600 e	1500 e
S/N	15	15
Dynamic Range	> 5 MIP	> 5 MIP
Pulse Width	< 100 ns	130 ns
Time Walk	<< 5 ns	-
# of channels	128	16

- 次期バージョンでパルス幅の改善が必要
- タイムウォークは次期バージョンで測定

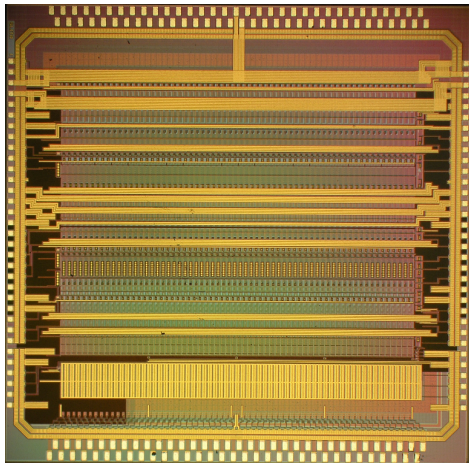


# 開発状況

- 2011 16ch proto type (SlitA) design
- 2012 16ch prototype evaluation  
**64ch proto type (SlitA2013) design**
- **2013 64ch proto type evaluation**
- **2014 128ch (analog + digital) design**
- **2015 mass production**

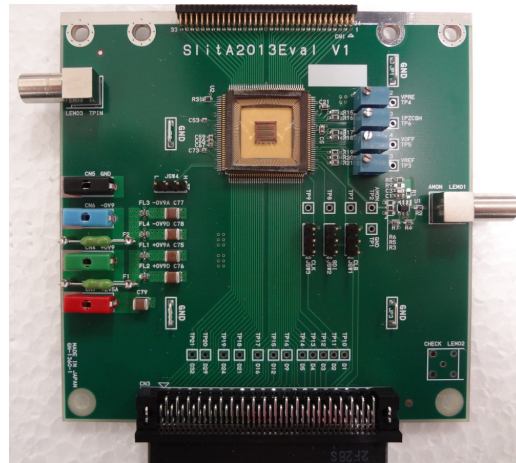
# SlitA2013

5 mm x 5 mm

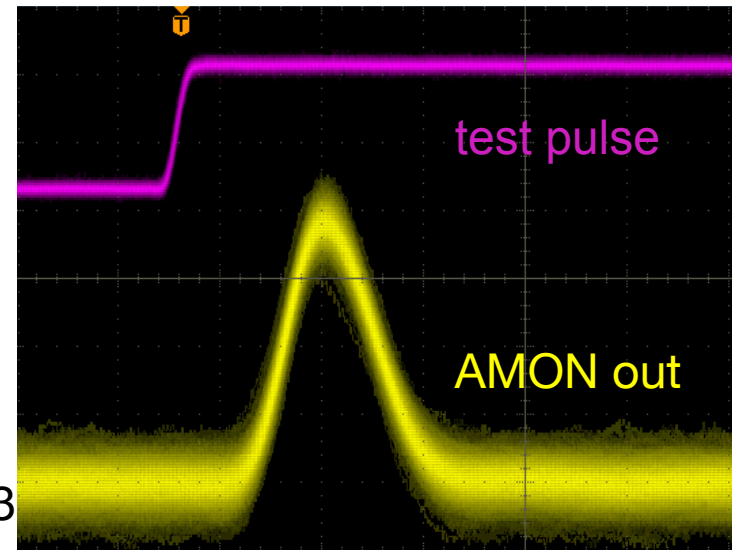


SlitA2013

100 mm x 100 mm



Evaluation Board for SlitA2013



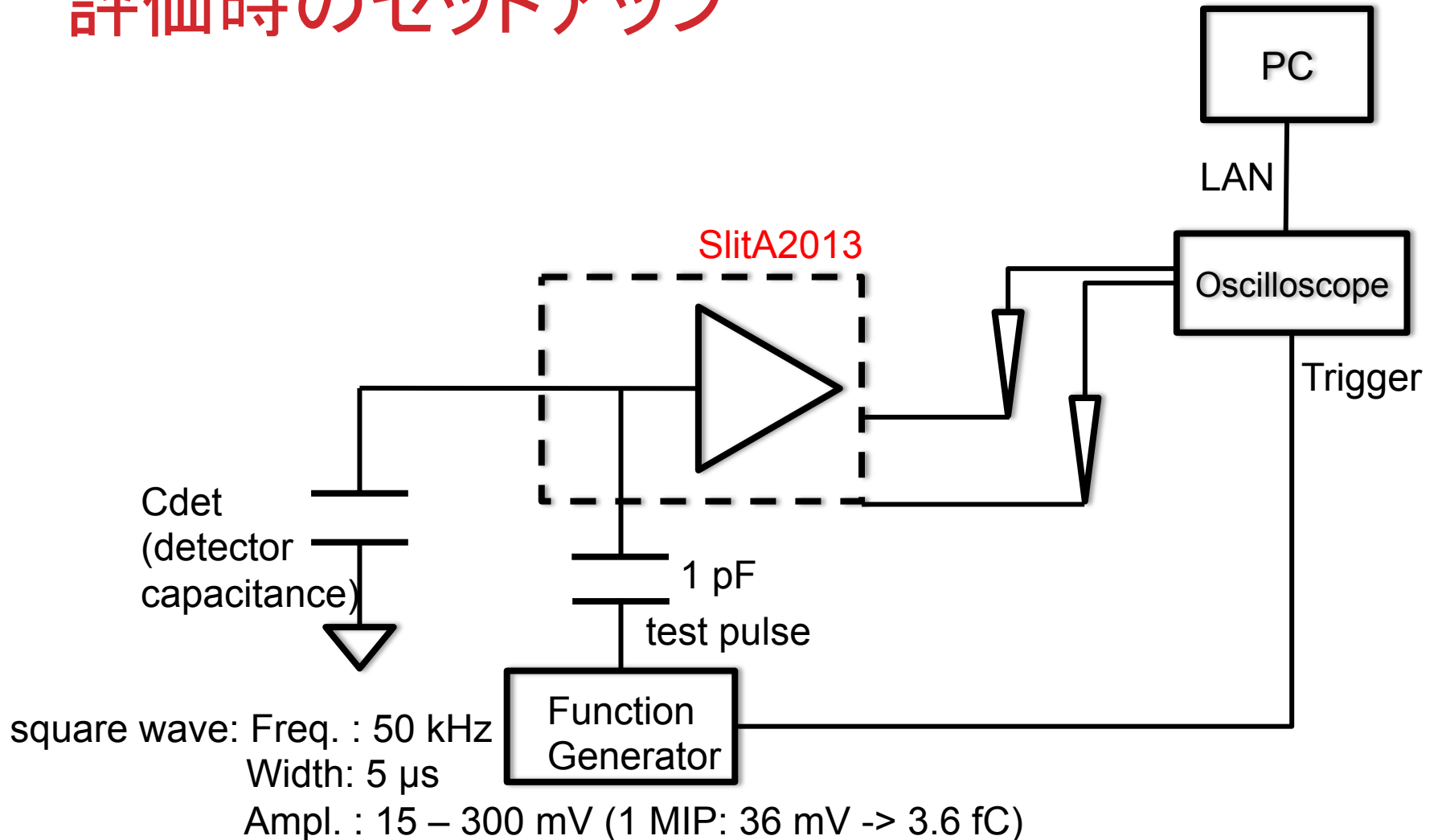
analog pulse when input 3.6 fC charge

**64ch proto type**

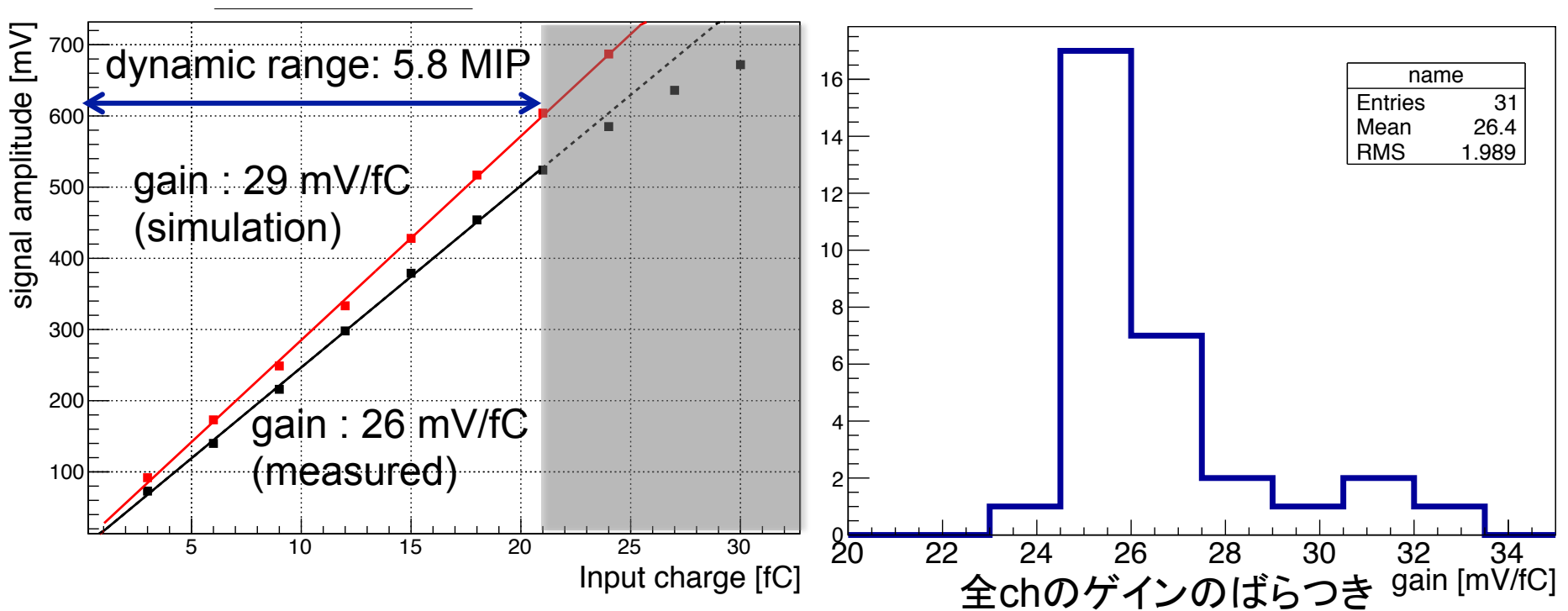
**Process : UMC 0.25  $\mu\text{m}$**

**-> SilterraCMOS0.18  $\mu\text{m}$**

# 評価時のセットアップ



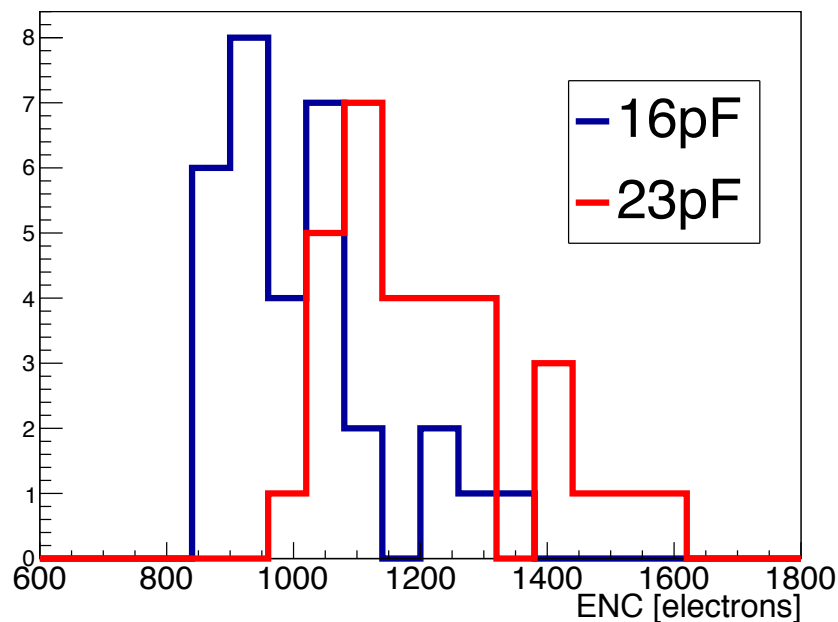
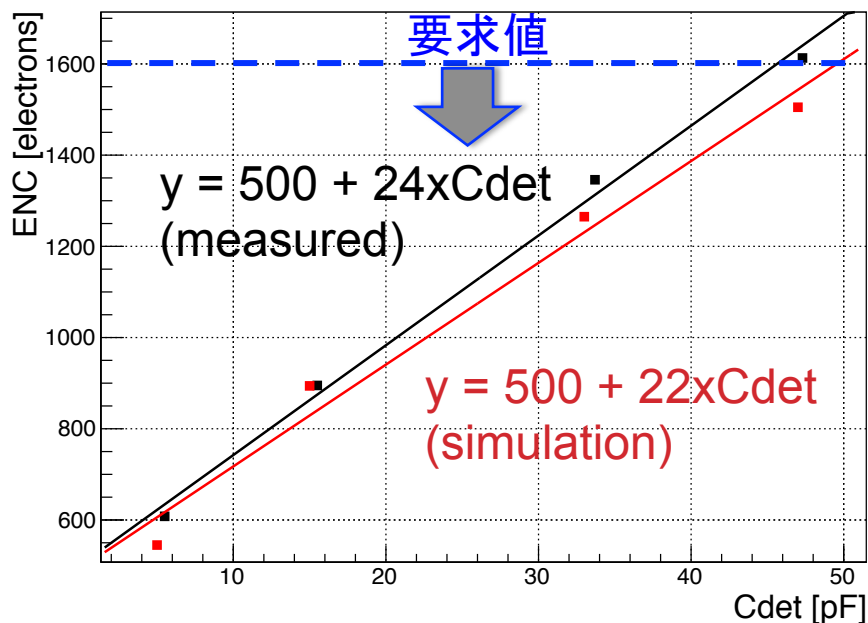
# ゲイン、ダイナミックレンジ



- gain: 24 ~ 32 mV/fC, 平均 26 mV/fC (要求値 > 19 mV/fC)
- ダイナミックレンジ > 5 MIP (要求値 > 5 MIP)

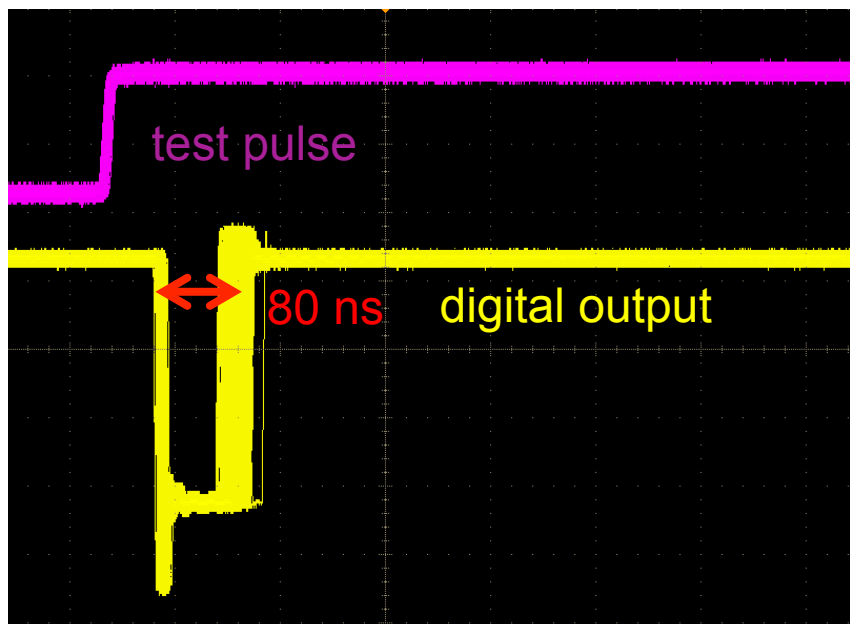
# ENC

$ENC = \sigma \text{ [mV]} / A \text{ [mV/fC]} / e \text{ [fC]}$   $\sigma$ :ベースラインのふらつき、A: ゲイン、e:素電荷

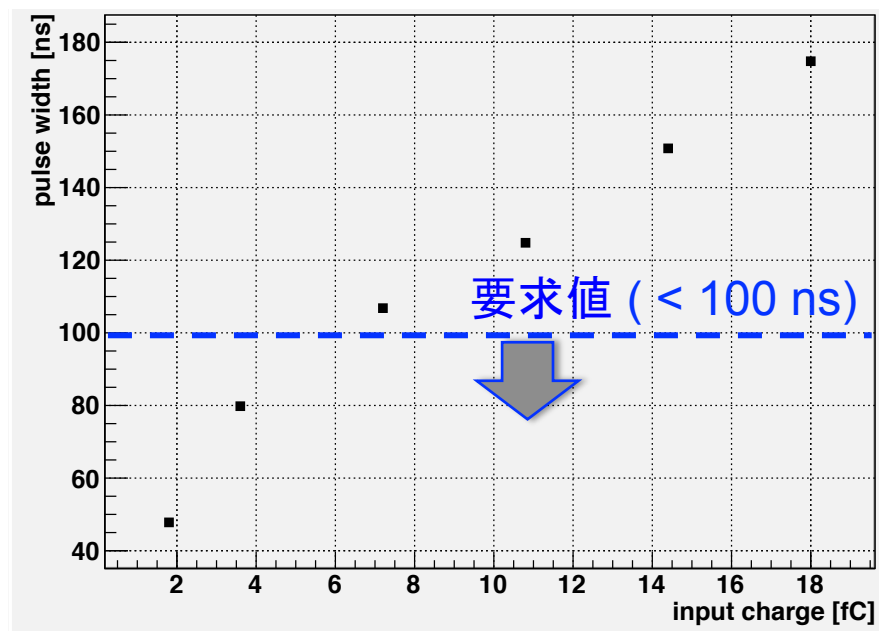


- 入力なしの状態ではベースラインのふらつきを測定
- ENC : 890 e @ 16 pF (A sensor), 1100 e @ 23 pF (R sensor)
- すべての ch で A sensor, R sensor とともに要求を満たしている

# パルス幅



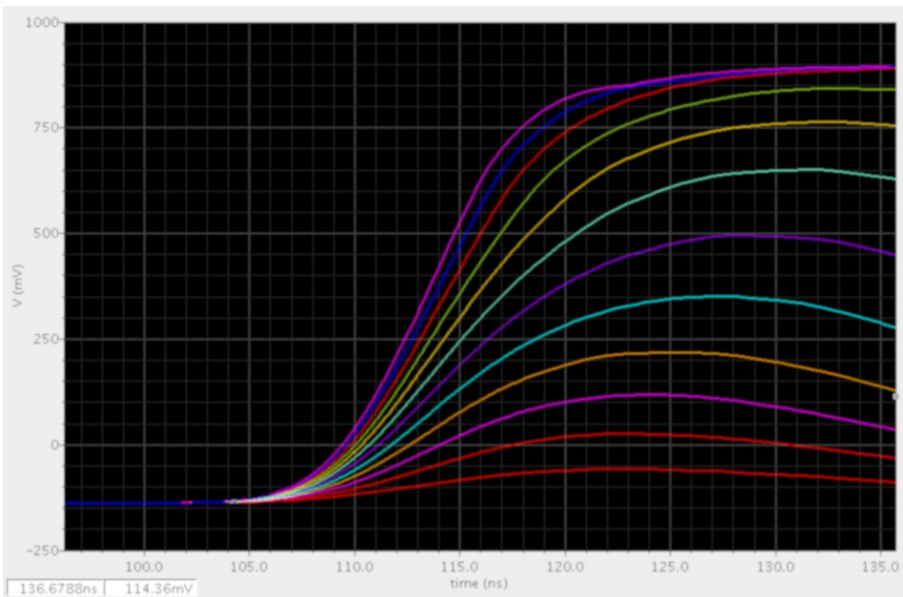
1MIP (3.6 fC) 入力時のデジタル出力



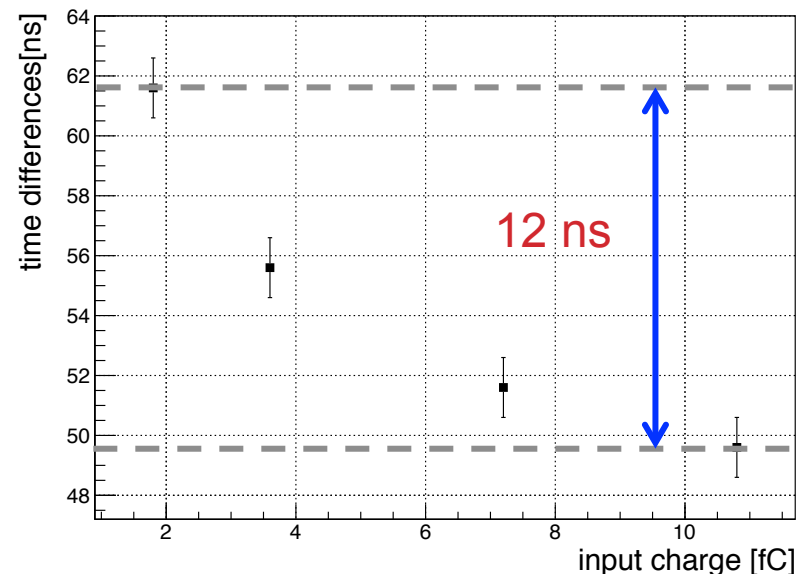
入力電荷を変えたときのパルス幅の変化

- スレッシュホールドはノイズの $5\sigma$  に設定
- パルス幅  $\sim 80$  ns @ 1 MIP (3.6 fC)

# タイムウォーク



入力電荷を変えたときのアナログ波形の様子



テストパルス入力からデジタル信号が出力されるまでの時間

- 5 ns のタイムスタンプを目標としているためこの差が  $\ll 5$  ns である必要がある
- 0.5 MIP (1.8 fC) 入力時と 3 MIP (10.8 fC) 入力時でのタイムウォーク  $\sim 12$  ns  
-> 要改善 (ゲインを上げる)

# ビーム試験

## Single tack

- トラッキングのデモンストレーション
- 陽電子信号の波高測定  
( $p \sim 200 \text{ MeV}/c$ )

## Multi track

- レート変化による効果の確認
- 実験ホールでのノイズの測定  
(要求 :  $S/N > 15$ )

実験ホールでの検出器の性能を評価

東北大学

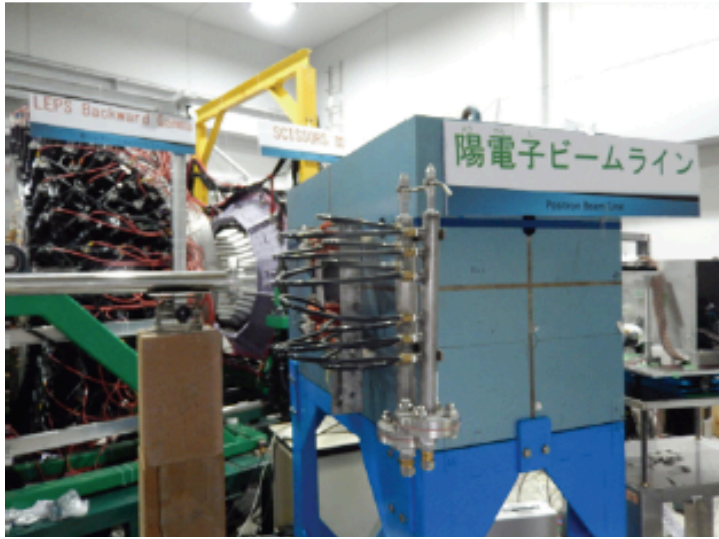
- 2014/09/26 – 30
- DC positron beam

J-PARC MLF D-Line

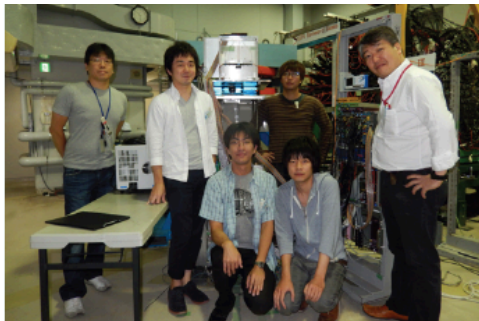
- 2014/06/14,15
- High intensity pulse muon beam



# ビーム試験@東北大学



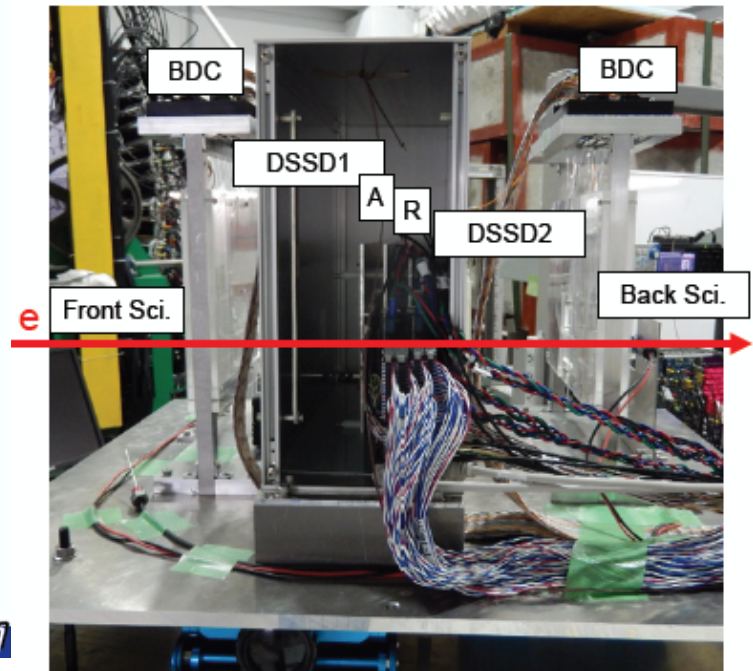
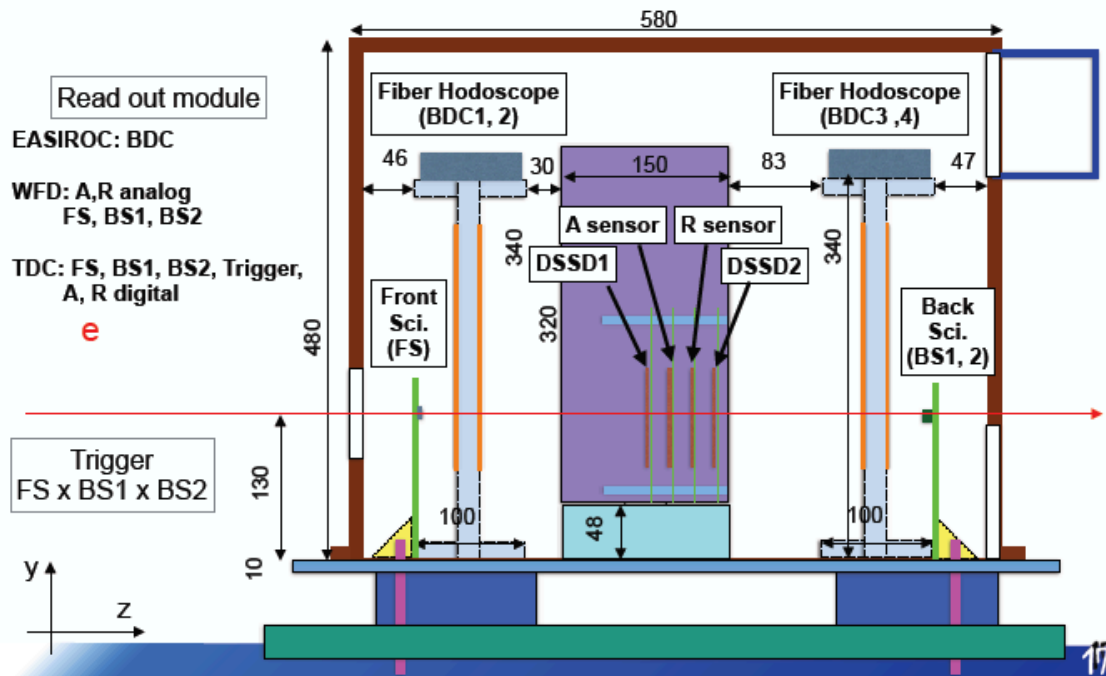
- 2014/09/26 - 30に東北大学でビーム試験を実施
- DC 陽電子ビーム (200 MeV/c)
- 目的
  - トラッキングのデモンストレーション
  - 陽電子の信号の波高を測定



2014年 11月 21日

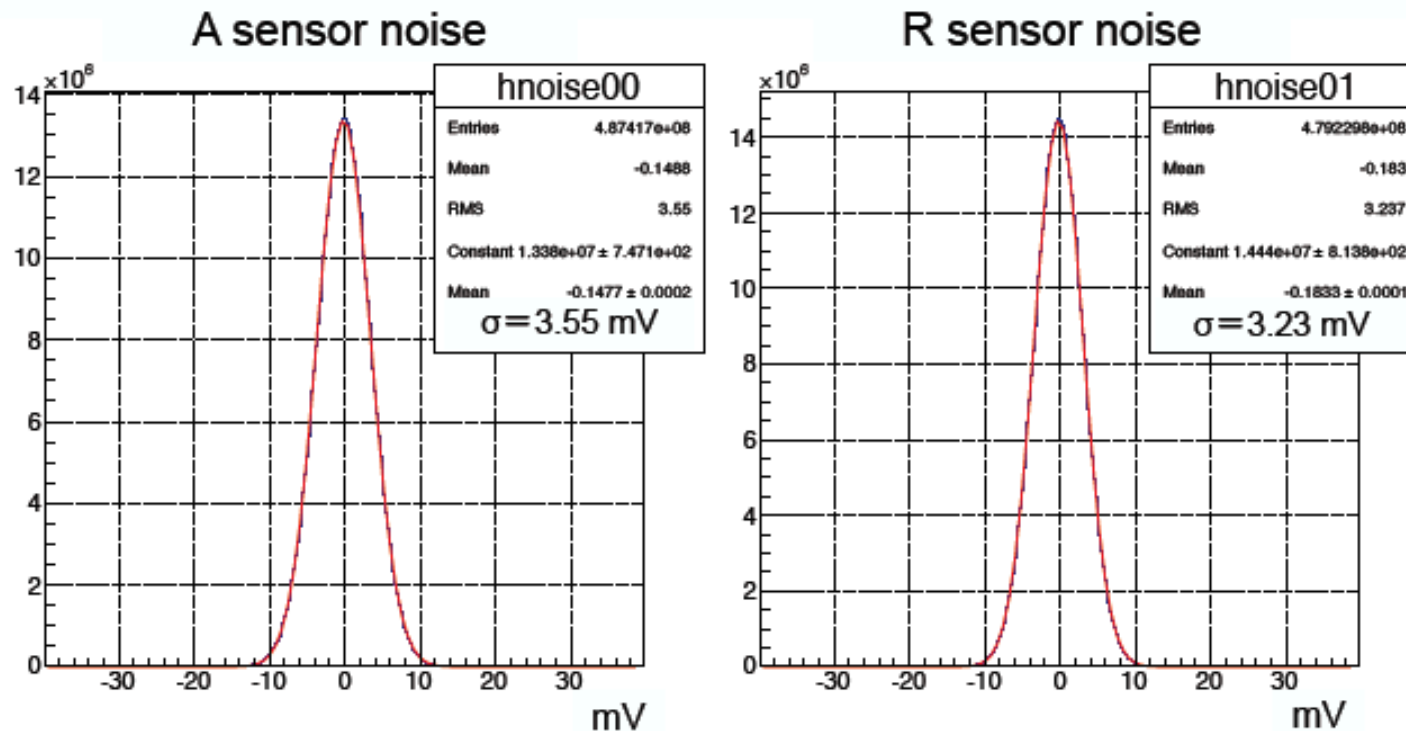
計測システム研究会@J-PARC

# ビームテストセットアップ



- $e^+$  beam (200 MeV)
- trigger : FS  $\cap$  BS

# ノイズ



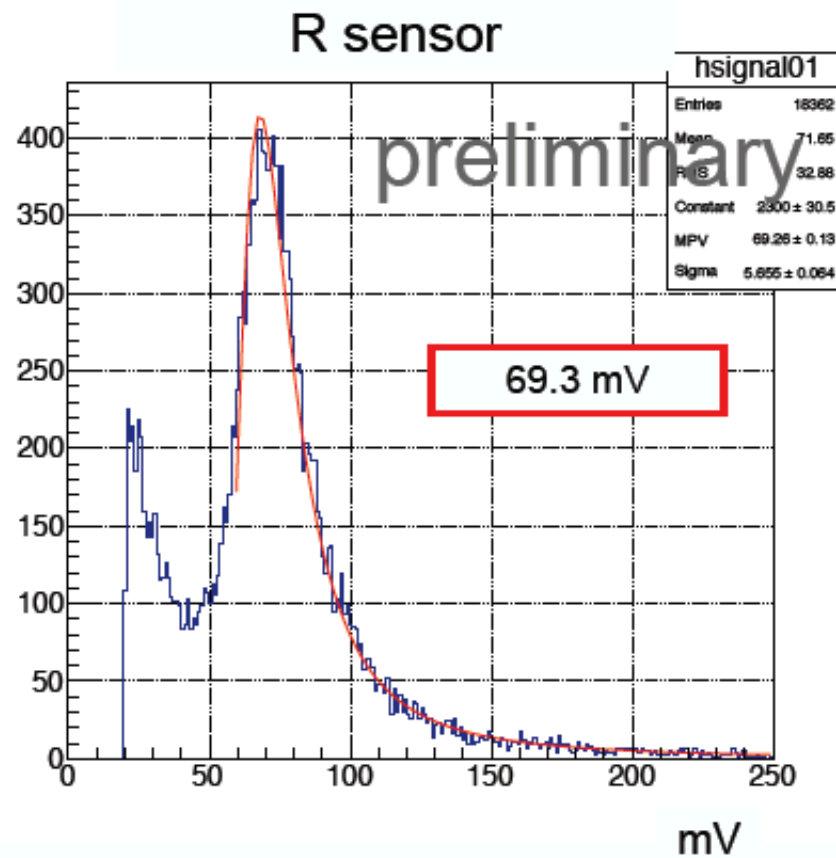
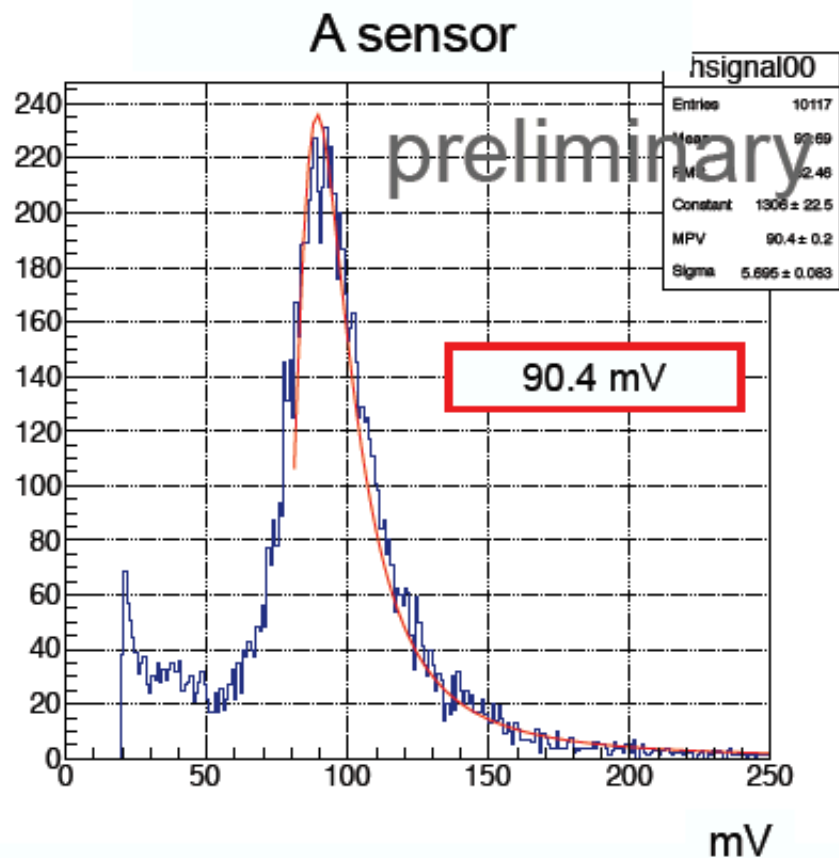
A sensor :  $\sigma = 3.6$  mV (870 e)

R sensor :  $\sigma = 3.2$  mV (770 e)



実験室での測定時と同等のレベル

# 信号



A sensor : S/N ~ 19  
R sensor : S/N ~ 18



要求を満たす  
(S/N > 15)

# SlitA2013評価まとめ

Parameter	Requirement	Measurement
Gain	$> 19 \text{ mV / fC}$	26 mV / fC
ENC	$< 1600 \text{ e}$	$< 1600 \text{ e}$
S/N	15	$\sim 20$
Dynamic Range	$> 5 \text{ MIP}$	$> 5 \text{ MIP}$
Pulse Width	$< 100 \text{ ns}$	80 ns
Time Walk	$< 5 \text{ ns}$	$\sim 10 \text{ ns}$
# of channels	128	64

# 開発状況

- 2011 16ch proto type (SlitA) design
- 2012 16ch prototype evaluation  
64ch proto type (SlitA2013) design
- 2013 64ch proto type evaluation
- **2014 128ch (analog + digital) design**
- **2015 mass production**

# Slit128A

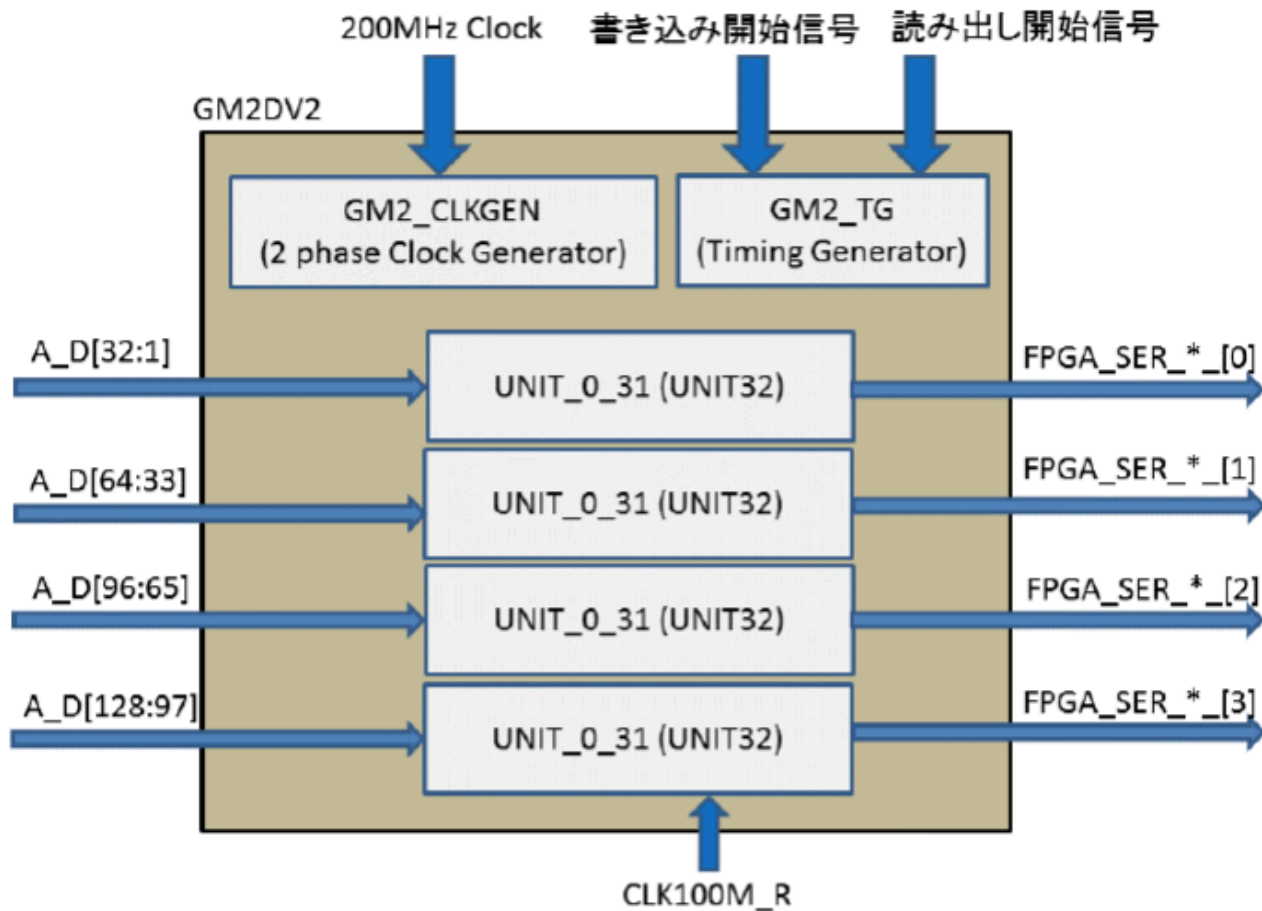
- 128ch プロトタイプ
- アナログ(SlitA2014) + デジタル(GM2DV2)混載回路
- Process : silterraCMOS0.18  $\mu\text{m}$

## SlitA2014

### SlitA2013からの主な変更点

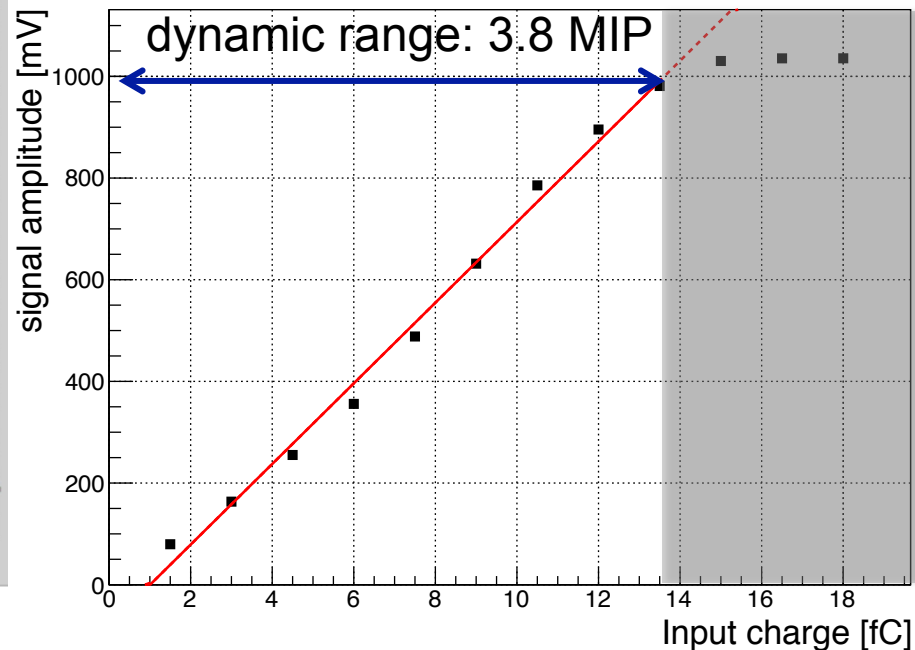
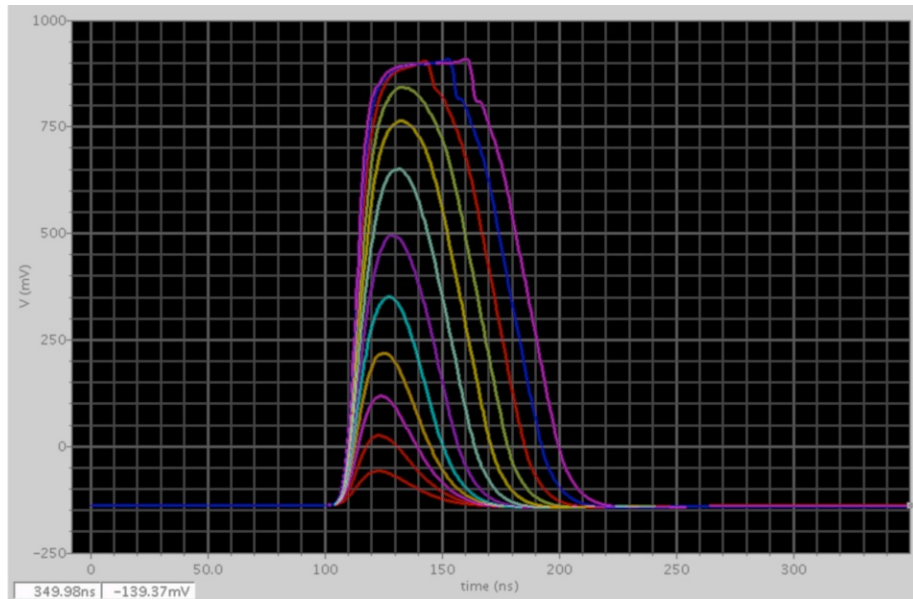
- Preamp and shaper
  - タイムウォーク改善のためゲインが大きくなるように変更
- Digital control part
  - register (アナログ部とデジタル部で信号のやり取り)
  - DAC : 4 bit -> 6 bit (スレッシュホールドのより精密な調整)

# GM2DV2



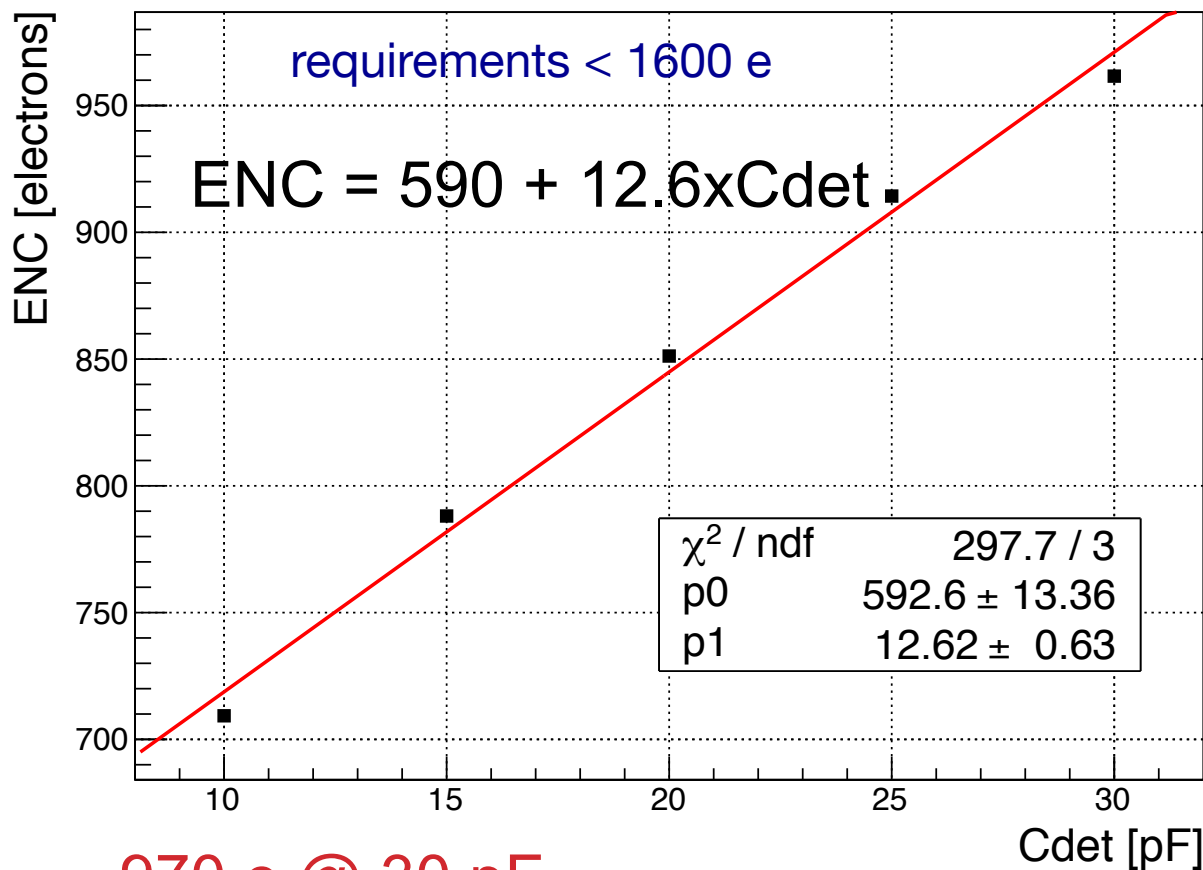


# ゲイン・ダイナミックレンジ



- gain: ~ **80 mV/fC** (前バージョンは 26 mV/fC)
- Dynamic range : < 3.8 MIP (13.8 fC)

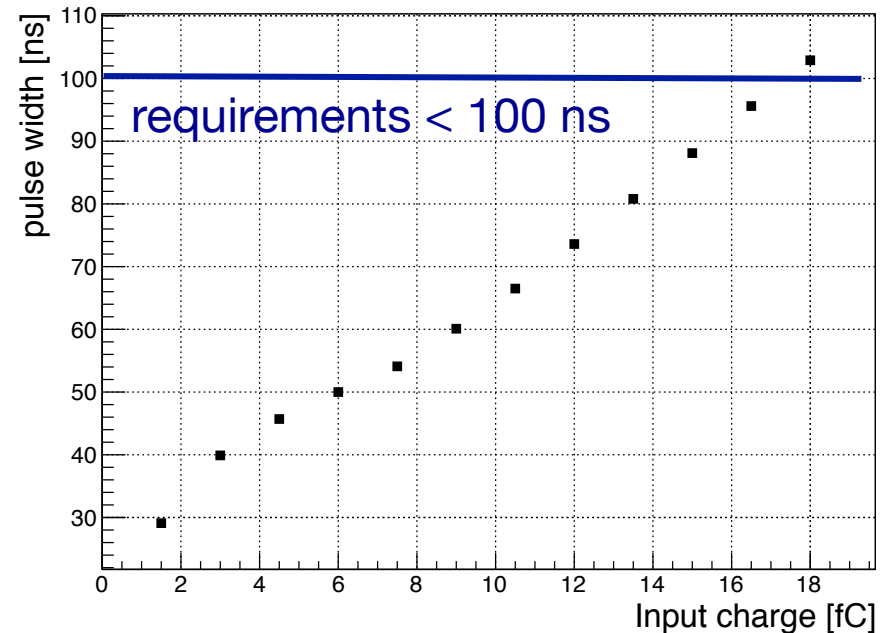
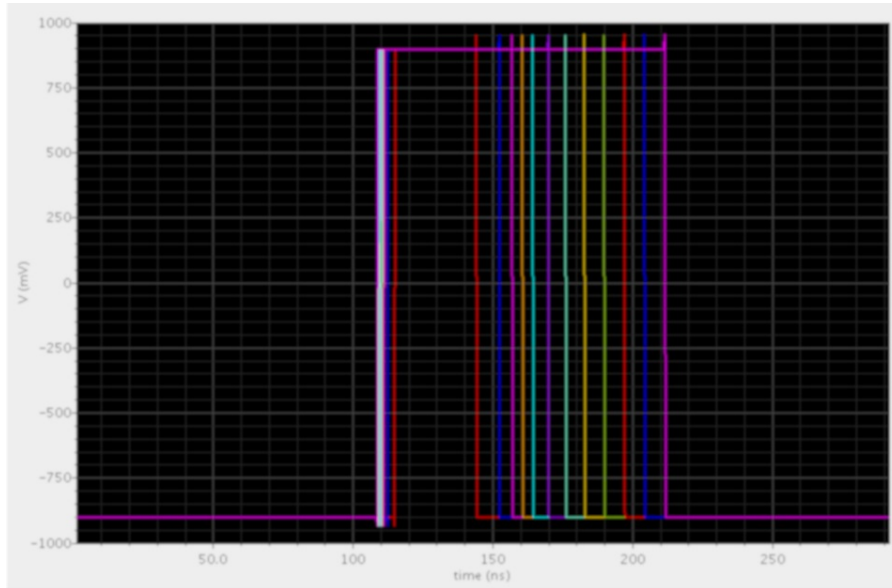
# ENC



970 e @ 30 pF

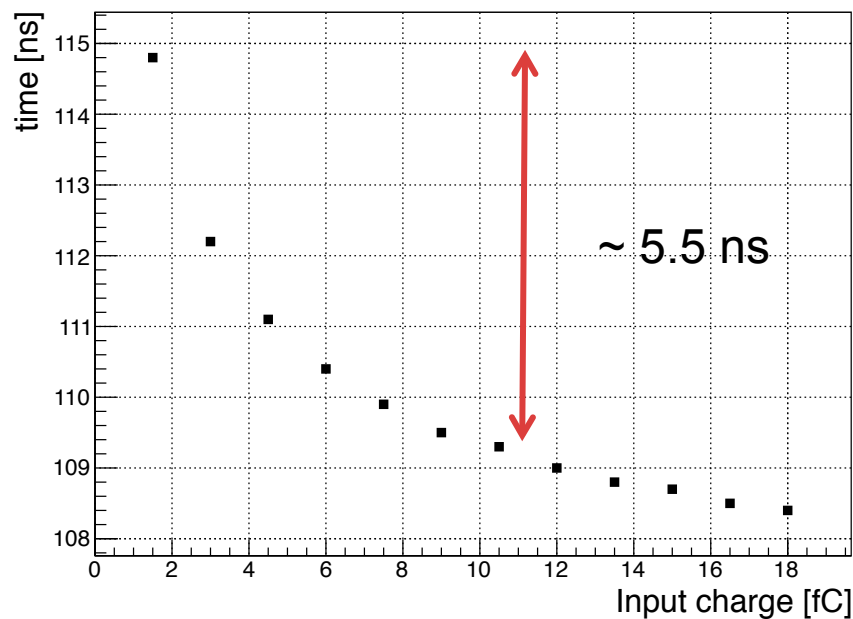
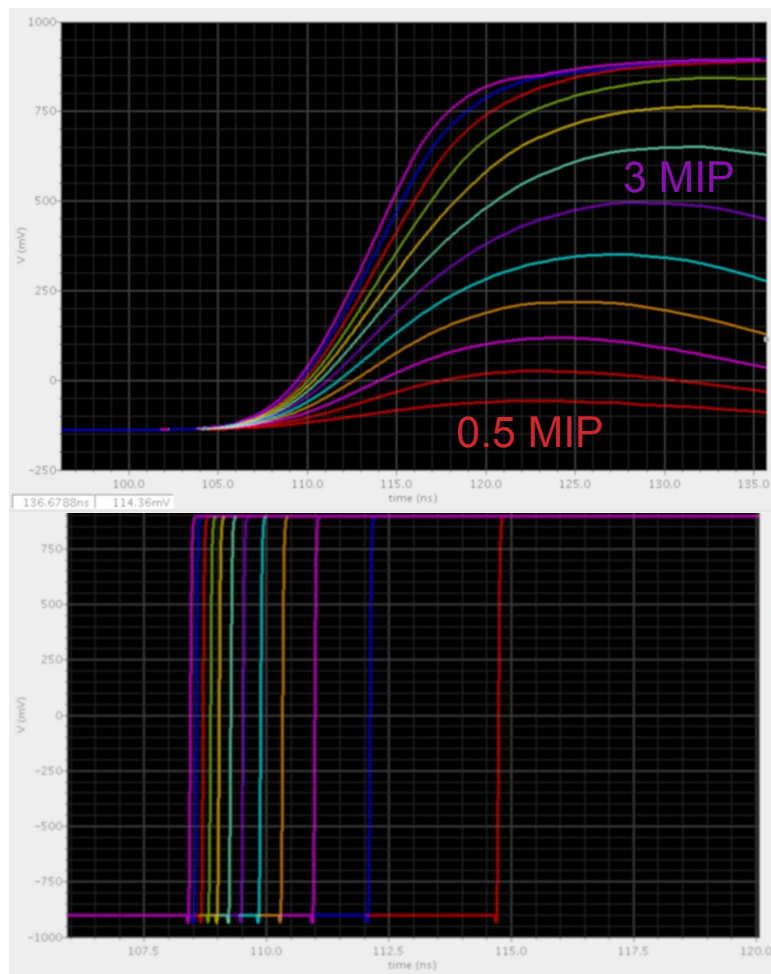
(前バージョンでは1220 e)

# パルス幅



- pulse width:  $< 100\text{ns}$  @  $\sim 5$  MIP
- $44\text{ ns}$  @ 1MIP (3.6 fC)

# タイムウォーク



time walk : 5.5 ns (0.5 MIP - 3 MIP)

プリアンプ、シェーパ電流などの調整を行うことにより、さらに改善が見込める  
(現在はまだ最適化していない)

2014年 11月 21日

計測システム研究会@J-PARC

# SlitA2014

Parameter	Requirement	Simulation
Gain	> 19 mV / fC	80 mV / fC
ENC	< 1600 e	< 1600 e
S/N	15	~ 25
Dynamic Range	> 5 MIP	3.8 MIP
Pulse Width	< 100 ns	40 ns
Time Walk	< 5 ns	5.5 ns
# of channels	128	128

タイムウォークは前バージョンから改善された(さらに改善も見込める)

ゲインを大きくするとダイナミックレンジが小さくなる

要求値以下だが問題になる値ではない

## まとめ

- J-PARC muon g-2/EDM 実験のシリコンストリップ検出器用ASICの開発を行っている
- これまで2つのプロトタイプを作成し、評価を行った
- 現在は次期バージョンのデザインを行っている
- 次期バージョンではゲインを上げることによりタイムウォークの改善が見込まれる
- 次期バージョンではアナログ・デジタルの混載回路になっている

## 今後

- 2014年度末に次期バージョン完成
- 2015年度～評価開始

# BACK UP SLIDES

2014年 11月 21日

計測システム研究会@J-PARC

# シリコンストリップセンサー

## 軸方向(A)センサー

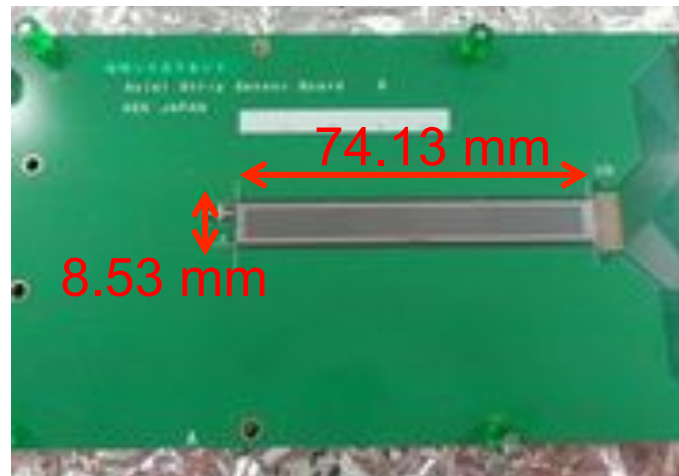
- 厚さ : 0.32 mm
- ストリップピッチ : 0.100 mm
- ストリップ幅 : 0.027 mm
- ストリップ長さ : 72 mm
- ストリップ数 : 64 本
- 検出器容量 : 16 pF

## 動径方向(R)センサー

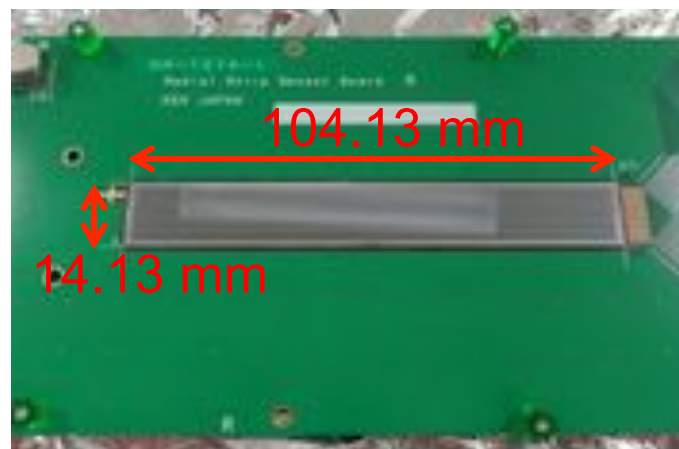
- 厚さ : 0.32 mm
- ストリップピッチ : 0.188 mm
- ストリップ幅 : 0.050 mm
- ストリップ長さ : 102 mm
- ストリップ数 : 64 本
- 検出器容量 : 23 pF

## 片面 p-on-n 型センサー

A sensor



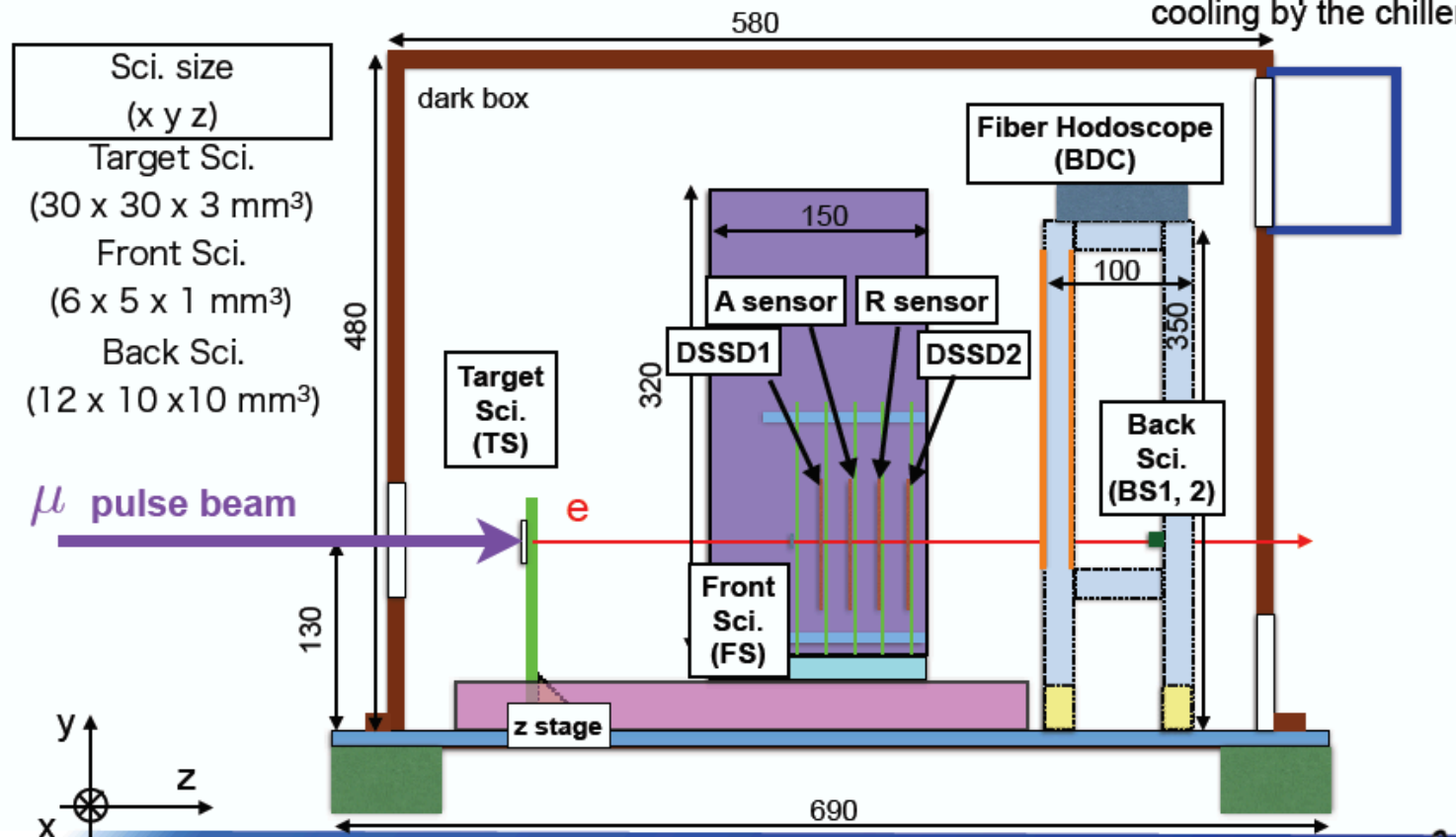
R sensor





# J-PARC BEAM TEST

- Muon stopped Target Sci. and decay positron was measured.
- Maximum hit rate was estimated to be more than 1.2 MHz/strip, cooling by the chiller

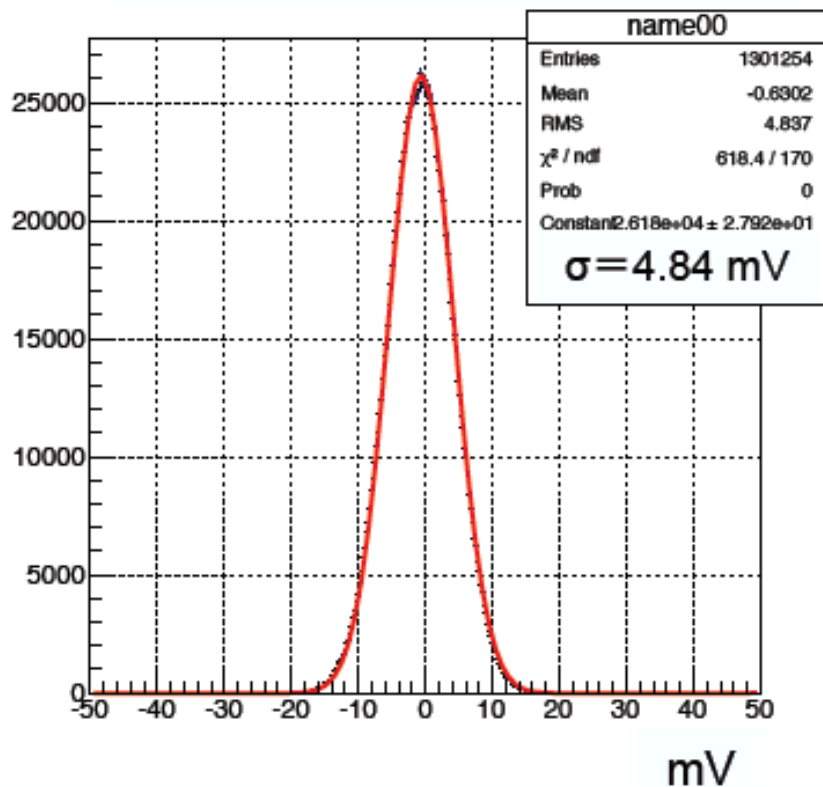


# DAQ

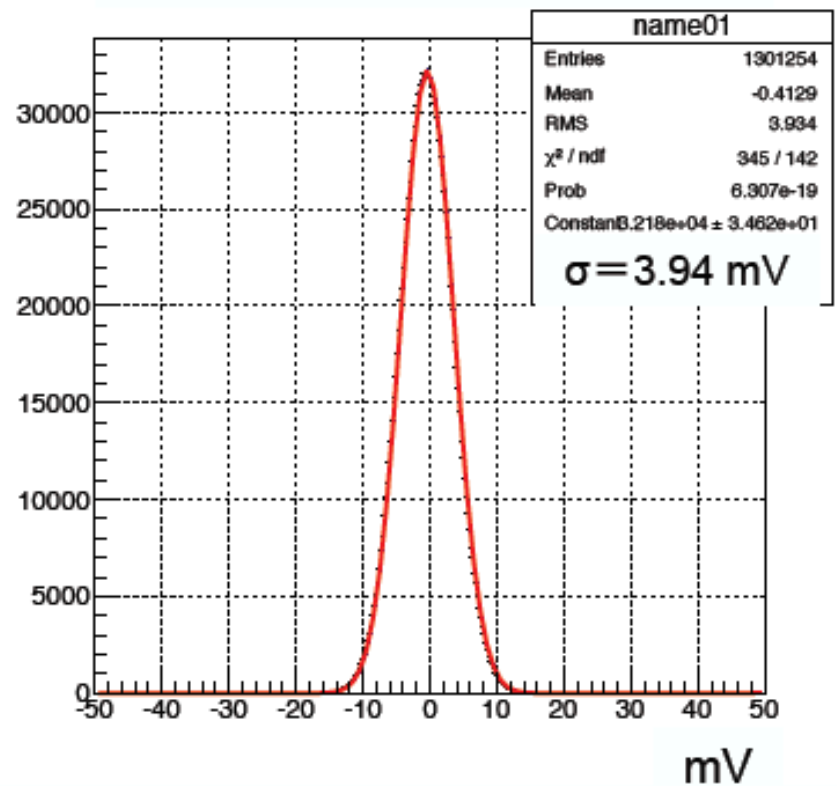
- Trigger : the pulse synchronized with beam (25 Hz)
- Wave Form Digitizer (CAEN V1742)
  - analog output of SlitA 2013
  - DSSD , Target Sci., Front Sci., and Back Sci. signal
- TDC (CAEN V1190, V1290)
  - digital output of SlitA2013
  - timing of Target Sci., Front Sci., Back Sci.

# J-PARC ノイズ

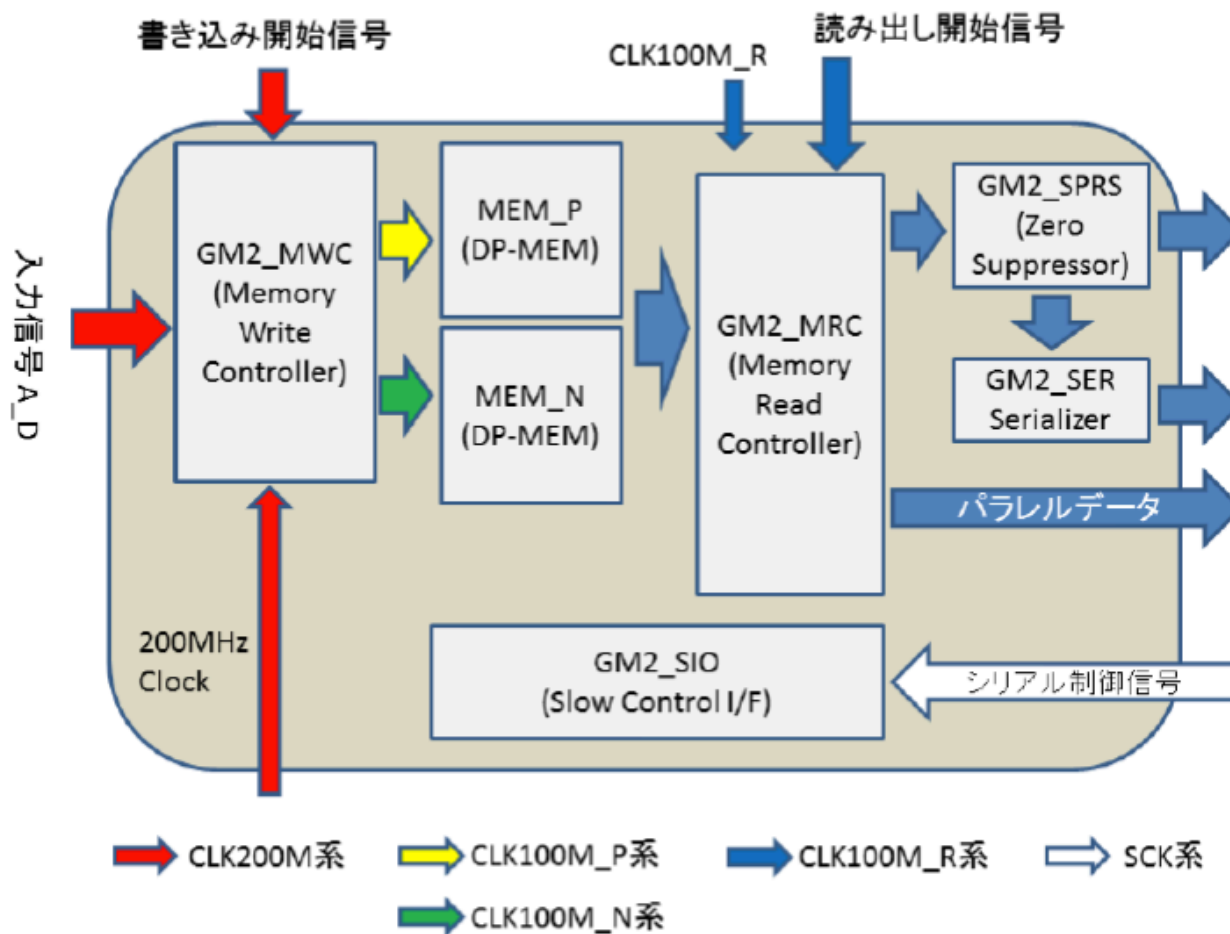
## A sensor noise



## R sensor noise



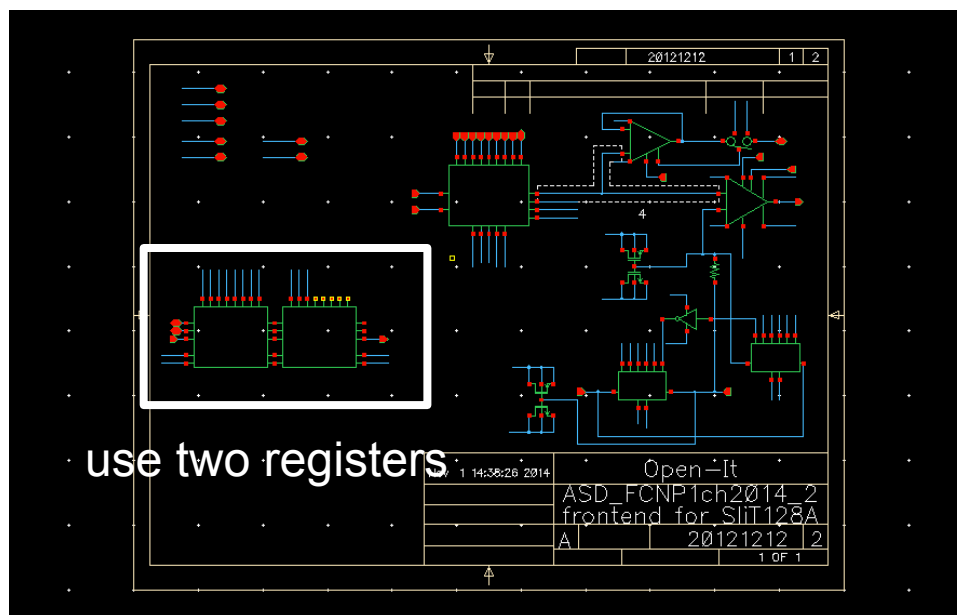
# UNIT32



# Digital Control

Signal name	Direction	Description
SCLK	D -> A	Clock
SI	D -> A	Write Data
SSn	D -> A	Chip Select
SO	A -> D	Read Data

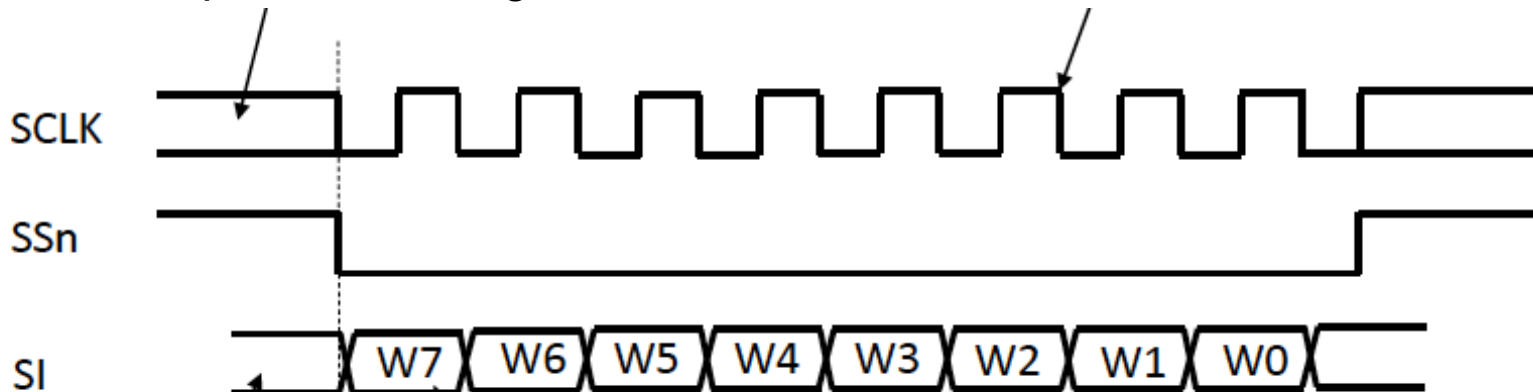
CLOCK : 1 Hz ~ 500 kHz  
IO standard : LVCMOS09  
8 bits register x 2 (use 11 bits)



# Write

When  $SS_n = H$ , SCLK is undefined.  
The minimum pulse width is guaranteed.

Duty ratio of clock is not guaranteed.  
The minimum pulse width is guaranteed.



Data is sent from MSB.

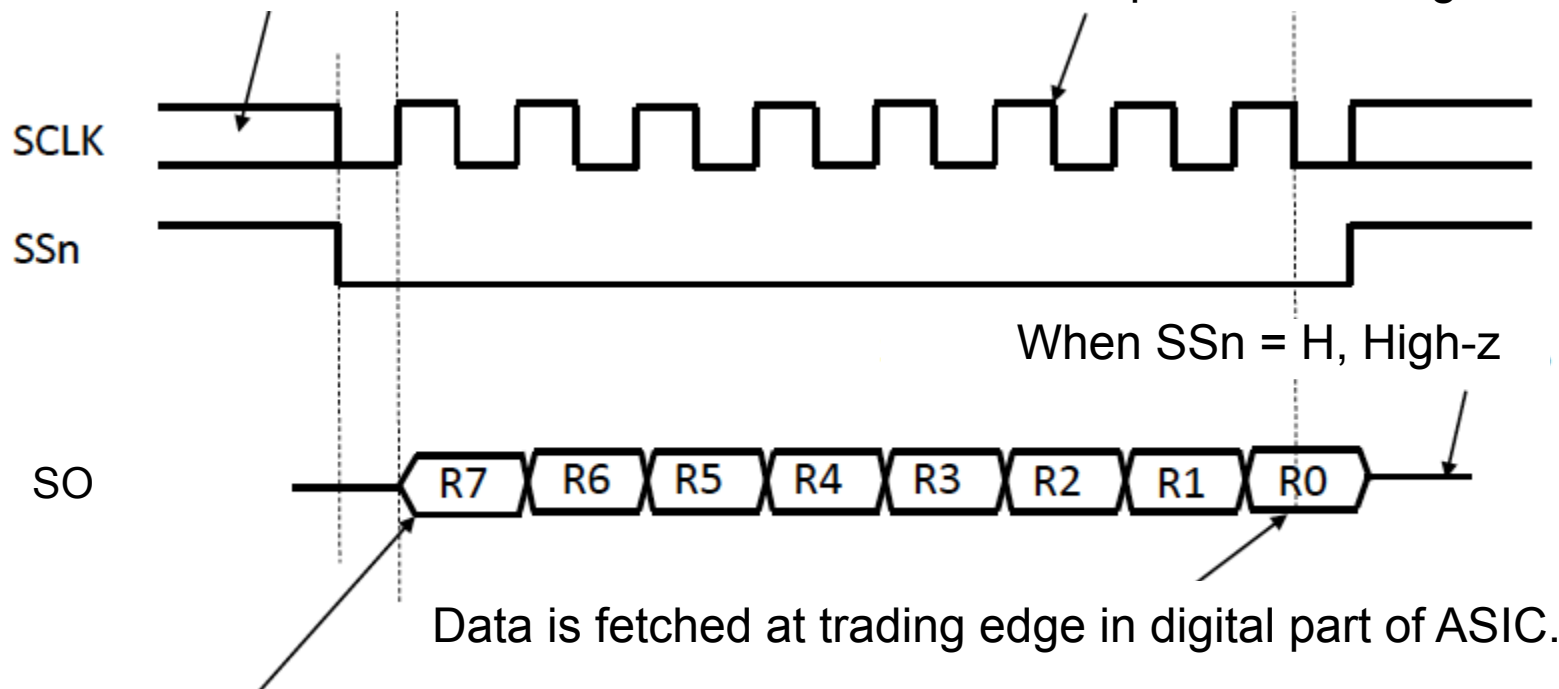
Write data changes at trading edge of SCLK.

When  $SS_n = H$ , SI is undefined.

# Read

When  $SS_n = H$ , SCLK is undefined.  
The minimum pulse width is guaranteed.

Duty ratio of clock is not guaranteed.  
The minimum pulse width is guaranteed.



Read out data should be changed at leading edge.

# Bit Control

first register

	Control Bit	Description
W0	TEST	Test Pulse in
W1	MON	Analog monitor
W2	COMPENB	Comparator enable
W3	GBOFF	Gain boost off
W4	POS	POS terminal of RF4P
W5	D0	DAC LSB
W6	D1	DAC 2 <sup>nd</sup> bit
W7	D2	DAC 3 <sup>rd</sup> bit

second register

	Control Bit	Description
W8	D3	DAC 4 <sup>th</sup> bit
W9	D4	DAC 5 <sup>th</sup> bit
W10	D5	DAC MSB
W11		NC
W12		NC
W13		NC
W14		NC
W15		NC