

ATLAS muon trigger upgrade electronics

戸本 誠
名古屋大学

LHC-ATLAS実験

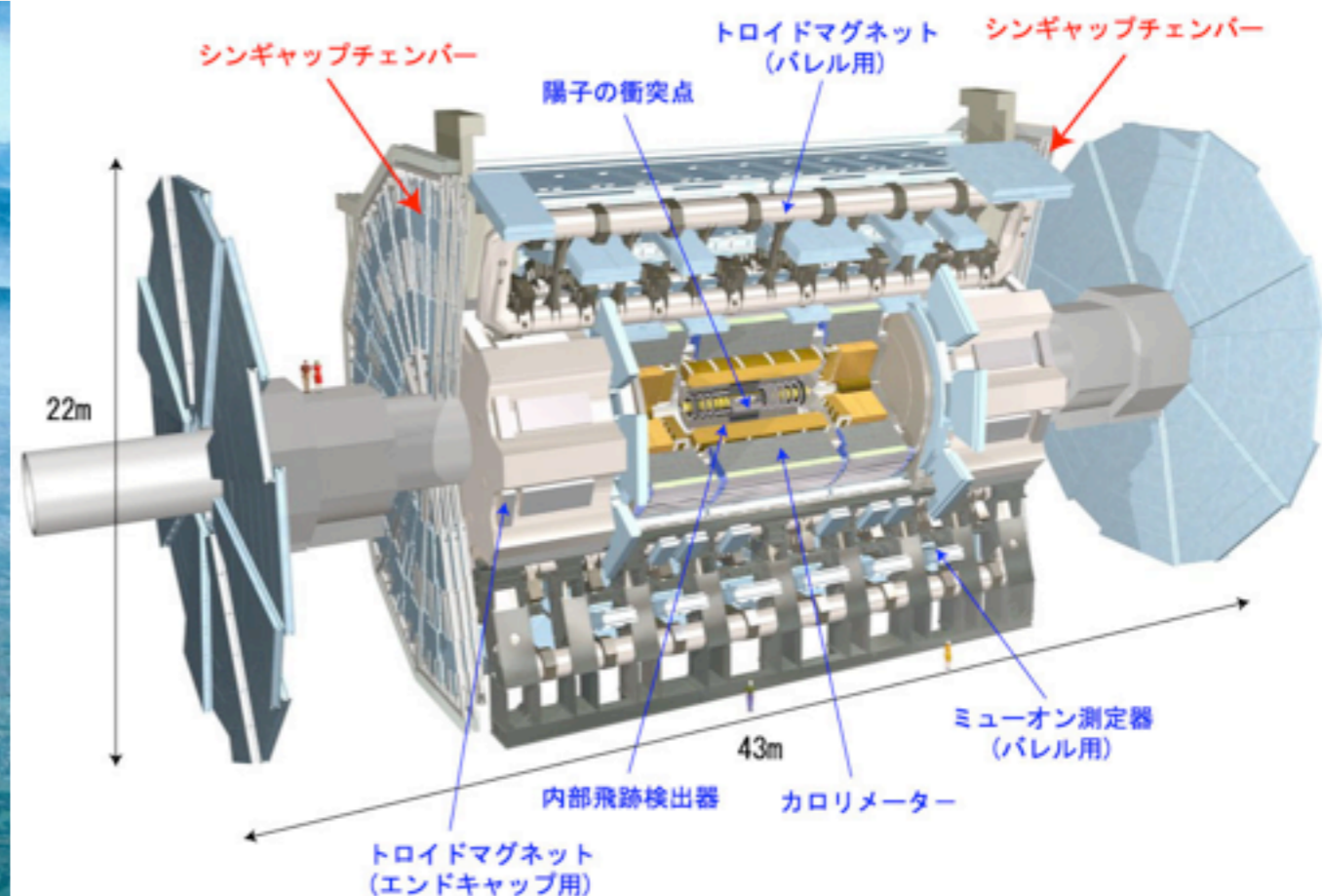
$\sqrt{s} = 7\text{TeV}(2011), 8\text{TeV}(2012) : \int L dt \sim 25\text{fb}^{-1}$

→ ヒッグス粒子の発見

$\sqrt{s} = 13\text{TeV} \sim 14\text{TeV}$ で再開、より高いルミノシティーを目指す。

→ さらなる新物理 (SUSY, Extra Dimensionなど) の直接的発見

→ 多量のヒッグス粒子, 標準模型粒子の精密測定による新物理発見



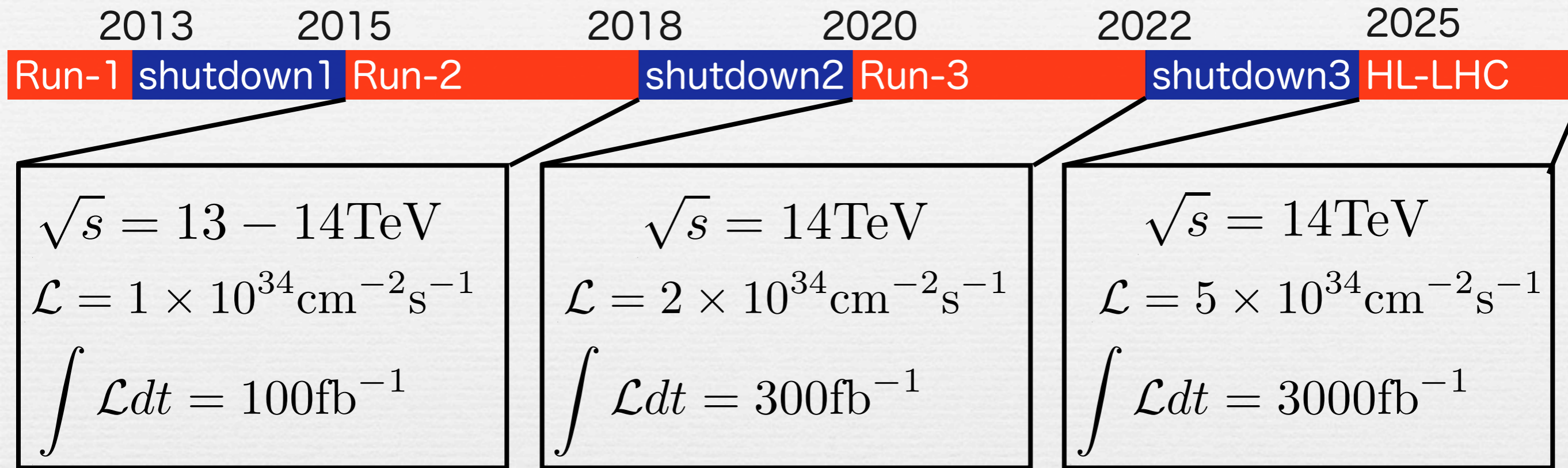
3段階のトリガーでデータ収集

L1 - Hardware : 70kHz, 2.5 μ s latency

L2 - Software : 6.5kHz, 10ms latency

EF - Software : 600Hz, 1~2 s latency

LHC-ATLAS upgrade



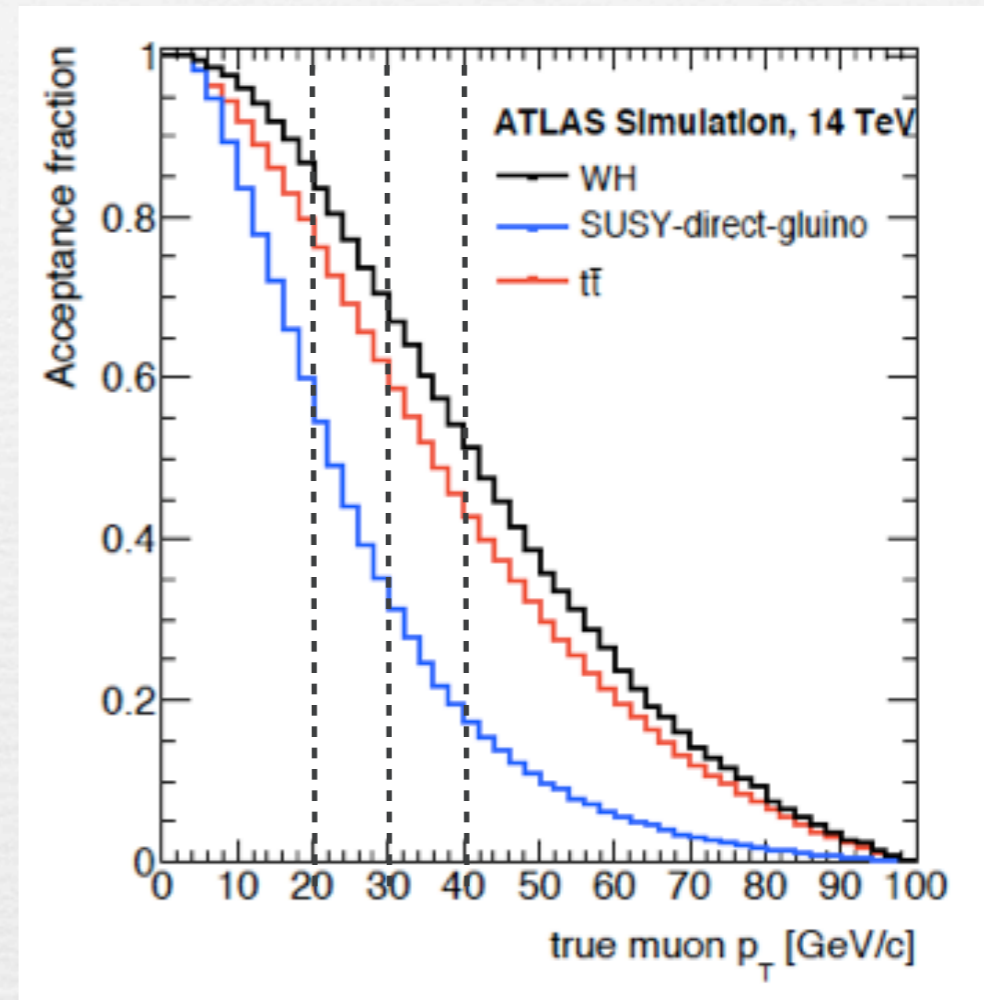
ATLAS検出器アップグレード:

- ① 内部飛跡検出器とフォワード部検出器の総取り替え
 多量のpileup環境下(~100)での優れた飛跡検出能力
 より優れた放射線耐性
- ② トリガーとデータ収集系の改良
 高い衝突頻度に耐えうるより優れた事象選別能力

Trigger Upgrade for HL-LHC

改良のない場合のtrigger性能

Trigger	Estimated L1 Rate
EM_20 GeV	200 kHz
MU_20 GeV	> 40 kHz
TAU_50 GeV	50 kHz
di-lepton	100 kHz
JET + MET	~ 100 kHz
Total	500 kHz



Pipelineの充実化 → Trigger rateやlatencyに余裕

L0 Trigger : latency= $6 \mu\text{s}$, rate=1 MHz

L1 Trigger : latency= $30 \mu\text{s}$, rate=300~400 kHz

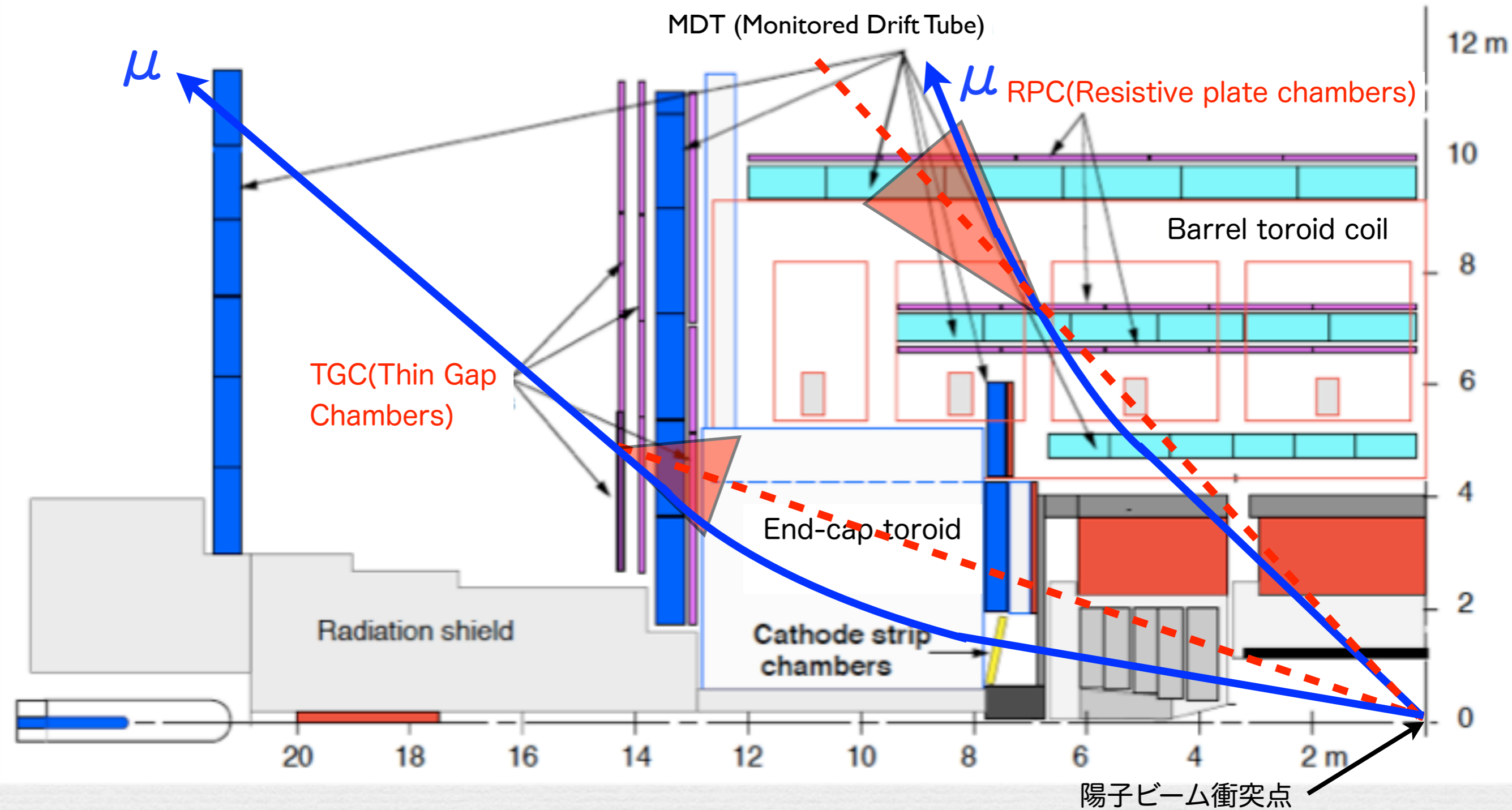
Trigger algorithmの強化

低いTrigger thresholdを保ちつつ、Trigger rateを下げたい

ATLAS Muon Trigger (現在)

飛跡精密測定：MDT, CSC

トリガー発行：TGC, RPC

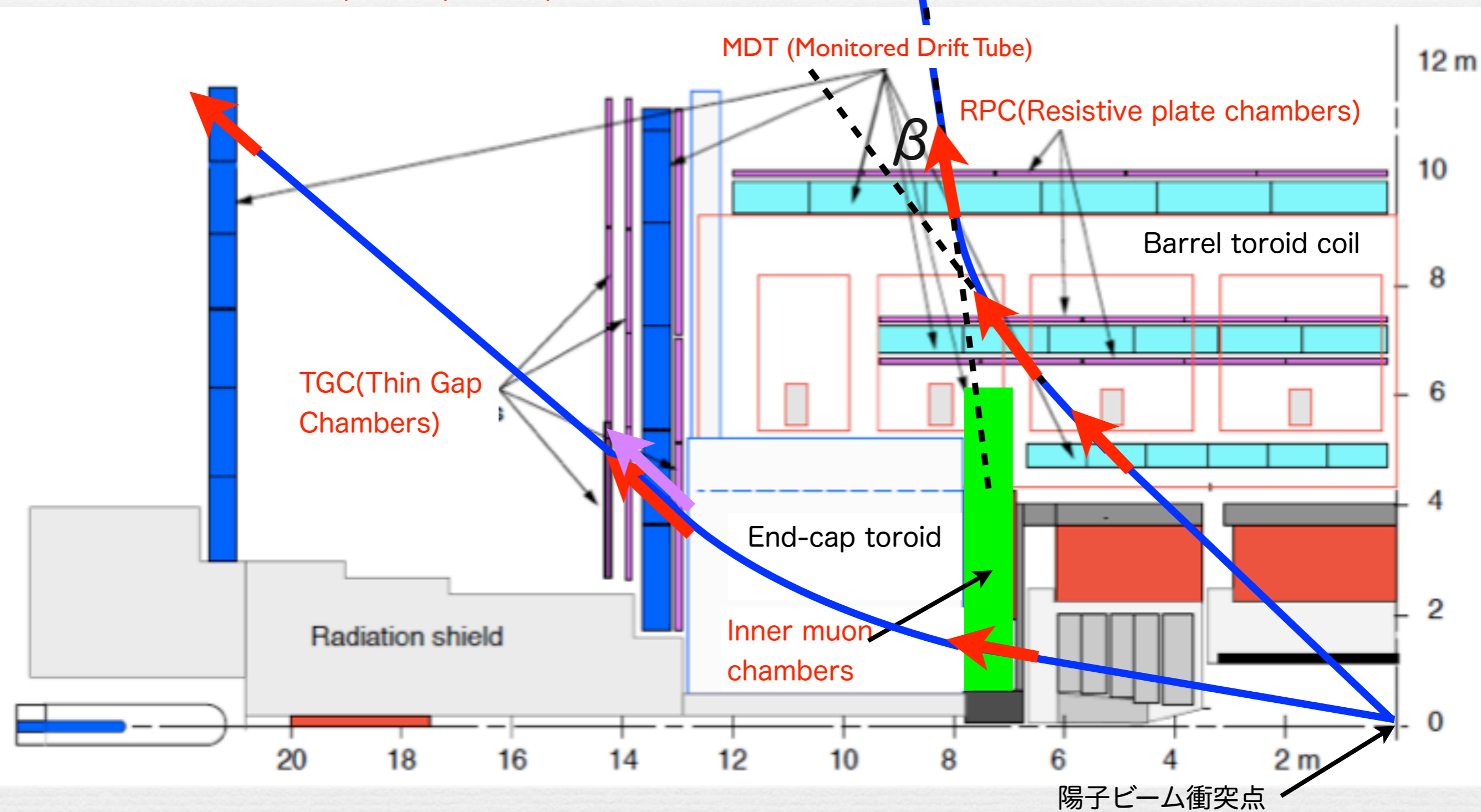


Coincidence型のトリガー

ATLAS Muon Trigger (Upgrade後)

飛跡精密測定： MDT, Inner muon chambers

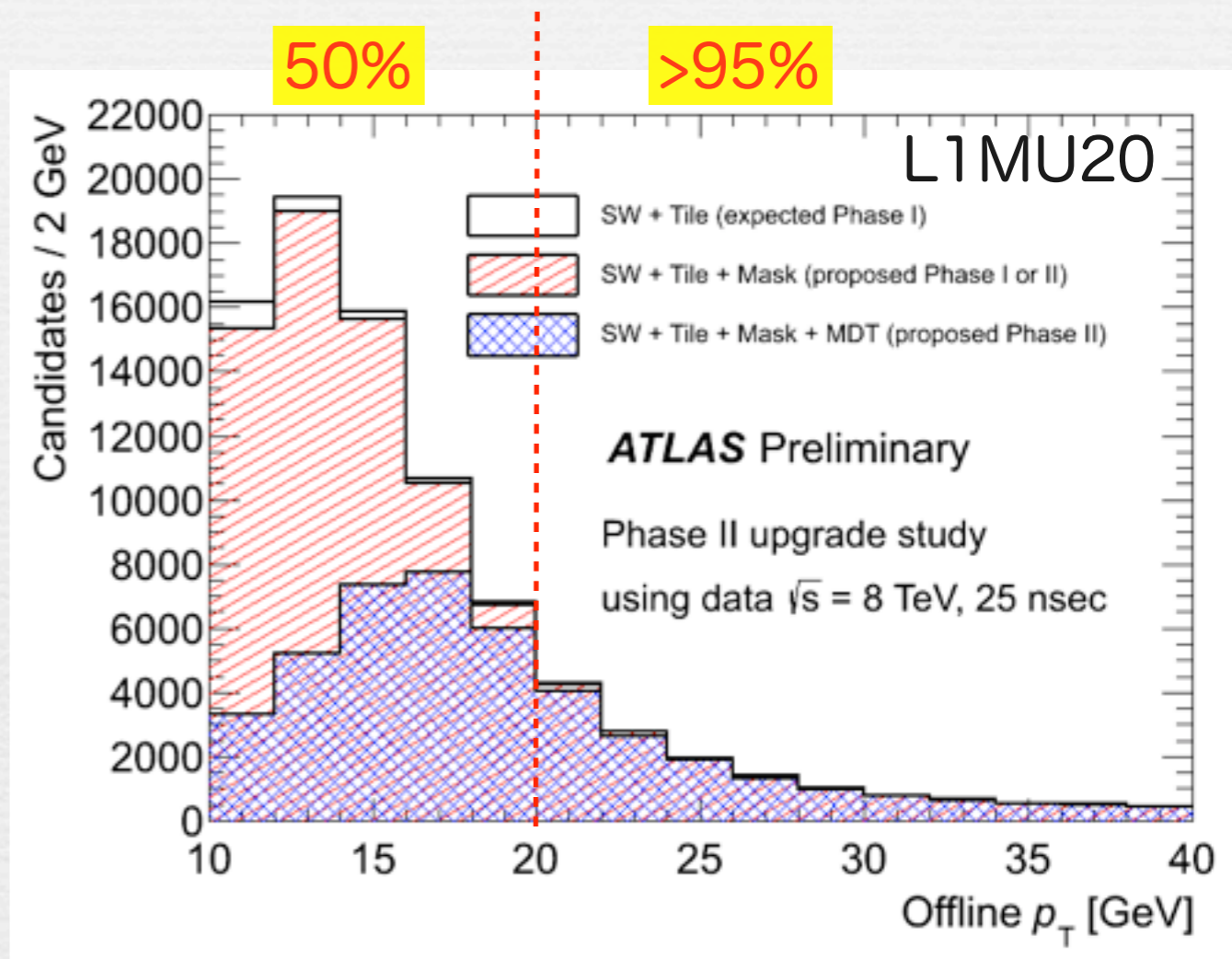
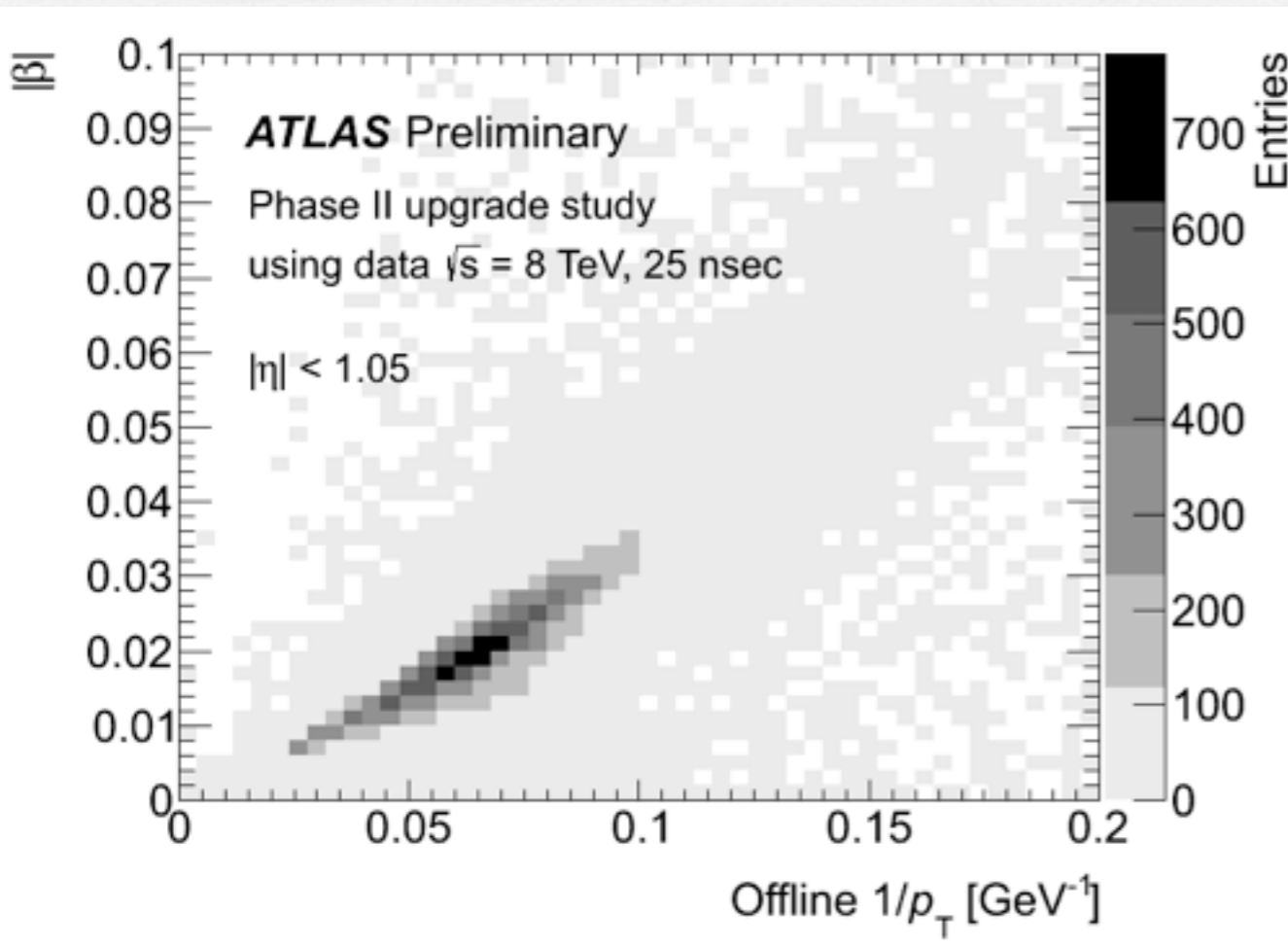
トリガー発行： TGC, RPC, MDT, Inner muon chambers



Fast Tracking型のトリガー

Muon Trigger upgrade 性能

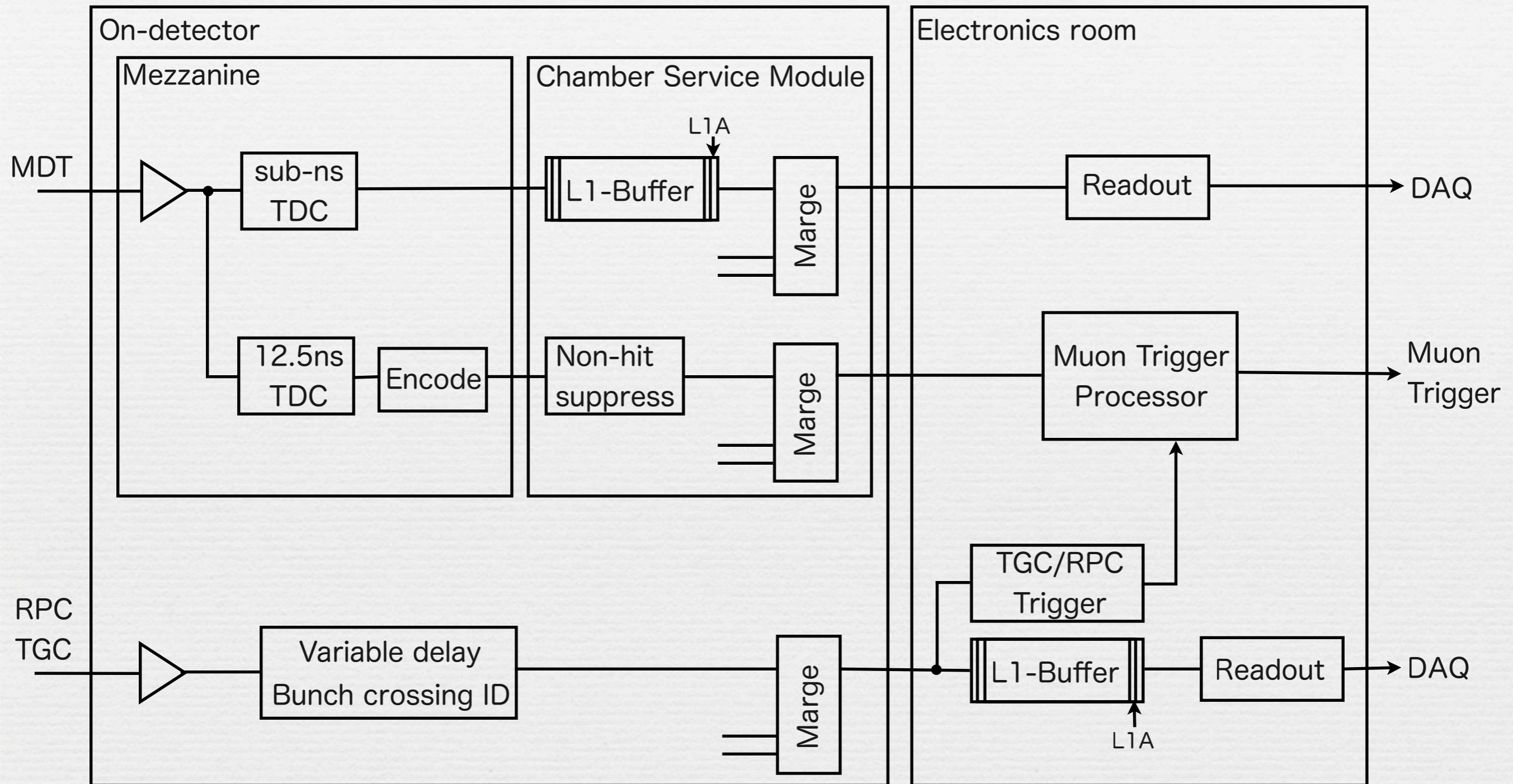
ATLAS Run 1のデータを用いたupgrade trigger の性能評価



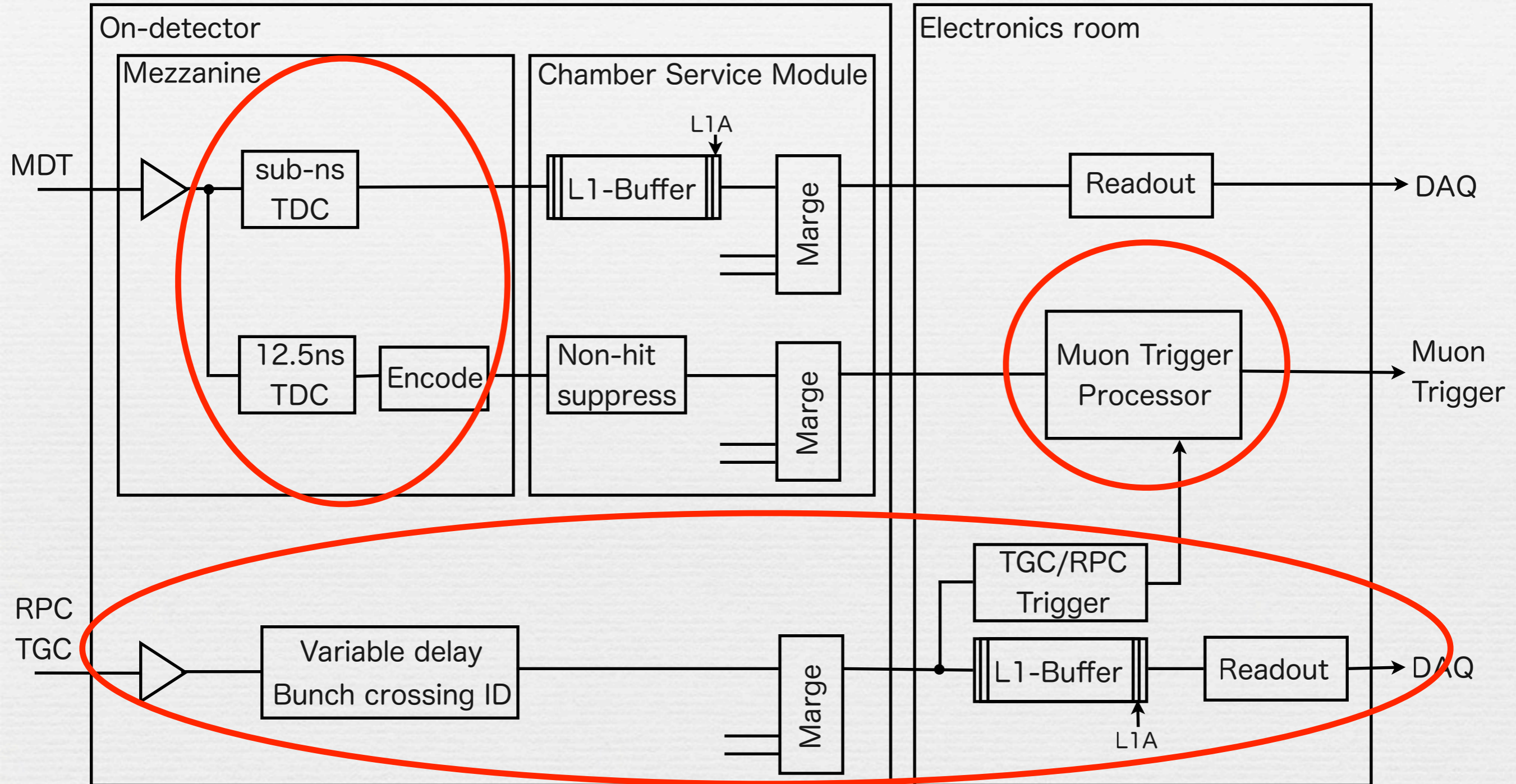
トリガーレート

導入前 導入後
 40kHz → 20kHz

Proposed Muon Trigger scheme



日本グループの取り組み

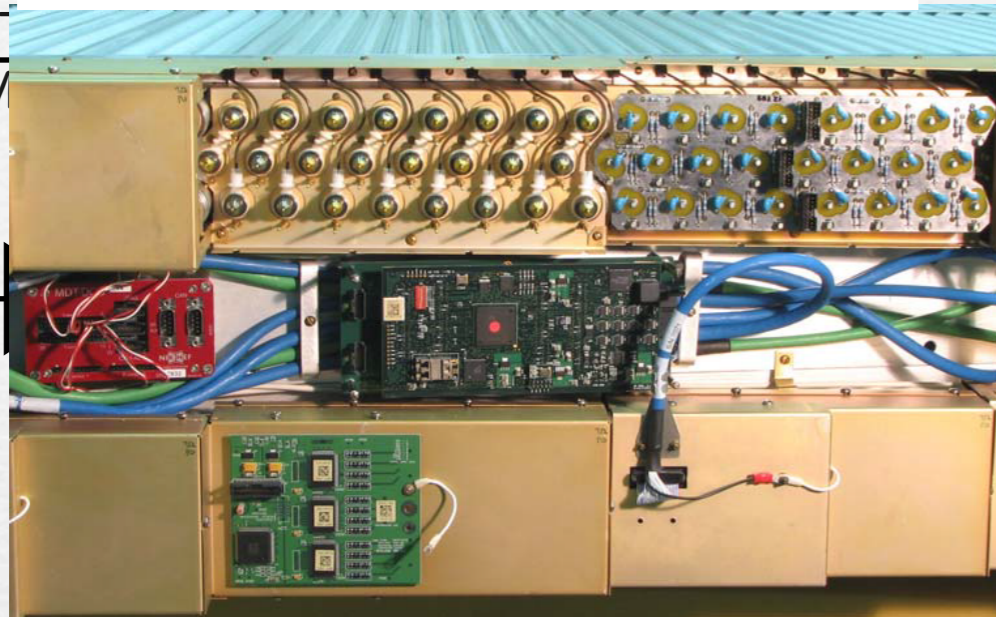


1. TGC Trigger electronicsの総取り替え
 - Variable delay & BCID回路
 - Fast Tracking型トリガーロジック回路

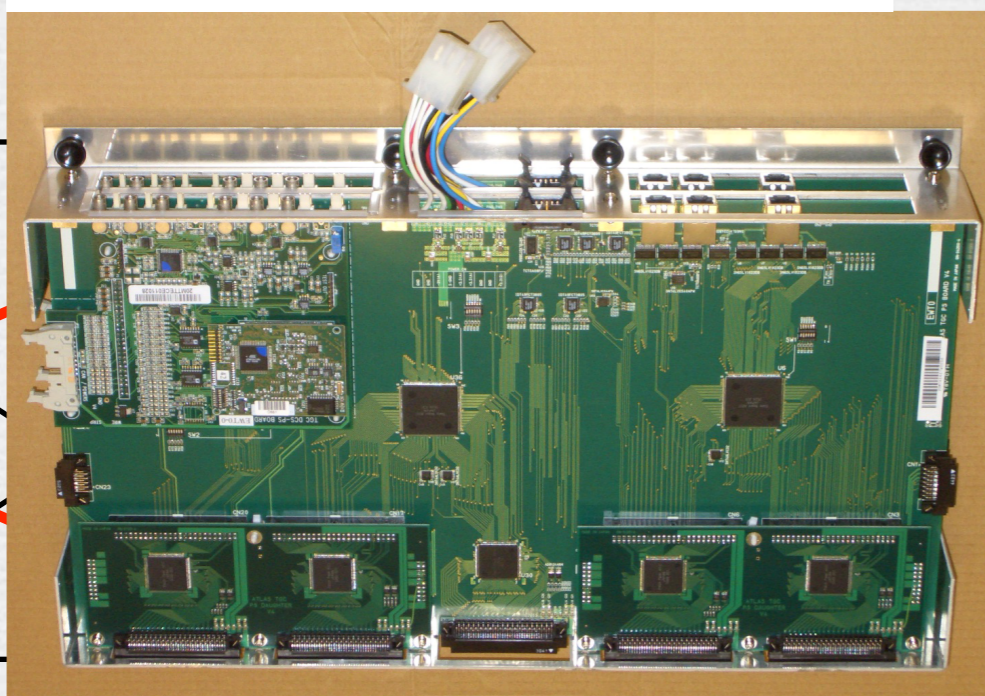
2. 新しくMDT Triggerを開発
 - ドリフト時間測定用TDC回路
 - Fast Tracking型トリガーロジック回路

日本グループの取り組み

現在のMDT On-detector回路

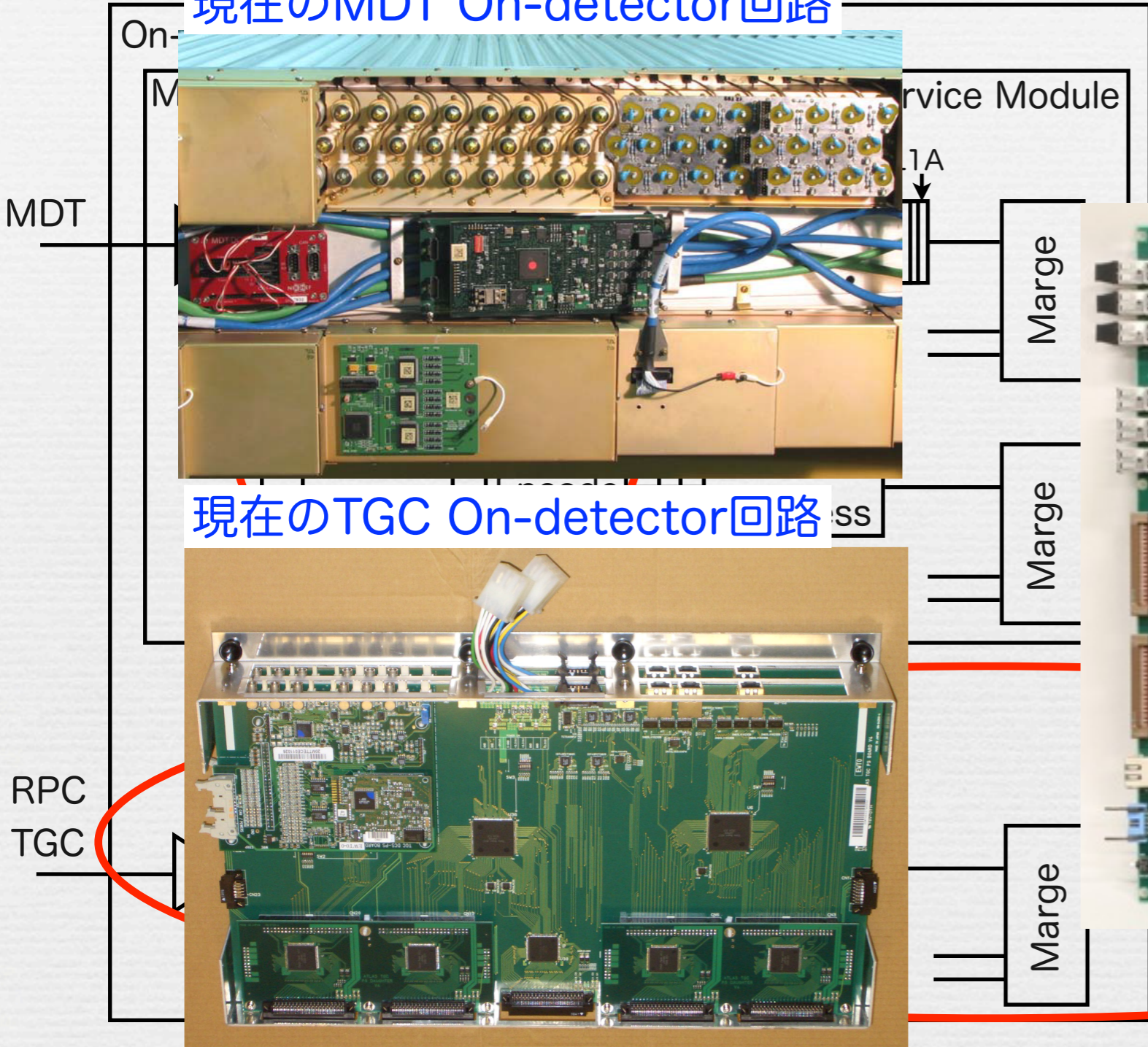
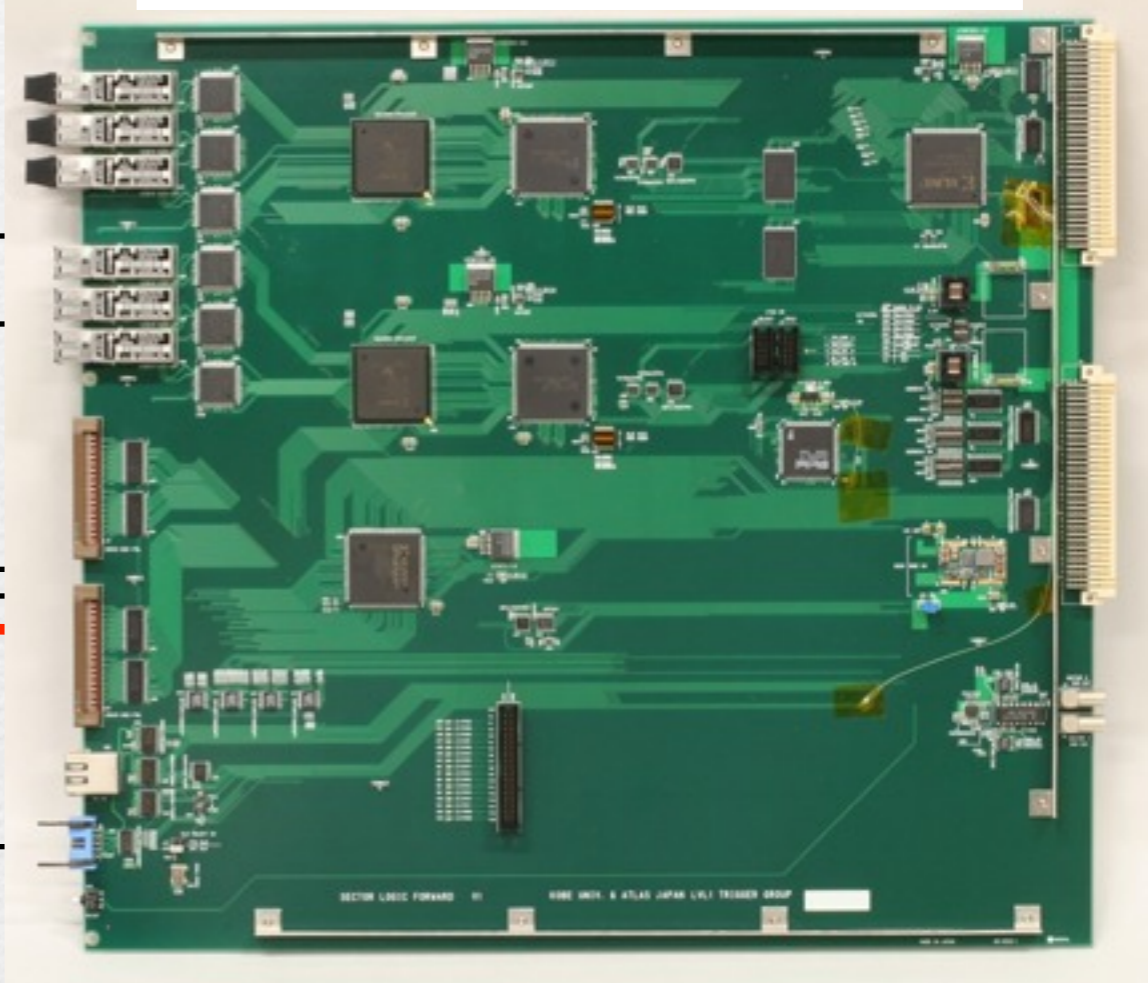


現在のTGC On-detector回路



Electronics room

現在のTGC トリガー論理回路



1. TGC Trigger electronicsの総取り替え
 - Variable delay & BCID回路
 - Fast Tracking型トリガーロジック回路

2. 新しくMDT Triggerを開発
 - ドリフト時間測定用TDC回路
 - Fast Tracking型トリガーロジック回路

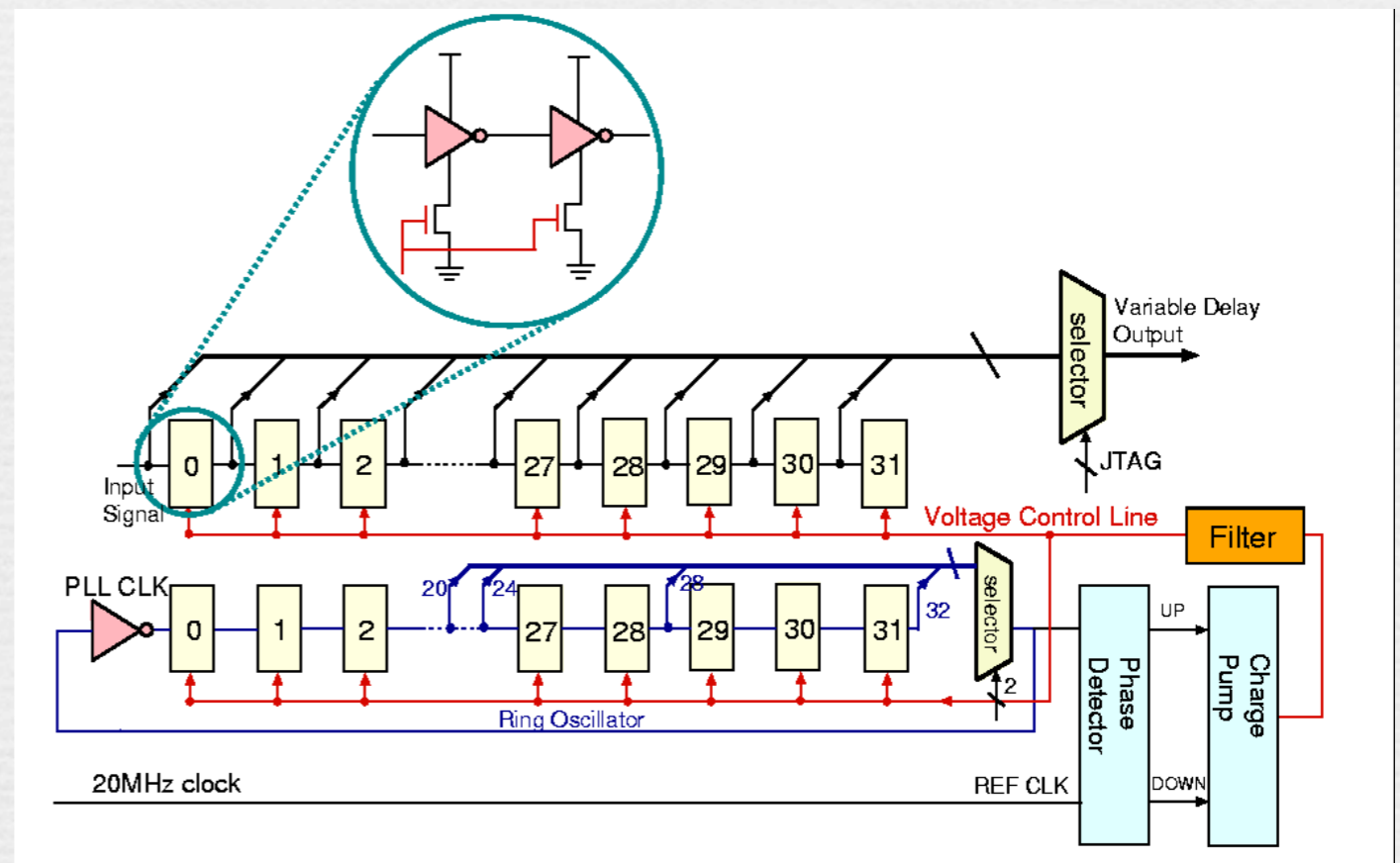
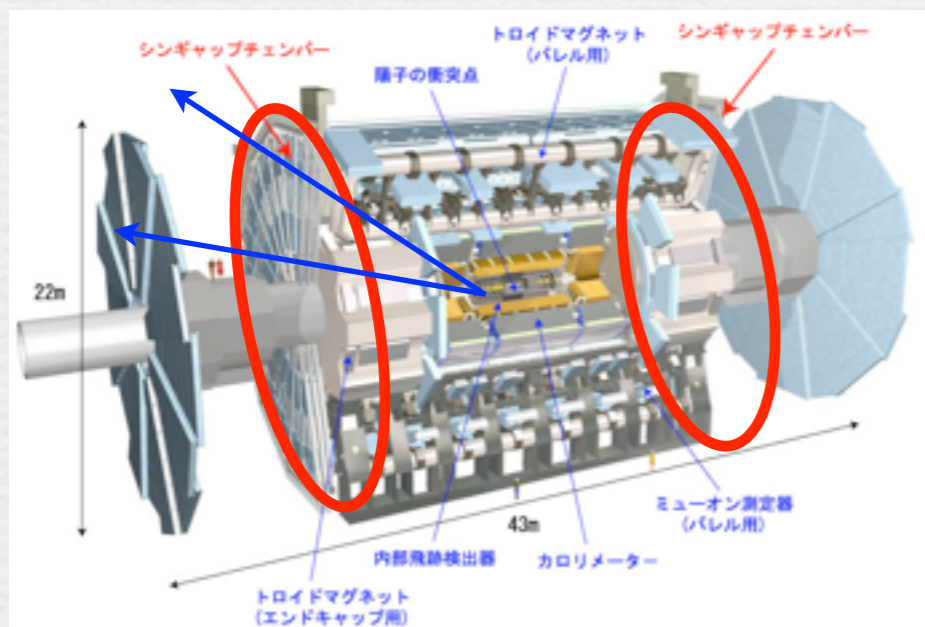
Variable Delay & BCID回路

チャンネルによって異なる 衝突点からの μ 粒子のTOF
信号ケーブル長

→最大で25ns程度

40MHzのBunch Crossing内に信号のタイミングを揃える

→0.9ns刻みのVariable Delay (32段階の調整)



同等の回路がHL-LHC実験でも必要 → PLLの基本を追求

UMC0.25 μ mによる開発

^{60}Co 照射試験による放射線耐性試験

技術の伝承、学生の教育

PLLを用いたTDC回路

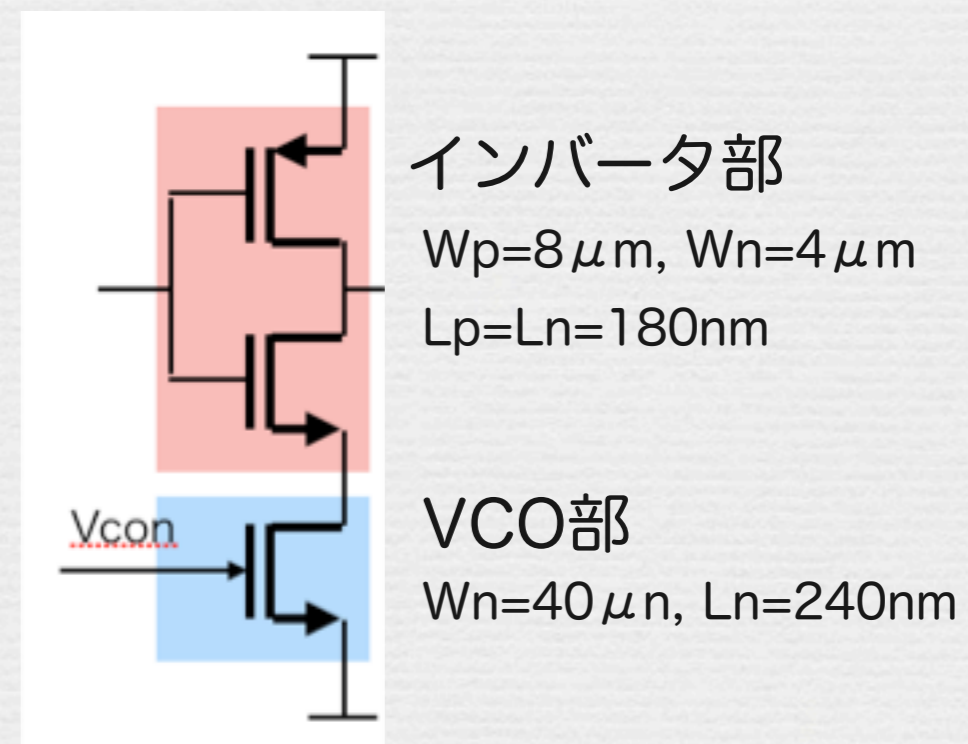
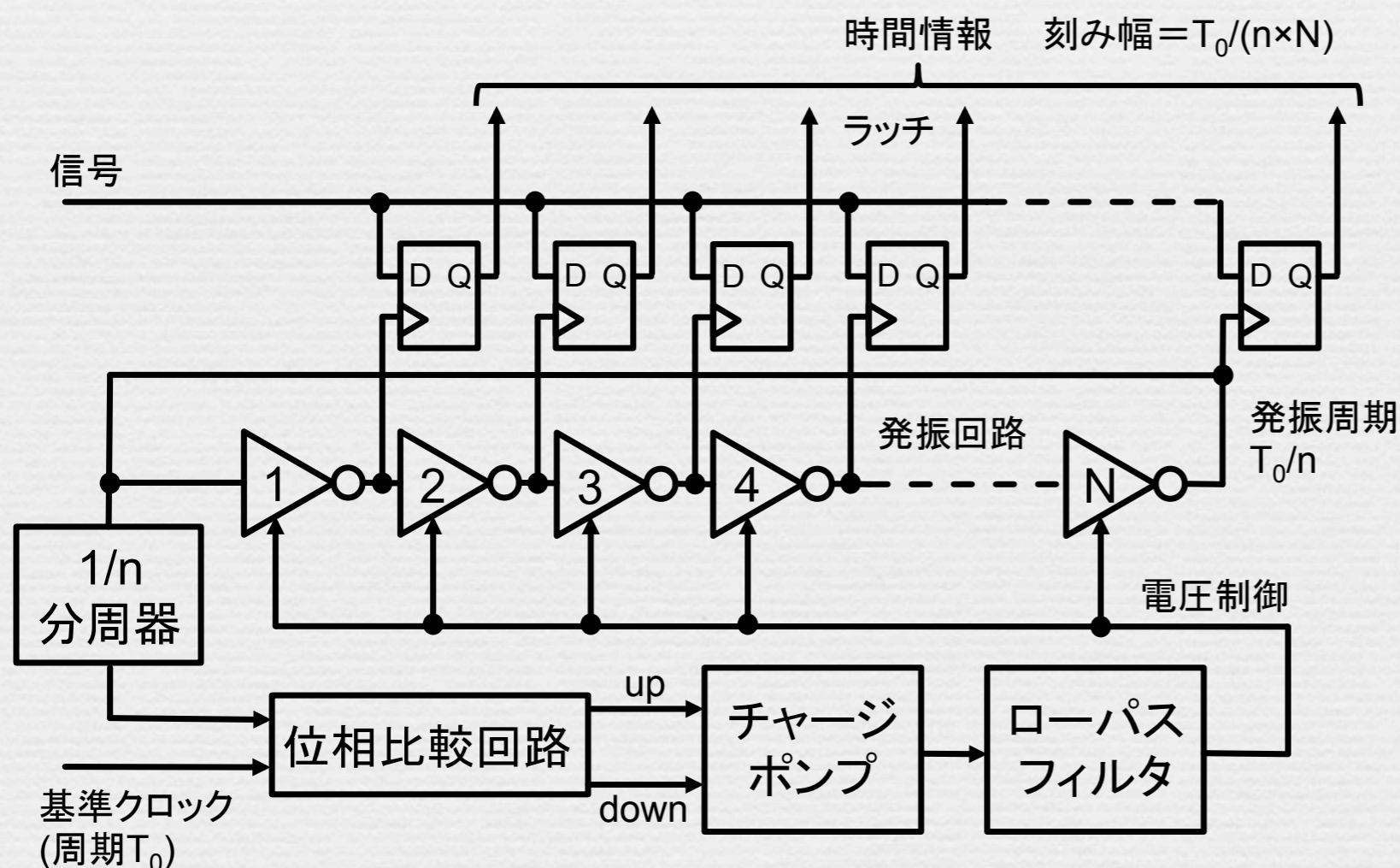
OpenIt 「ASIC TDC」

戸本誠、堀井泰之、臼井主紀、小野木宏太、佐野祐太、佐々木修、田中真伸、田内一弥

TSMC社 0.18 μm ($V_{\text{DD}}=1.8\text{V}$)プロセスを最適化

シンプルなPLL回路によるO(10)ps時間分解能のTDC

多チャンネル化、キャリブレーションが容易：汎用性に優れたTDCを目指す

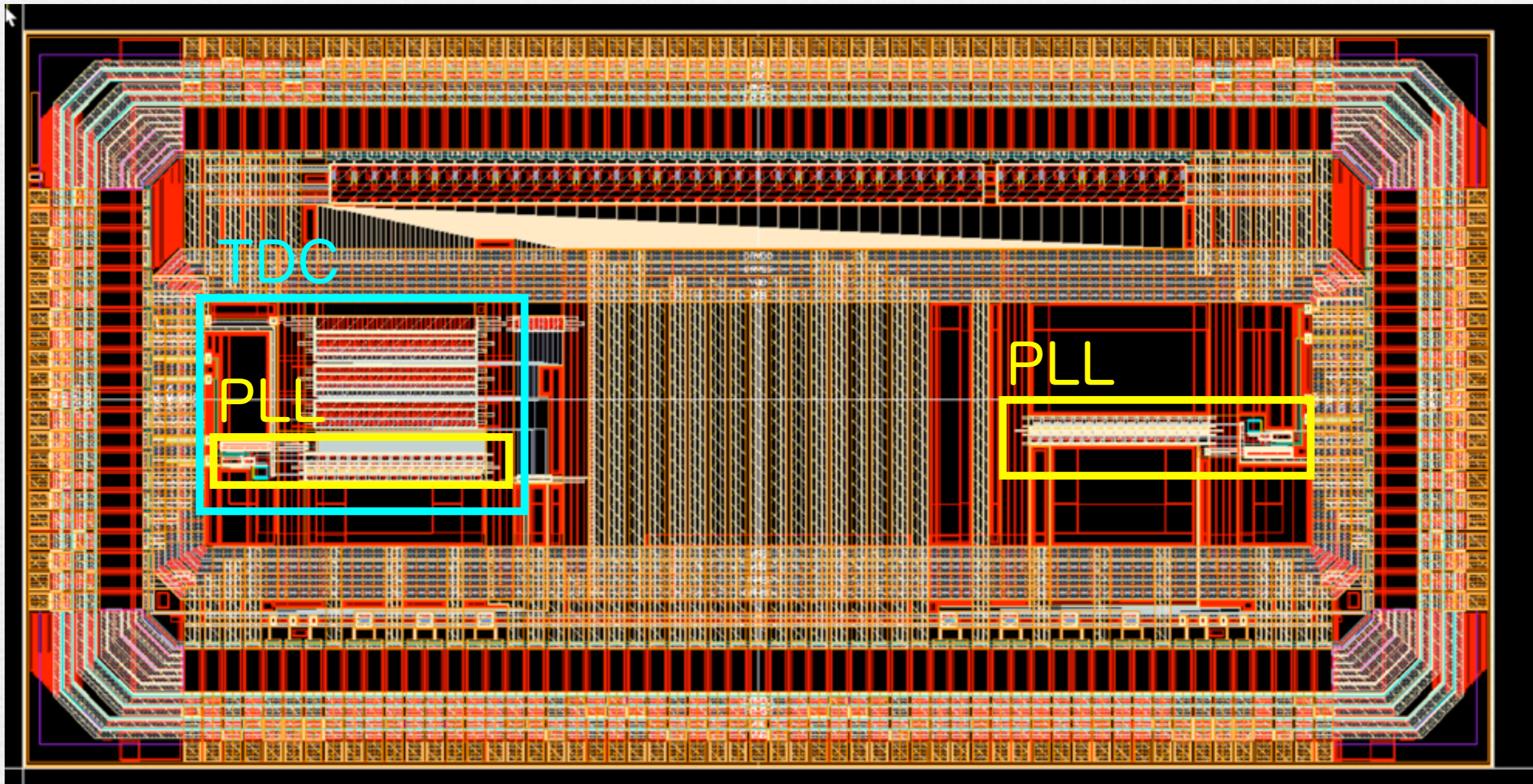


インバータ対当たり60psの遅延
TDCの刻み幅になる

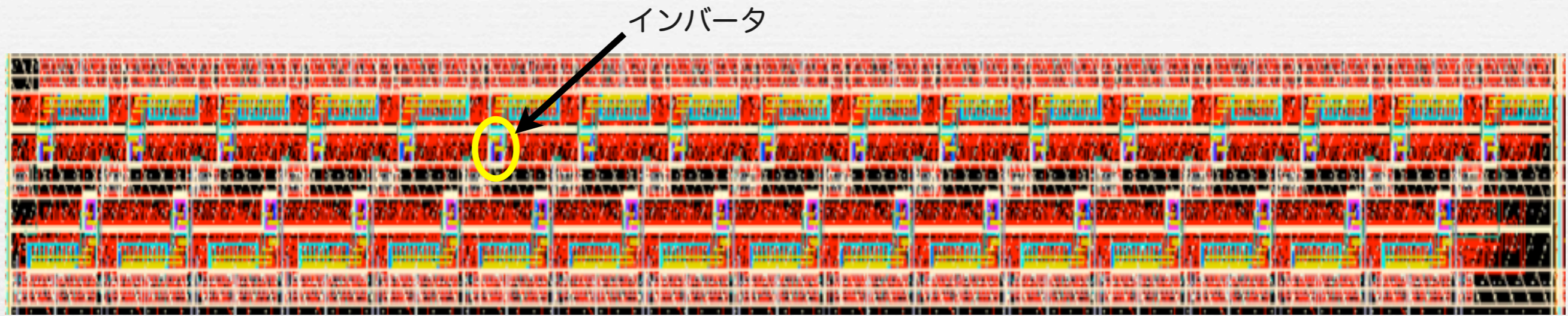
$N=33, n=32 \rightarrow$ 基準クロック15MHz位

PLL-TDC レイアウト

業者 (シリコンアーティストテクノロジー)によるレイアウト
チップ内にPLL回路とTDC回路(PLL回路含む)



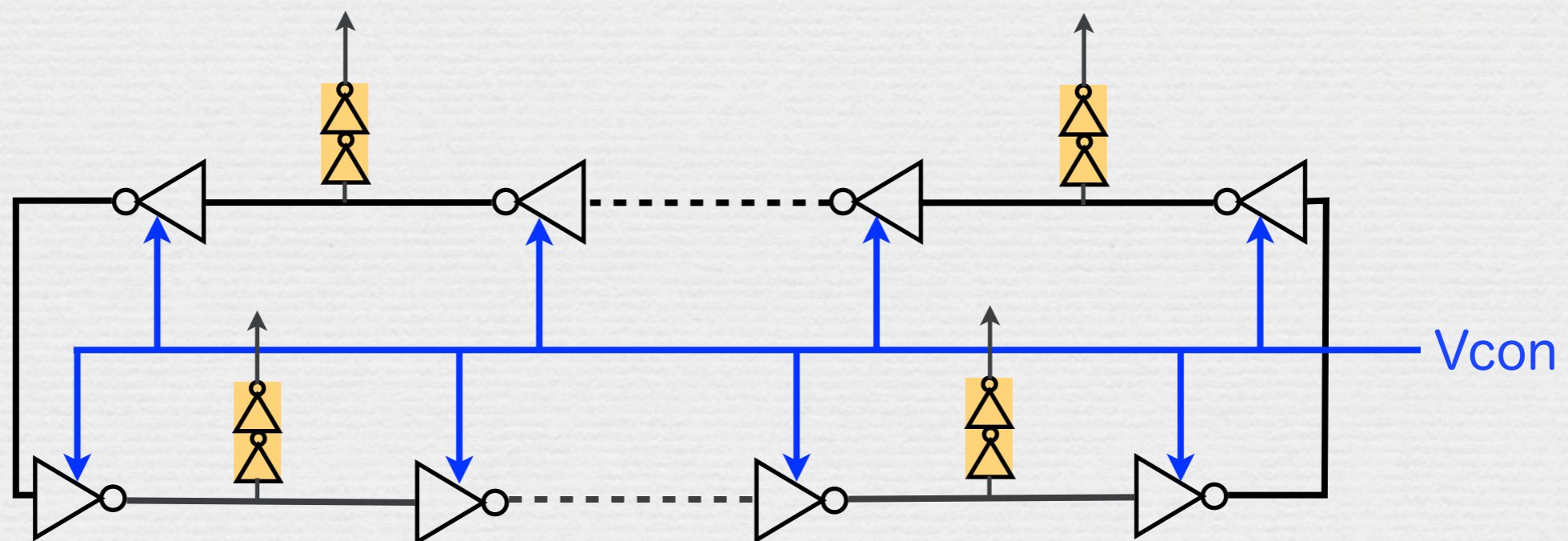
レイアウト上の注意



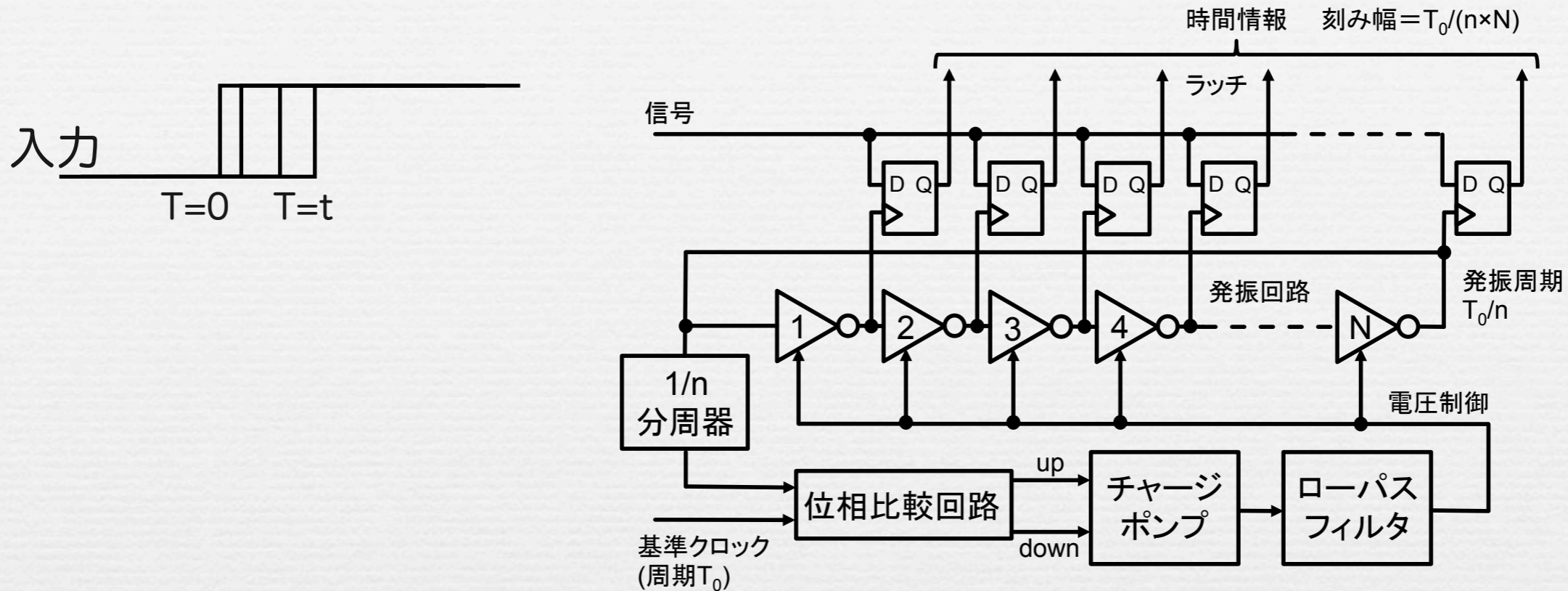
高分解能：インバーター間距離をできるだけ短く

線形性：等長配線

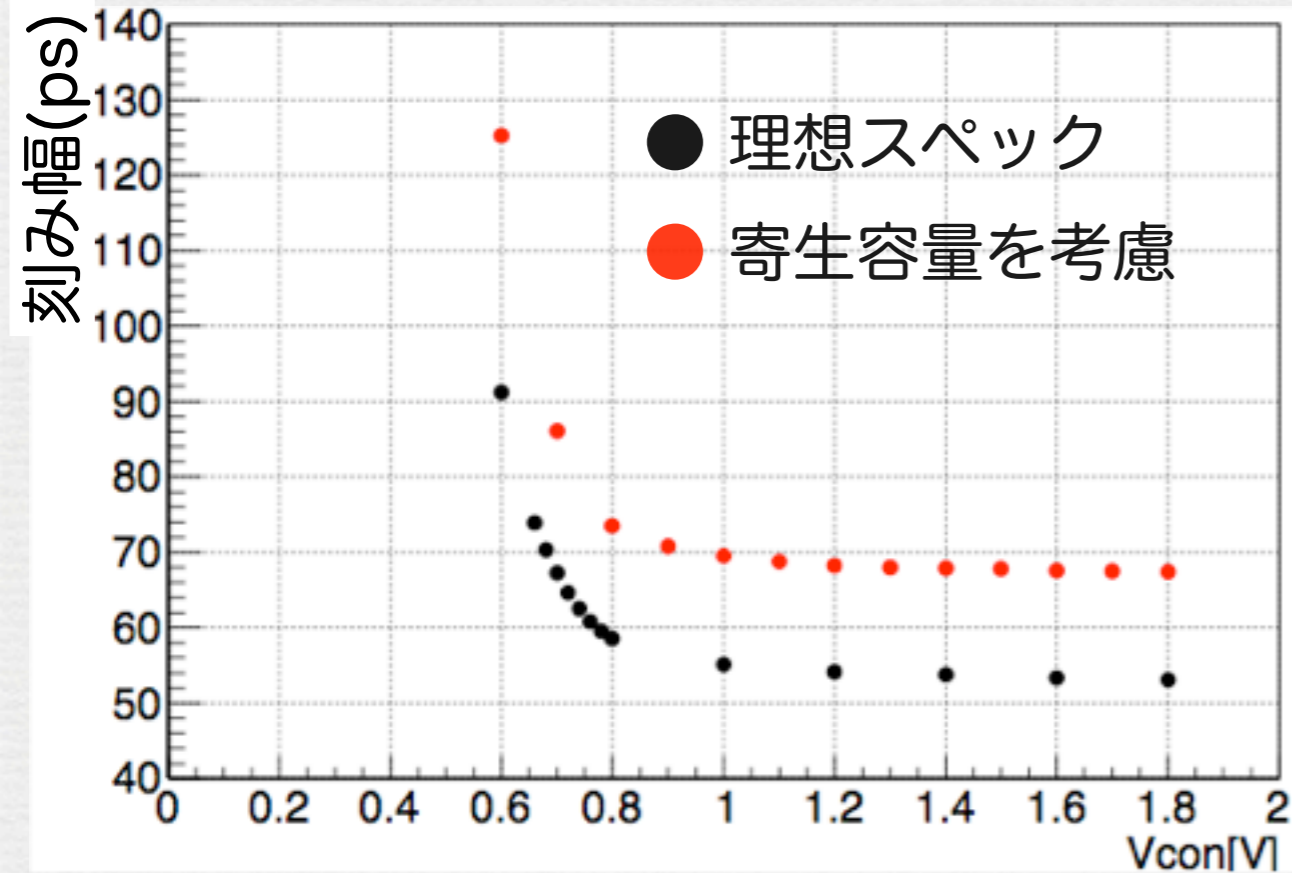
減衰対策：出力をすぐにドライブ



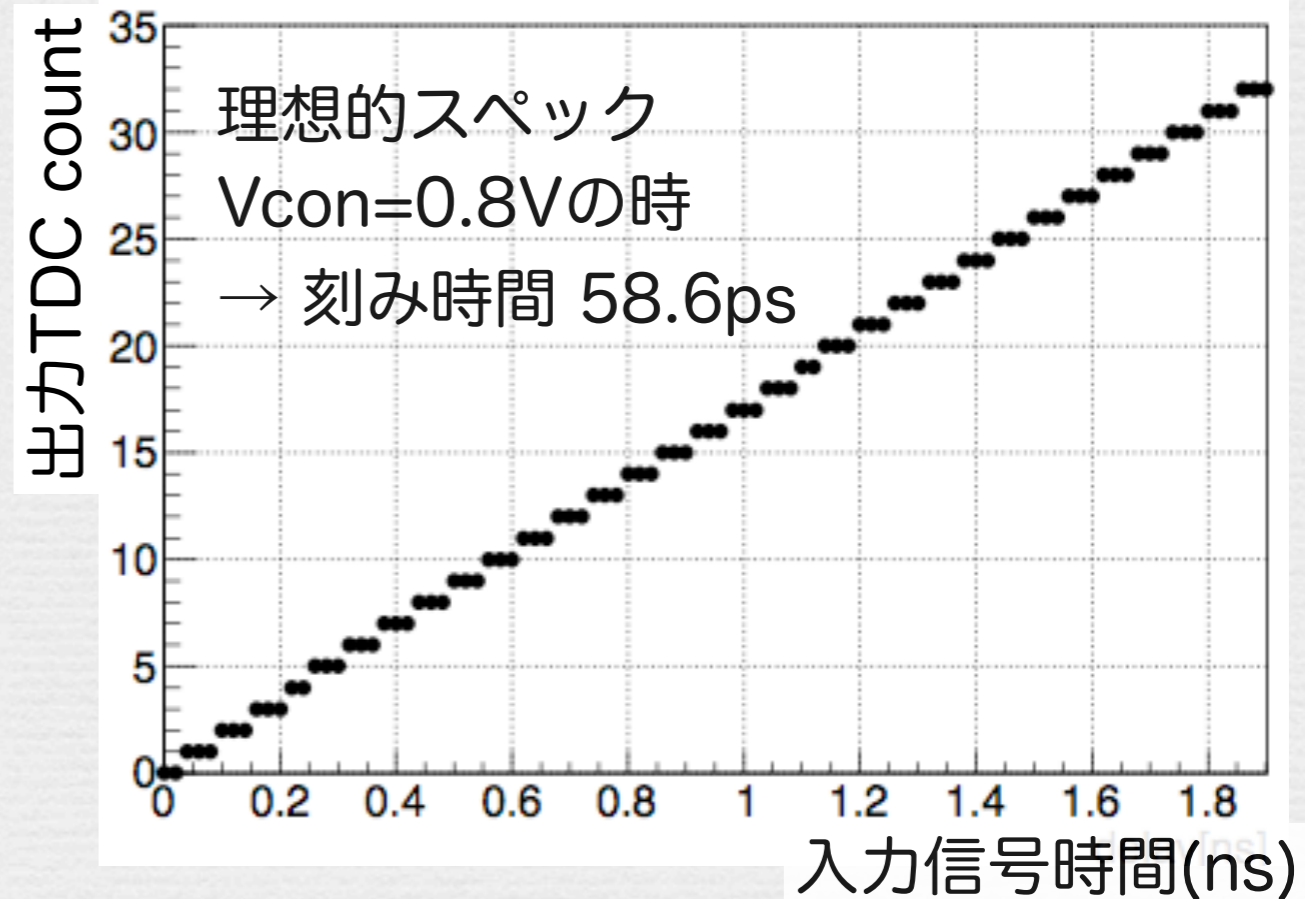
シミュレーション結果



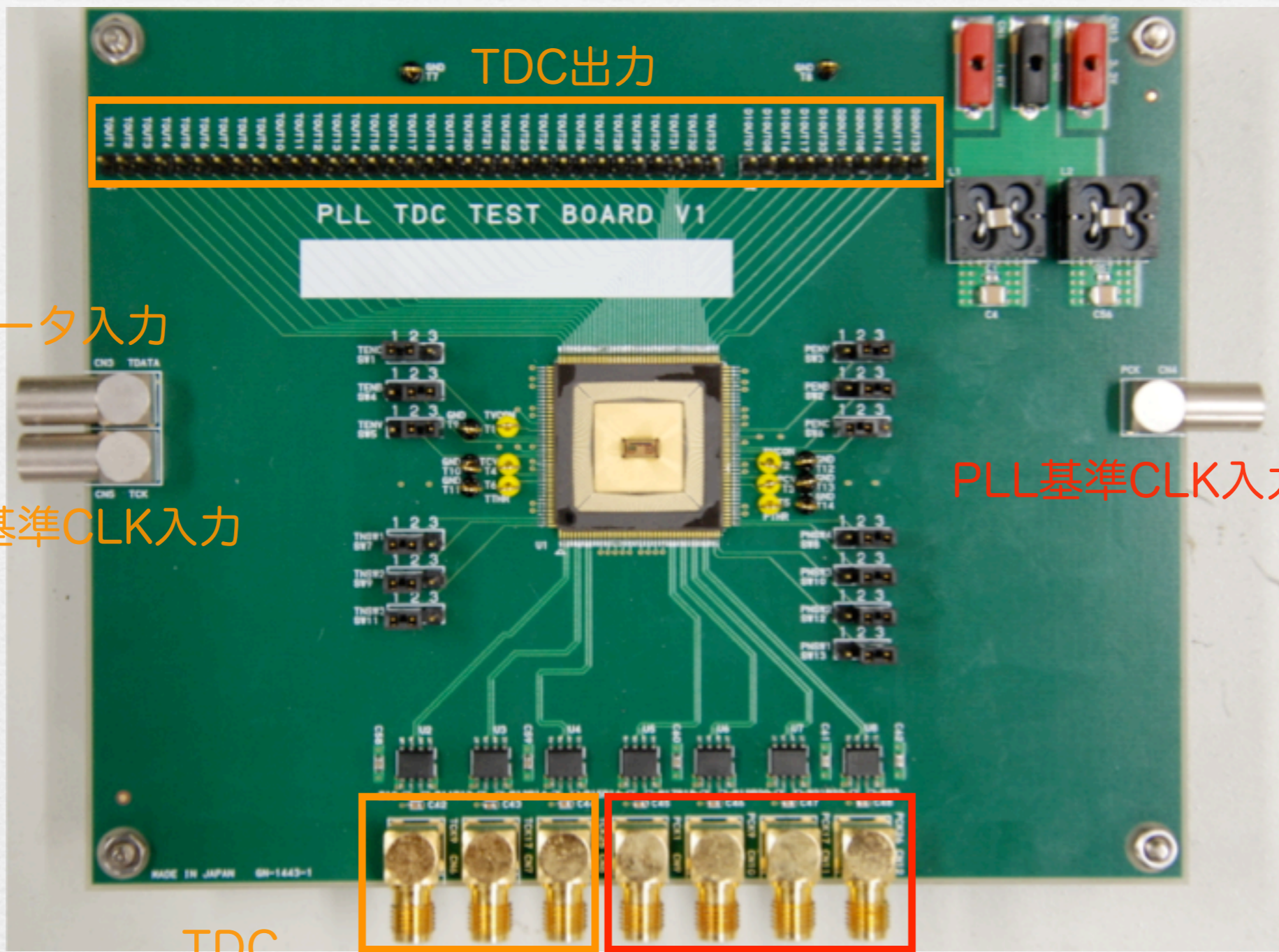
インバータペア当たりの遅延時間=TDC刻み幅



入力に対するTDC count



ASICテストボード



TDC出力

データ入力

TDC基準CLK入力

PLL基準CLK入力

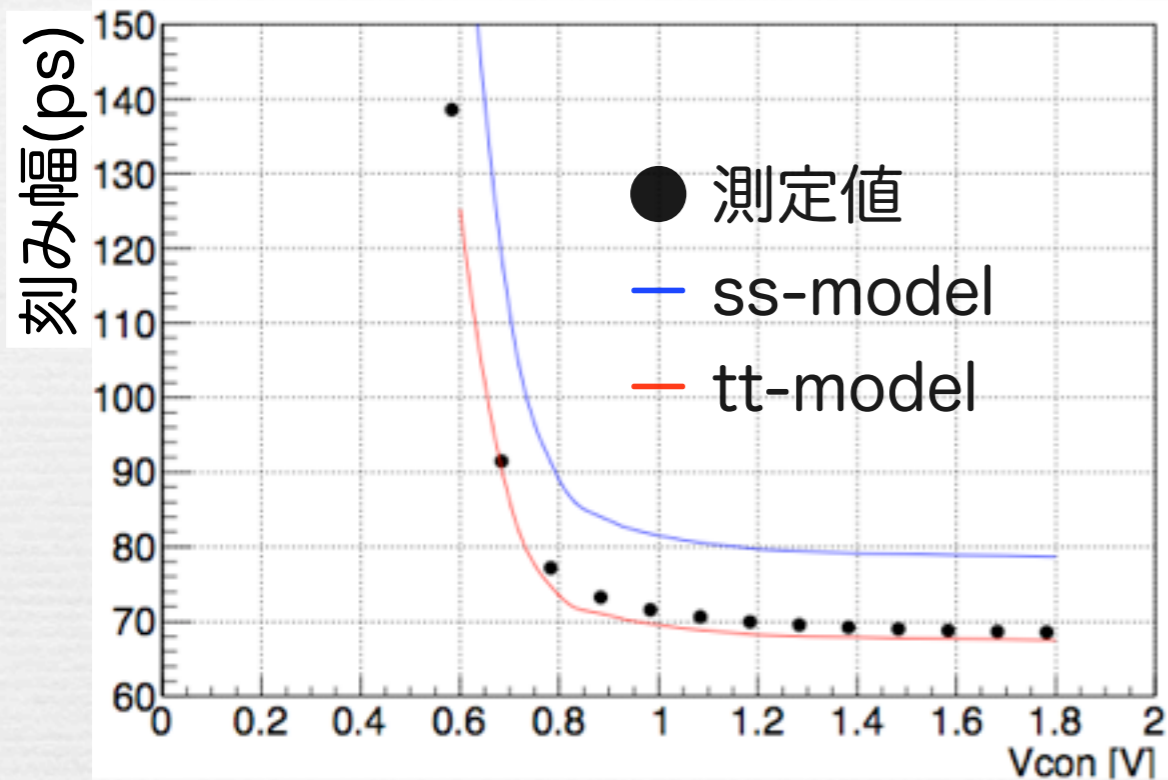
TDC

初段ラッチクロック

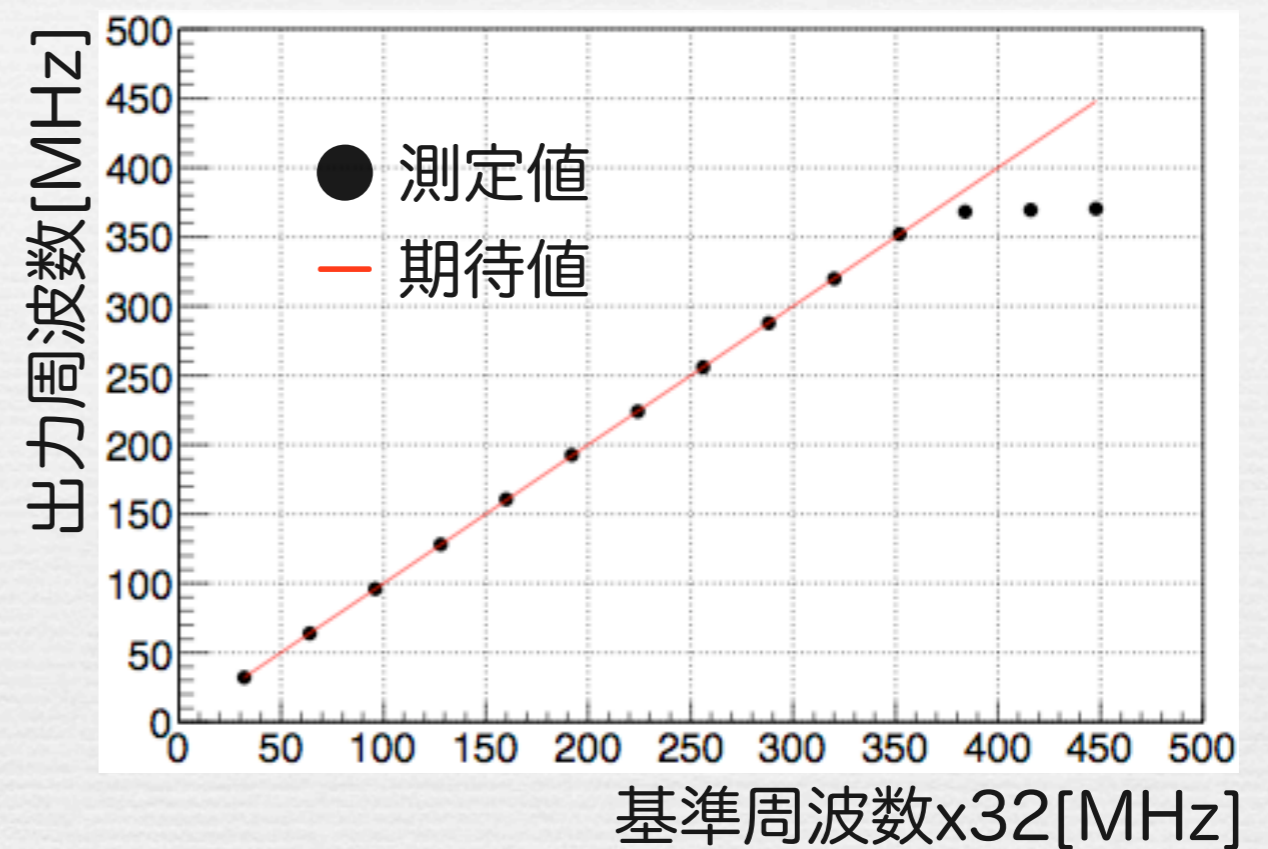
PLL出力

PLL部の評価(1)

インバータペア当たりの遅延時間とVcon



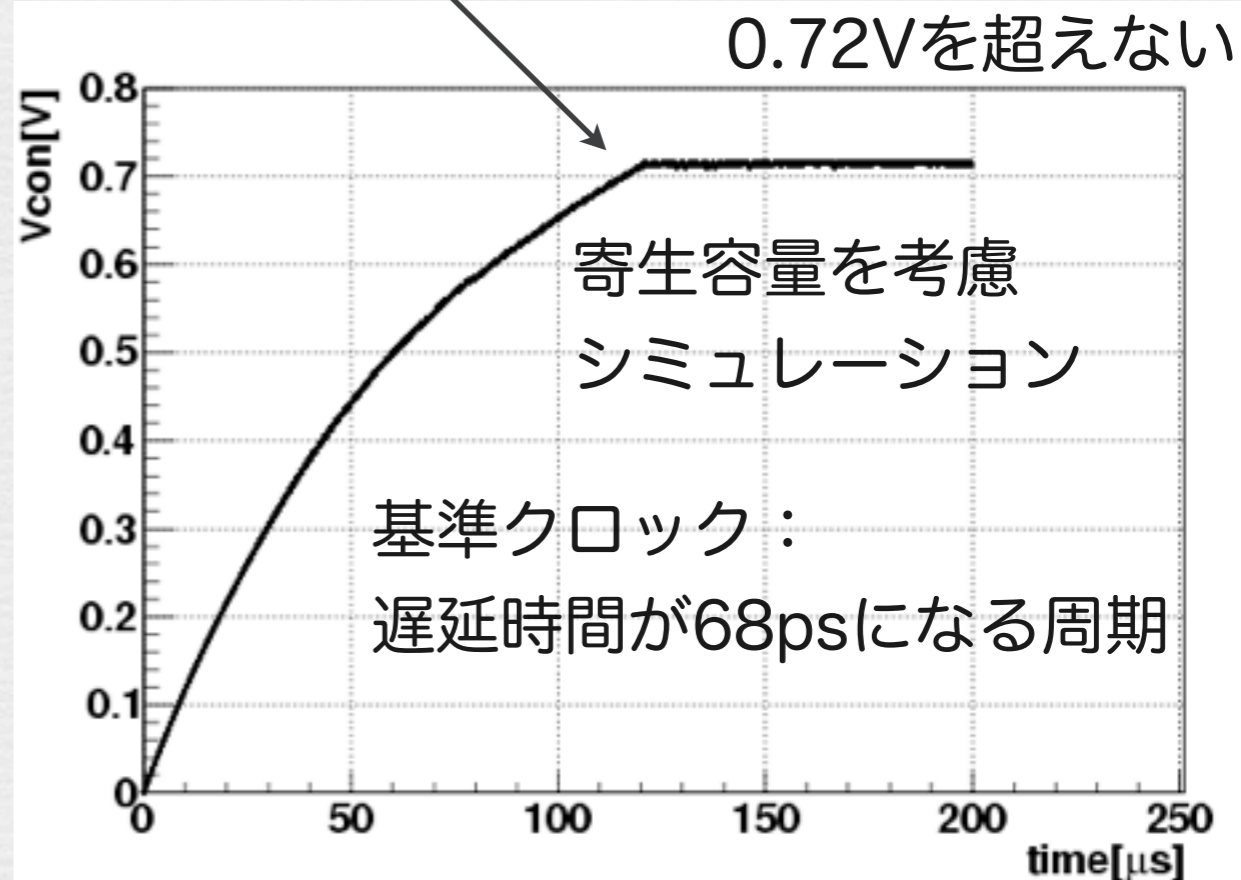
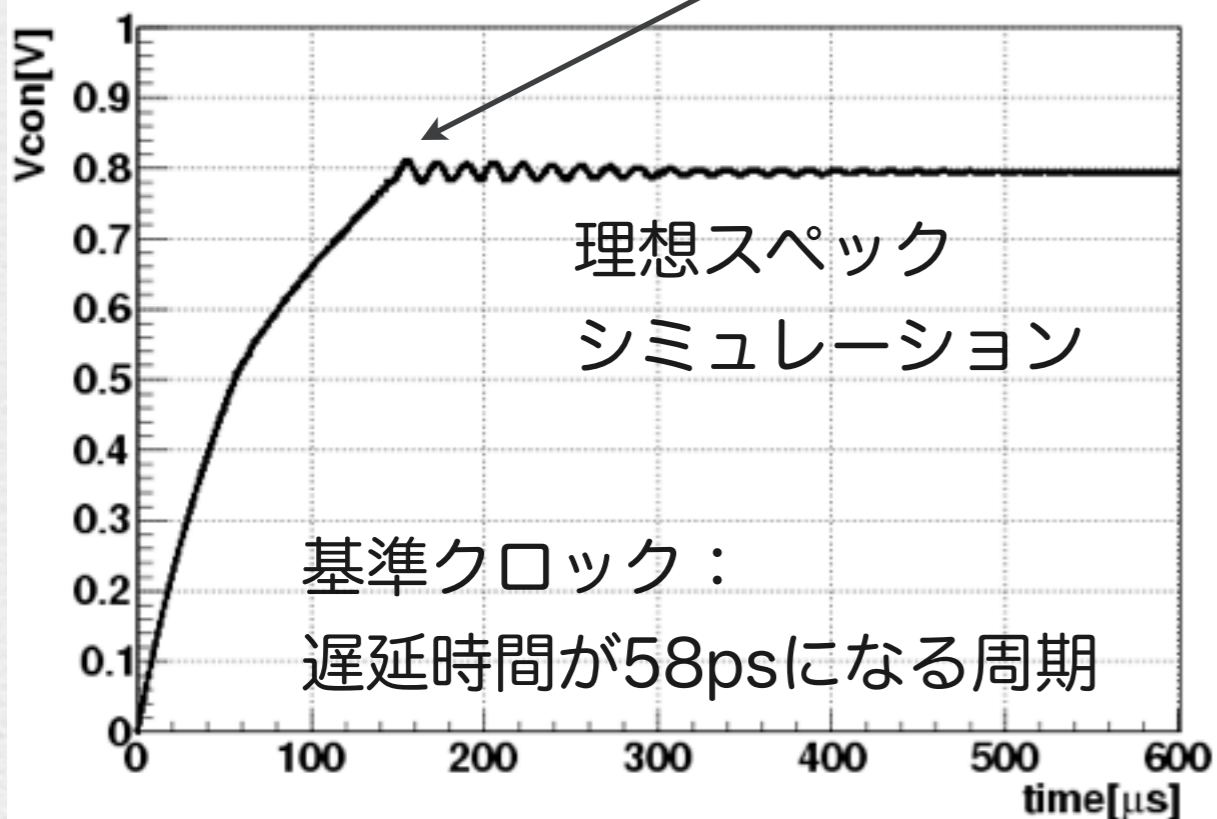
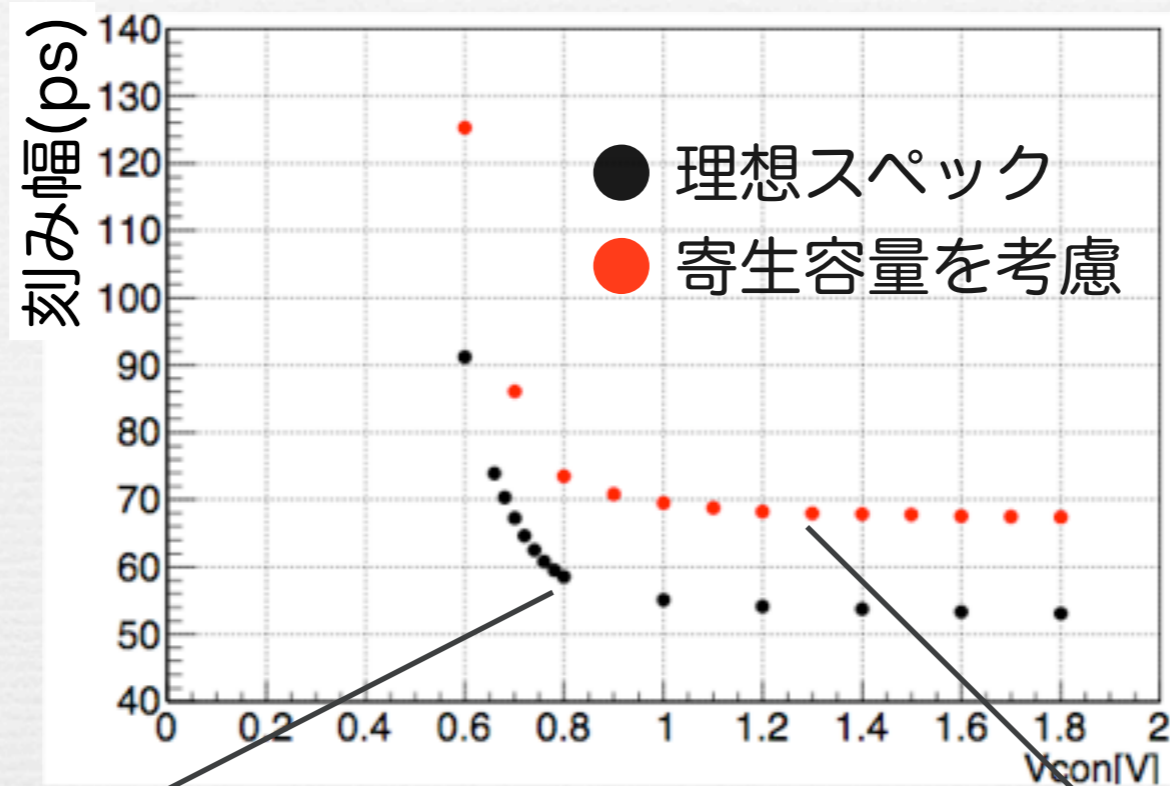
基準周波数(x32)と出力周波数



- 入力Vconに応じて、適切にPLL回路が発振
- 発振周期350MHzから頭打ち
 - Vconが0.75Vより高くない

PLL部の評価(2)

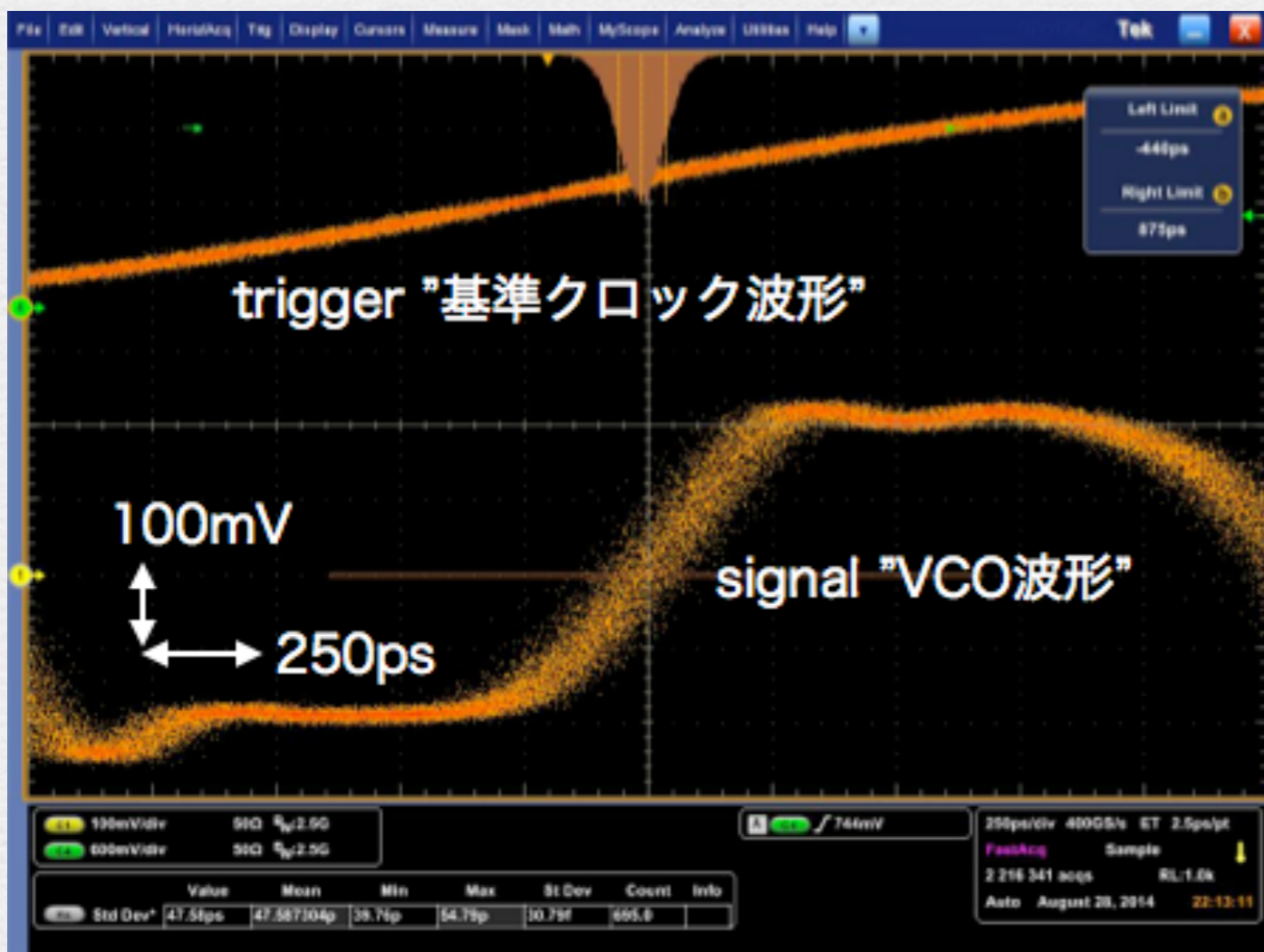
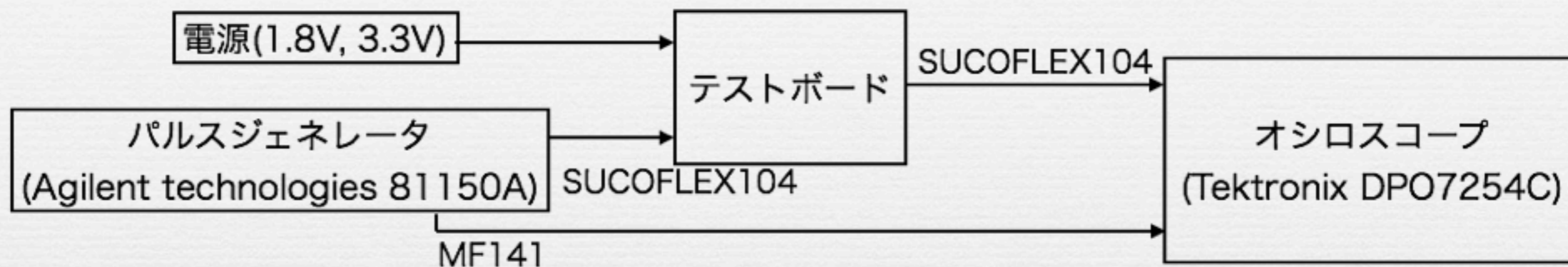
インバータペア当たりの遅延時間=TDCの刻み幅



PLL部の評価(3)

基準クロックとあるPLL出力との差

(セットアップ)



σ 測定値 = 43ps

σ 測定系 = 35ps

σ テストボード = 25ps

TDC部の評価

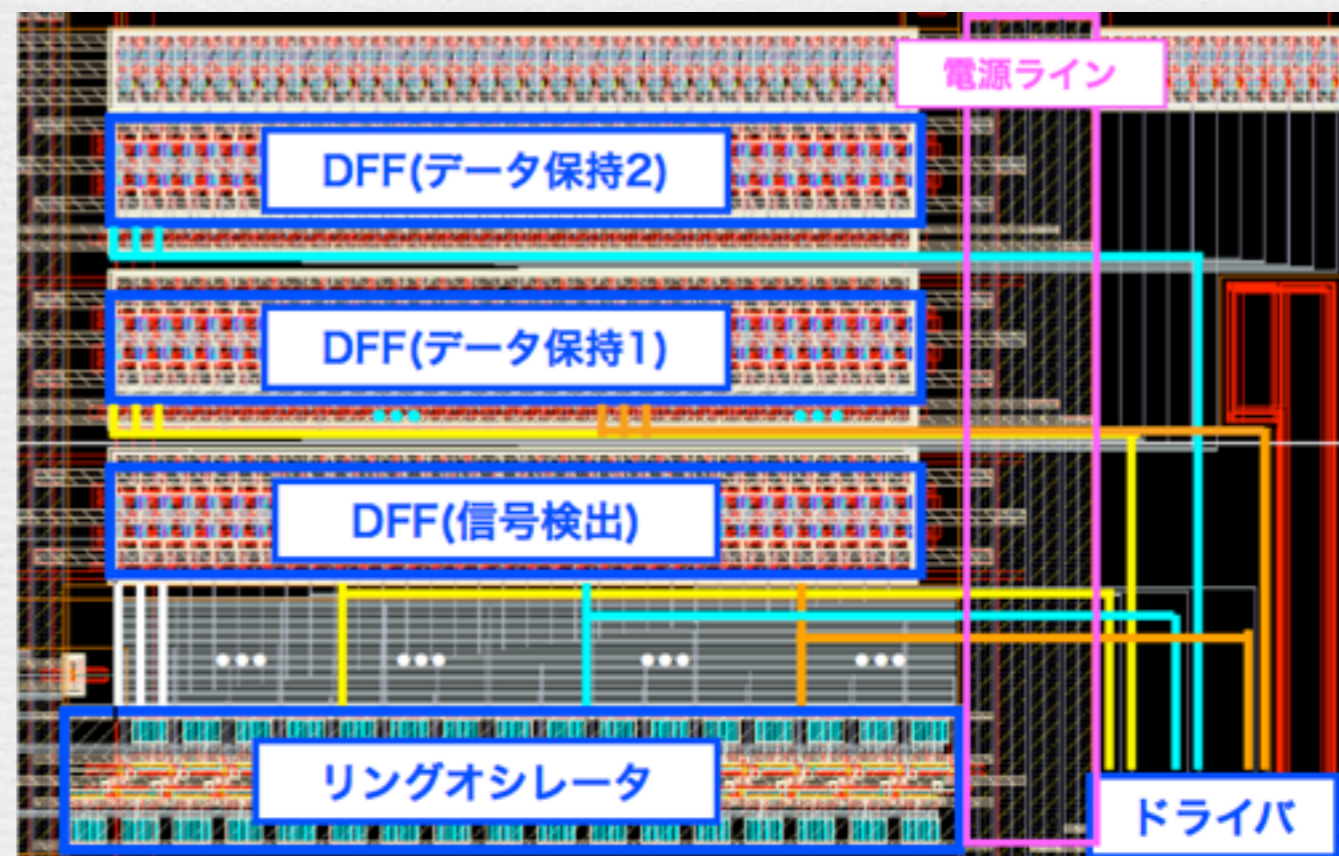
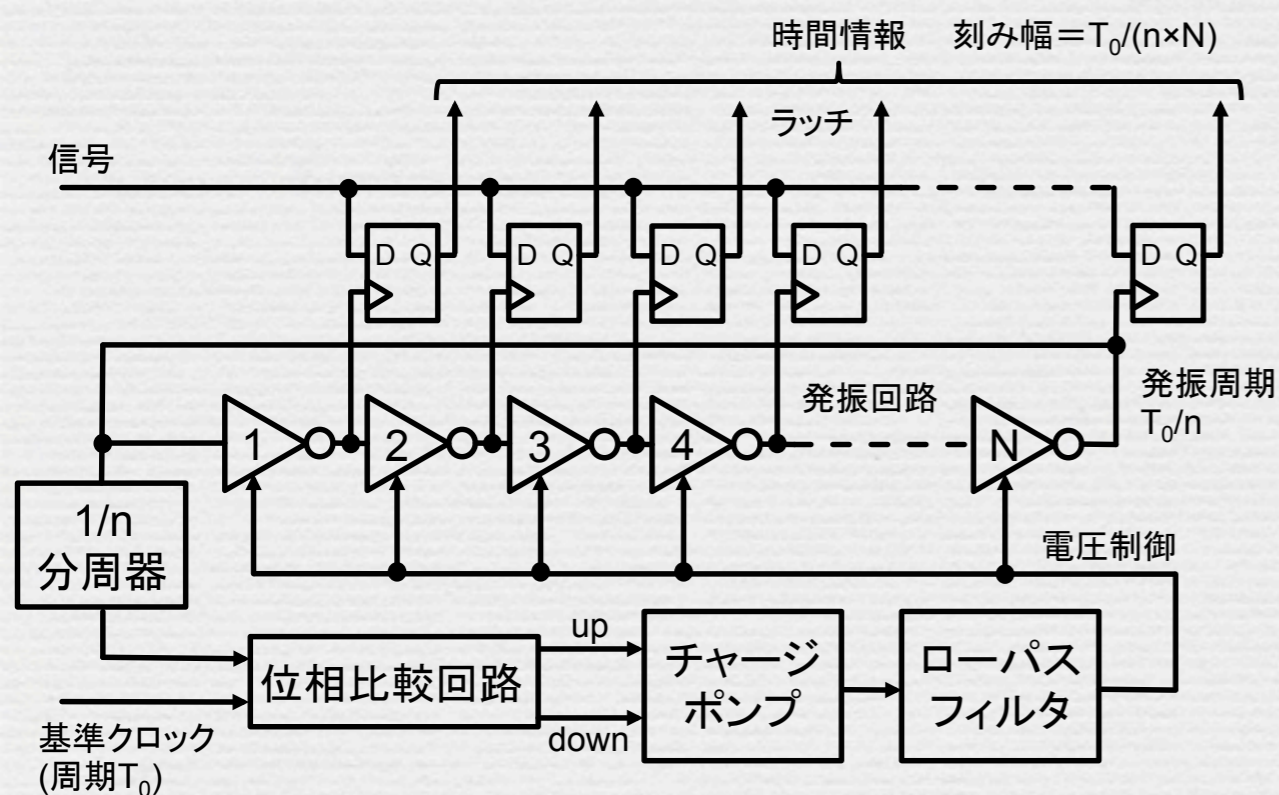
信号をラッチした後に、33bitのデータ保持用DFFが2段

→2段のDFF後の出力が出てない

Fanoutに失敗か？

→リニアリティの測定は難しい

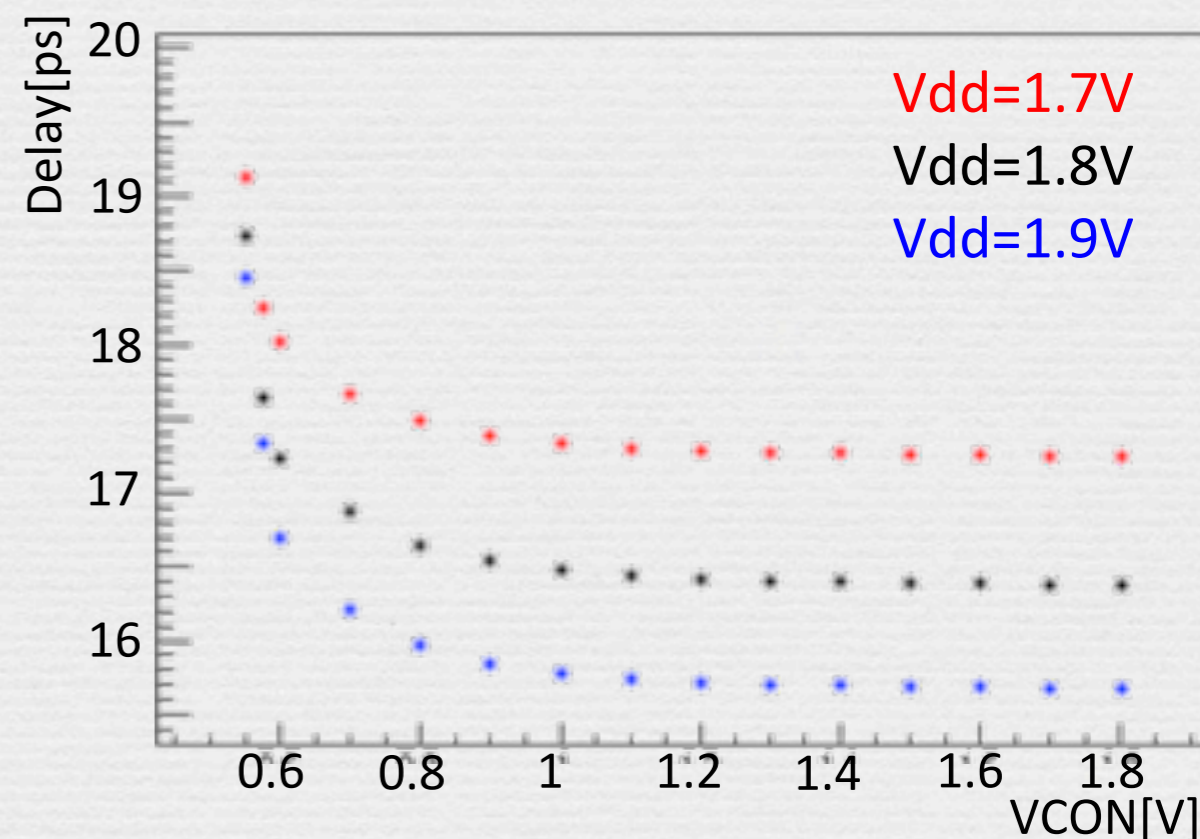
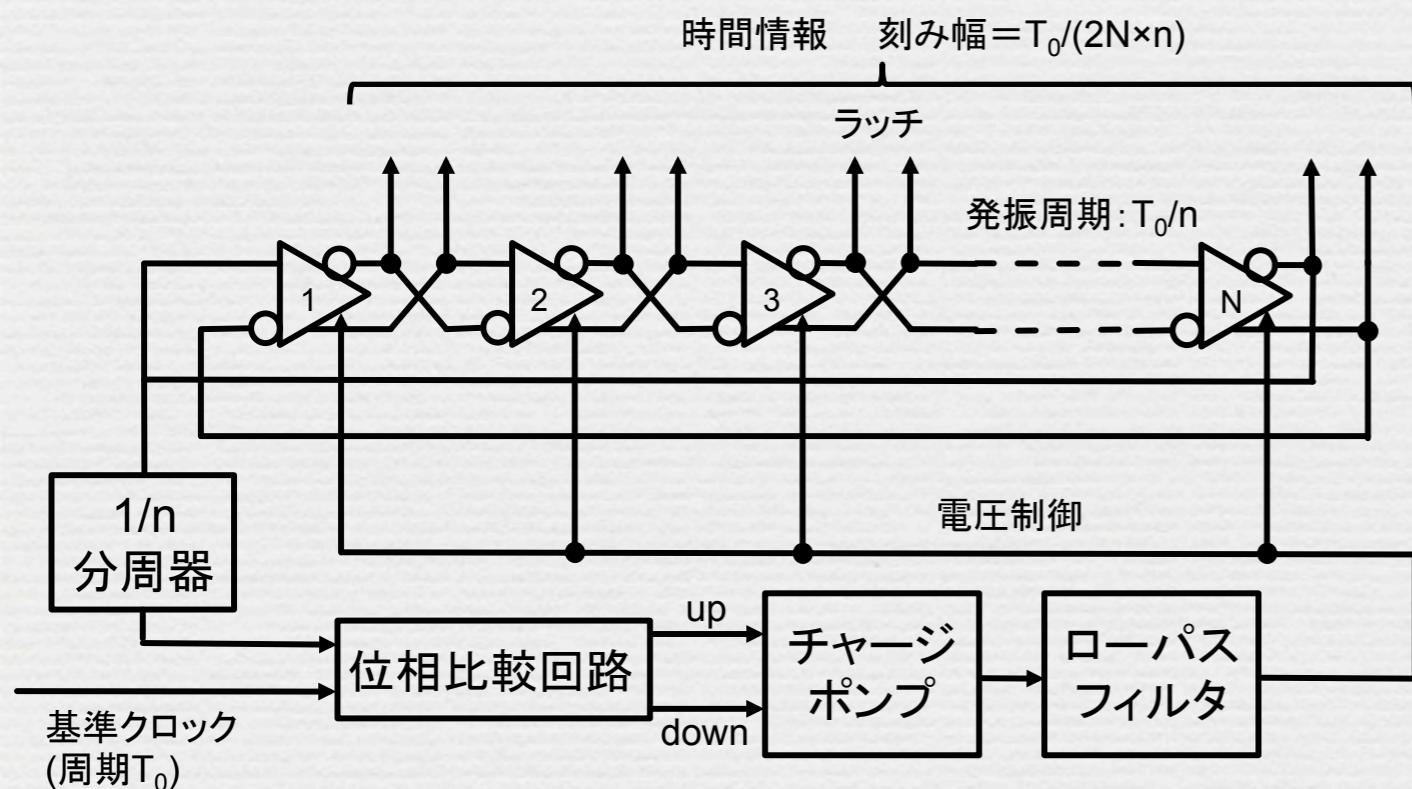
分解能の測定などを進めている



PLL-TDC回路の今後の展望

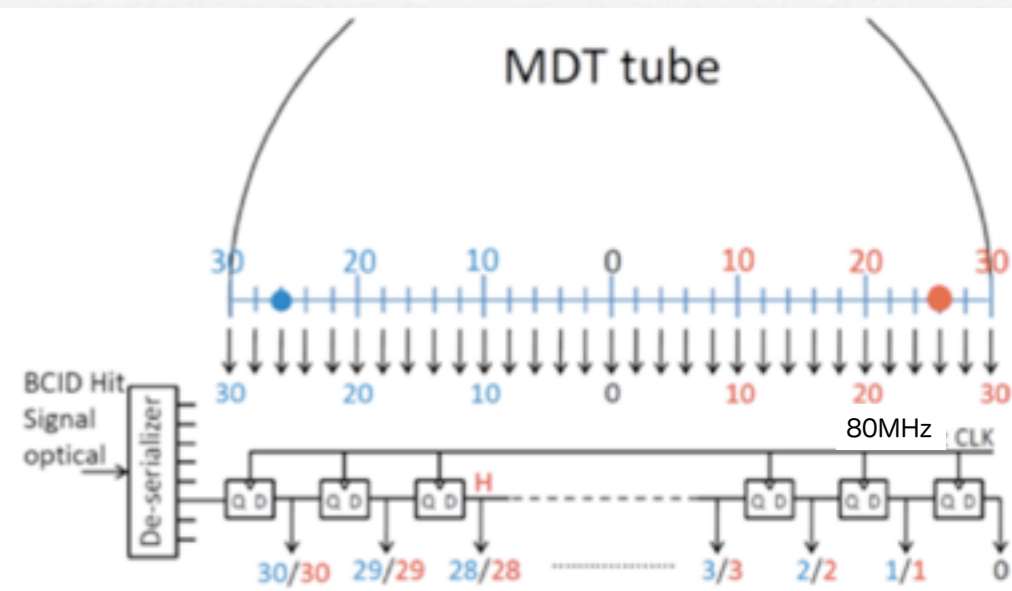
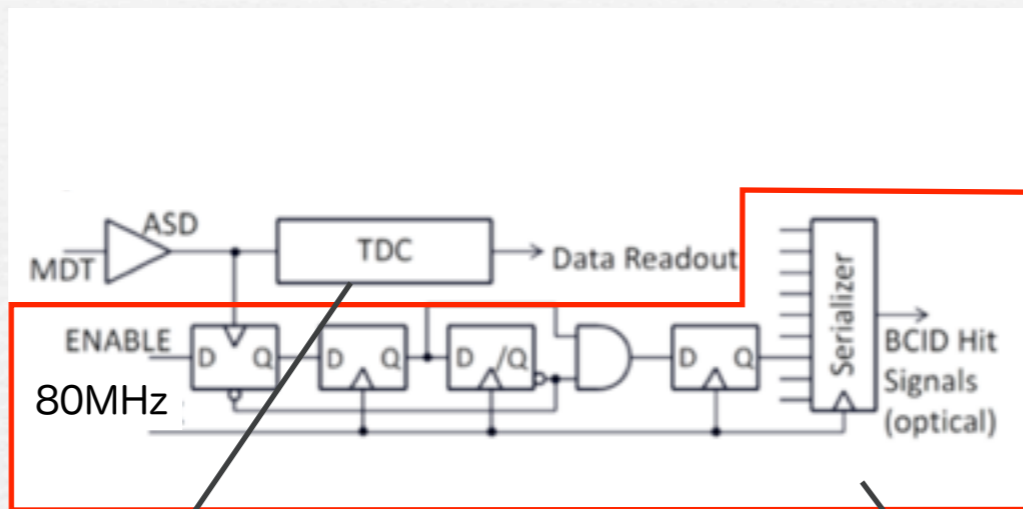
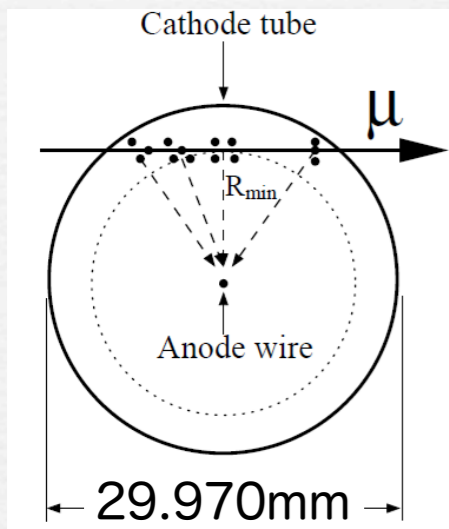
差動PLL回路でTDCを構成

- 刻み幅 = インバータペア数ではなく、インバータ数
- 電流のスイッチングがなく、より速い動作が期待できる
- 偶数個のインバータで構成可能 → 8/16/32...bit構成
- ノイズに強い
- レイアウトは難しい？



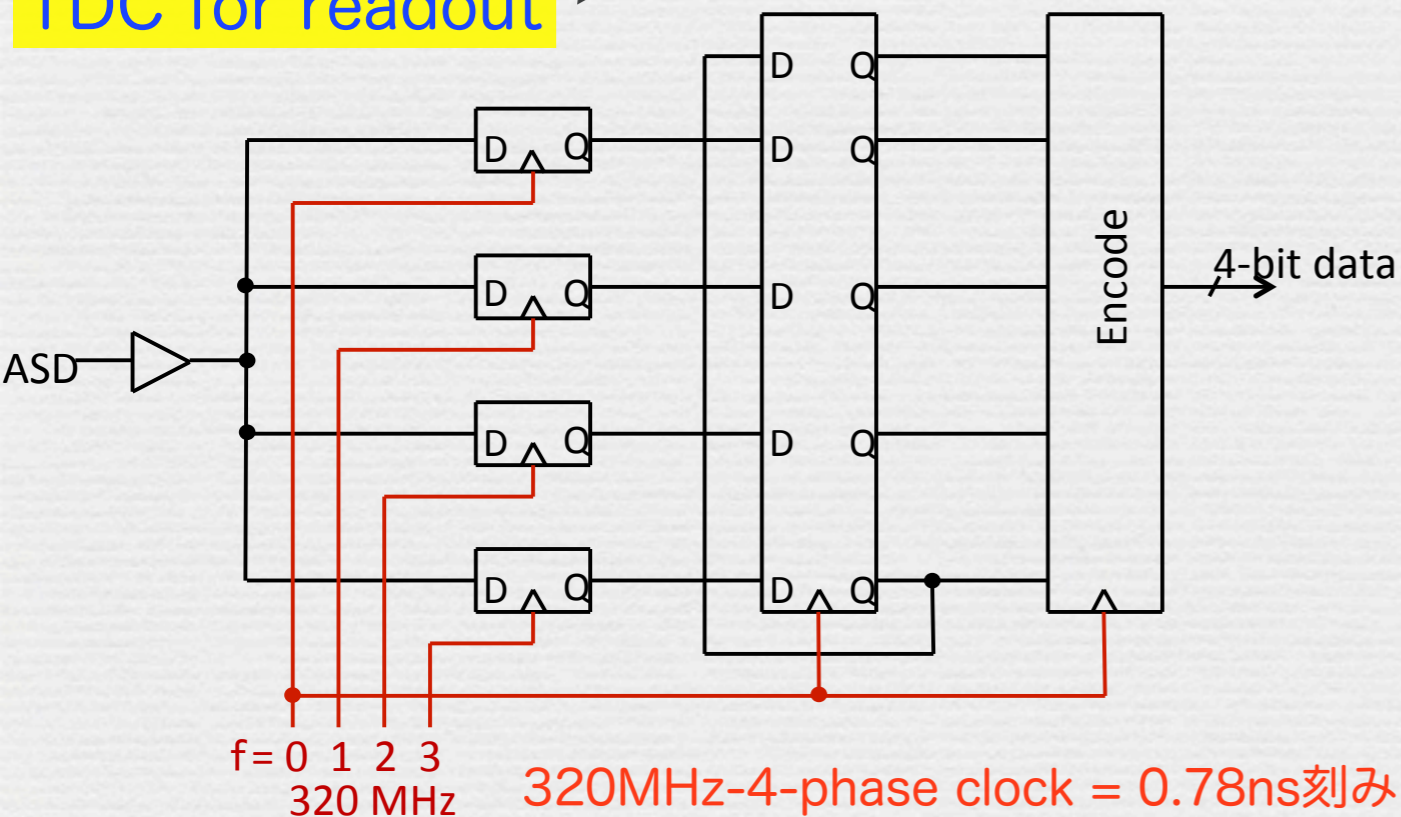
理想的シミュレーションでは期待できそう！

MDT-TDC回路の開発

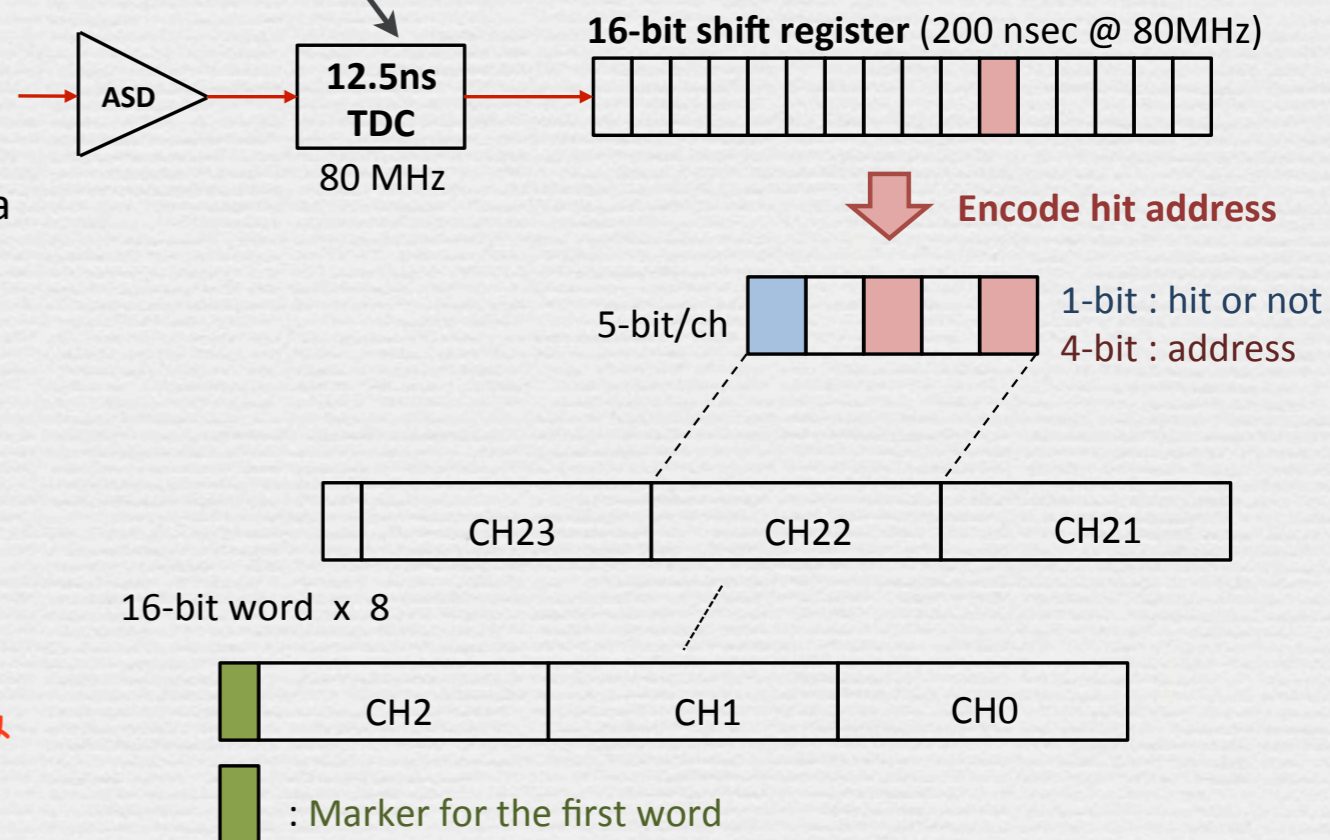


Gas : Ar/CO₂ (93/7), 3 bar
HV : 3080V
Drift velocity : 20.7 μm/ns

TDC for readout



TDC for trigger



Belle2-CDC用TDC回路を参考に
(Virtex-5, 250MHz-4 phase clock = 1ns刻み幅)

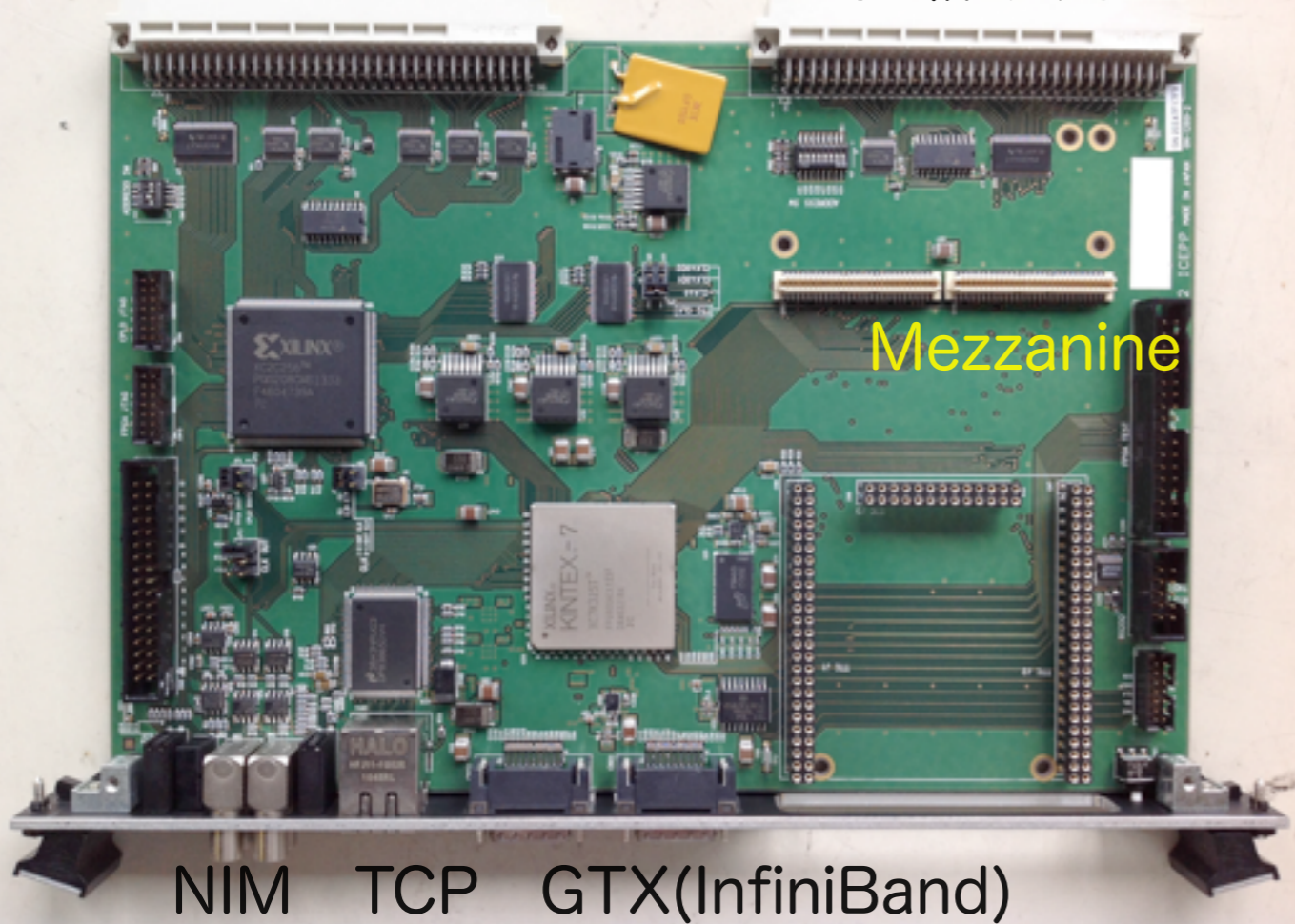
開発状況

OpenIt 「アトラス実験MDT μ 粒子検出器トリガー用TDC」

戸本誠、堀井泰之、佐野祐太、佐々木修、内田智久、池野正弘

PT7-汎用VMEマザーボード (坂本氏他) に2種類のTDC回路

Kintex-7 FPGA搭載 汎用ボード



NIMin \rightarrow FPGA \rightarrow GTX

Mezzanine \rightarrow FPGA \rightarrow GTX
8ch NIMin(?)

将来的には、放射線耐性のある

FPGA (Microsemi? Flash-based)搭載のモジュールを検討

まとめ

HL-LHC実験用の μ 粒子トリガー回路の開発を行っている

- TGC用Variable Delay回路

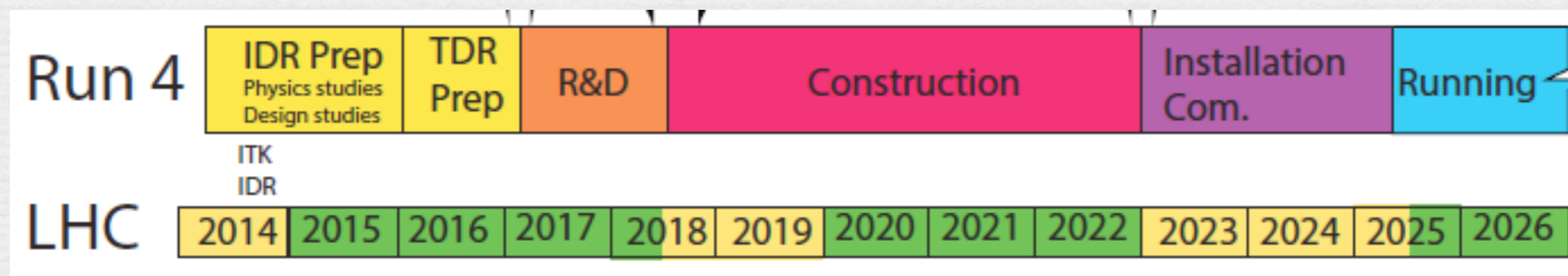
→ $O(10)$ psの分解能の汎用的PLL-TDCの開発へと展開

- MDT用TDC回路

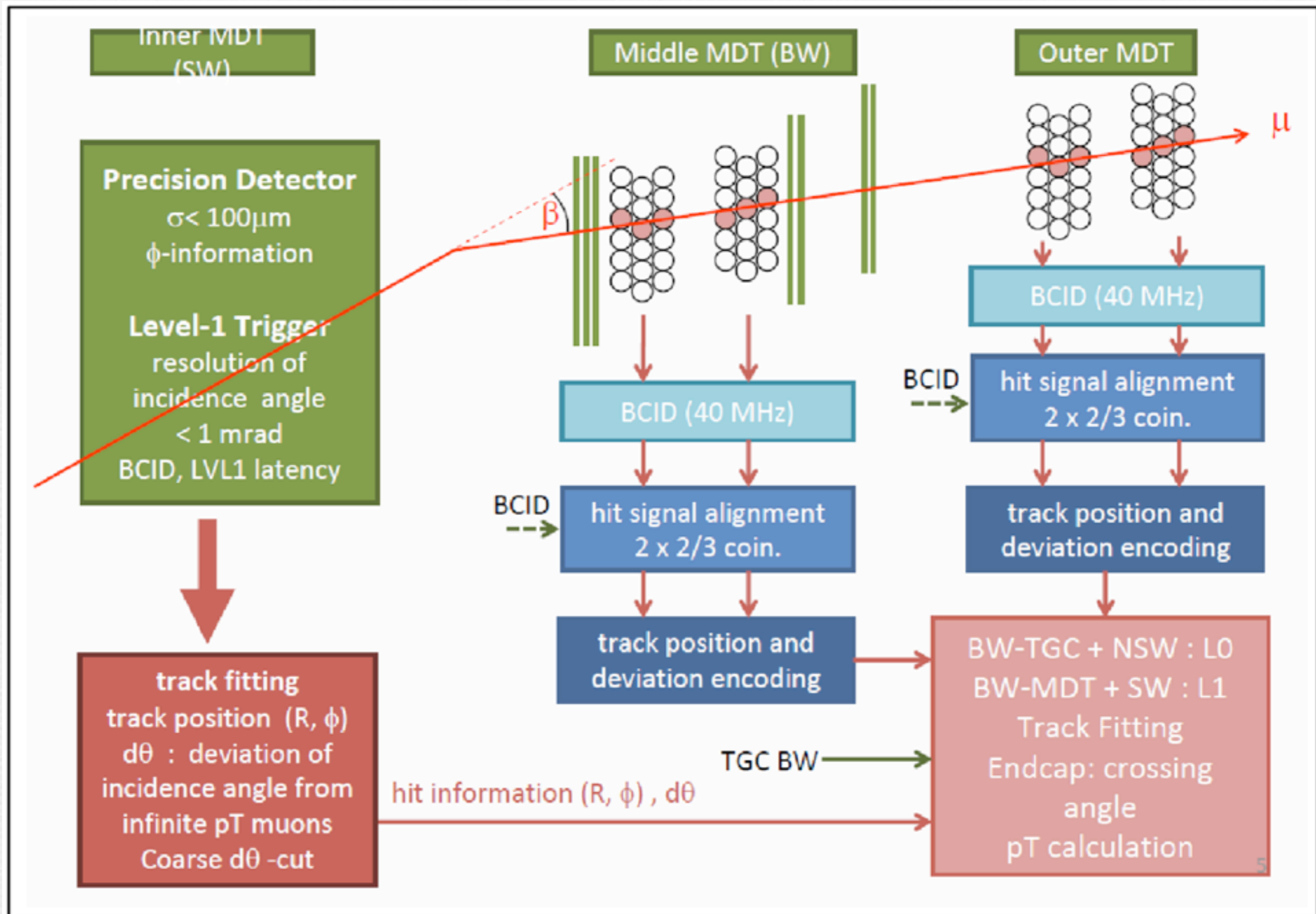
→ OpenItからの技術をHL-LHCに応用する

→ 放射線耐性に優れたFPGAによるTDC回路の開発へ

ATLAS日本グループが μ 粒子トリガーのアップグレード計画を主導するために、OpenItなどとの連携が不可欠！



バックアップ



Phase-2 Trigger Scheme

$6\ \mu s$
1 MHz

$30\ \mu s$
300~400 kHz

Front End

Level-0

Level-1

Muon

Muon Trigger

● TGC Trigger
● MDT Trigger

Central Trigger

Tracker

LOA

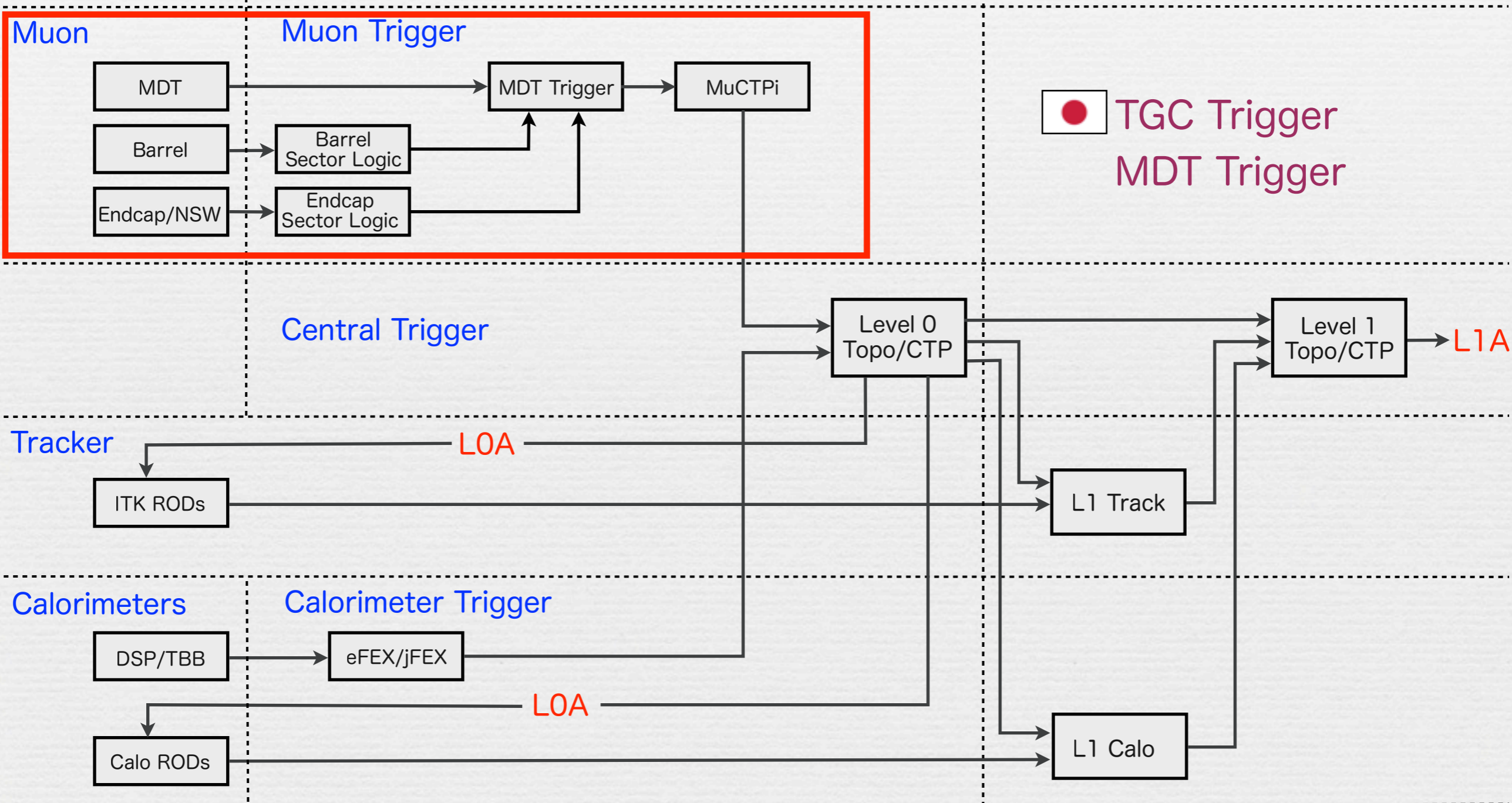
Calorimeters

Calorimeter Trigger

LOA

L1A

Based on ATLAS Phase-II Upgrade LOI (CERN-2012-022, LHCC-I-023)
Muon Trigger part is modified.



Proposed Muon Trigger scheme

