

# 次期汎用MPPC読み出し回路 の開発の現状について

KEK IPNS E-sys, 東北大理<sup>A</sup>, 京大理<sup>B</sup>, 阪大RCNP<sup>C</sup>, 東大宇宙線研<sup>D</sup>

本多良太郎, 有元隼太<sup>B</sup>, 池野正弘<sup>C</sup>, 木河達也<sup>B</sup>, 坂尾 珠和<sup>A</sup>,  
庄子正剛, 野口陽平<sup>D</sup>, 濱田英太郎, 宮原正也, 三輪浩司<sup>A</sup>

- MPPC読み出しを取り巻く状況・現行ASICの問題点
- 新ASIC開発
- 性能評価（インジェクター）
- 性能評価（MPPC）
- 次期評価基板, RAYRAWの開発
- まとめ

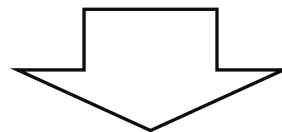
## 素核実験におけるMPPC読み出しの範囲は広い

- タイミングカウンタ、トラックー…
- 小型である事を活かして高集積な検出器を構成  
多チャンネル化が避けられずASICが読み出しの鍵

## 国外製のASICに頼るのが現状

- AFTER (Saclay)
- Trip-t (Fermi)
- SPIROC, EASIROC, CITIROC (OMEGA)
- Volume (KEK E-sys)

MPPC黎明期に実用化された  
Trip-tとEASIROCはEOL



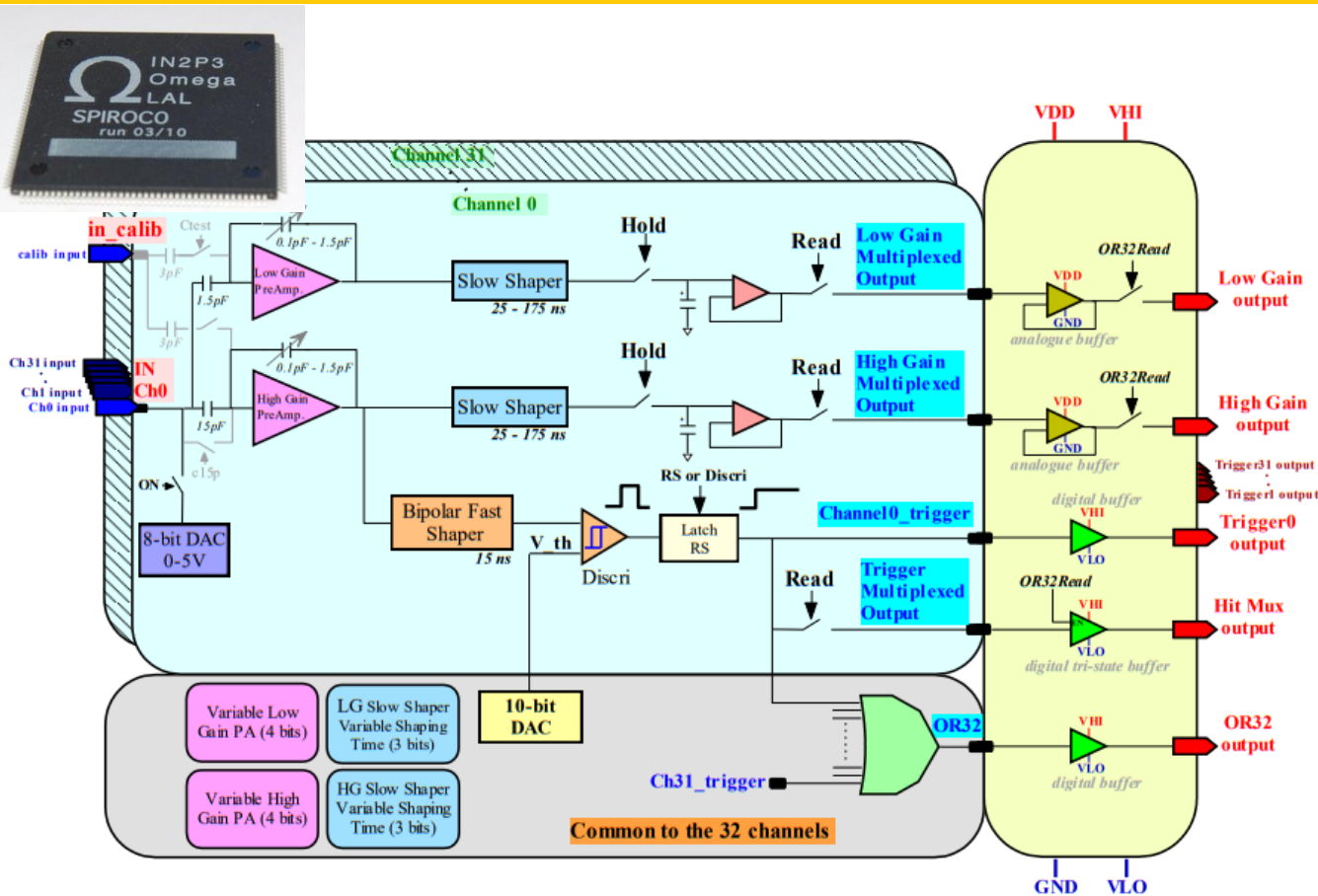
## 計測システム研究会2020の講演をきっかけに 機能面を見直した国産のASIC開発プロジェクトが始動

- J-PARC素核実験 (T2K, 原子核ハドロン、COMET), MLF ( $\mu$ SR), 理研RIBF, RCNP

木河達也, “T2K前置検出器における MPPC読み出し  
エレクトロニクス,” 計測システム研究会2020@J-PARC

## これまでの動き

- KEK E-sysがASICを開発 (KEK E-sys 宮原)
- 実験グループによる評価 (KEK、東北大、京大)
- 次期試作読み出し回路の設計 (KEK, 東北大, RCNP)



## EASIROCの例

- Double gainによる広いダイナミックレンジ
  - 0.16-320 pC
- MPPCの印加電圧調整機能 (DAC)
- 半独立の電荷測定系と時間測定系
  - アナログはマルチプレクス (外部ADC)
  - コンパレータ出力が個別に出るのが特徴的

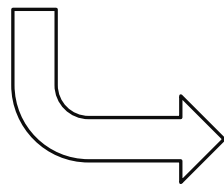
これまでのJ-PARC原子核ハドロン実験を支えたことは間違いない

## 問題点

- 許容トリガーレイテンシが非常に短い (~200 ns)
- ピークホールド型の電荷測定のためパイルアップによる信号ロスが無視できない
- 高レート入力に対する耐性が低い
  - 高効率ではアナログ部が全く動作しなくなる

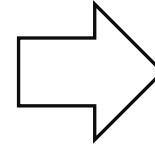
色々なモジュールへ利用

- TCP-EASIROC
- VME-EASIROC
- NIM-EASIROC



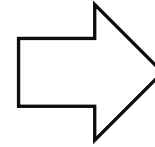
我々はただのユーザーであるため  
これら問題を改善してもらう事は出来なかった

既存ASICのよいところは踏襲する  
コンパレータ出力が個別に出るのは外部TDCやトリガー  
を組むうえで利用価値があった



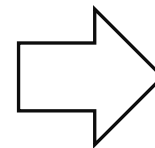
コンパレータ出力を  
個別に出力する

許容トリガーレイテンシはFPGA以降で決められるべきだ  
パイルアップによる信号ロスを減らすべきだ



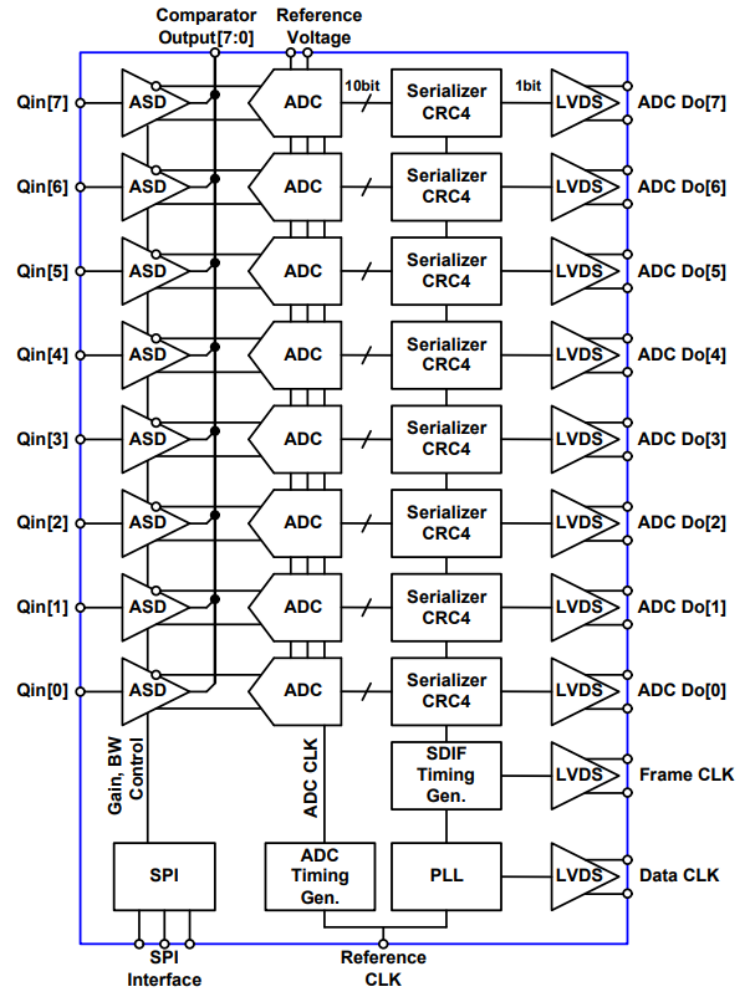
波形デジタイザ (ADC) 内蔵  
サンプリング周波数 $\sim 100$  MHz  
個別にデータ出力

本当にdouble gainは必要か？  
最小分離を1 pe以下に保ちつつ1000 p.eまで  
見える必要が本当にあるのか？



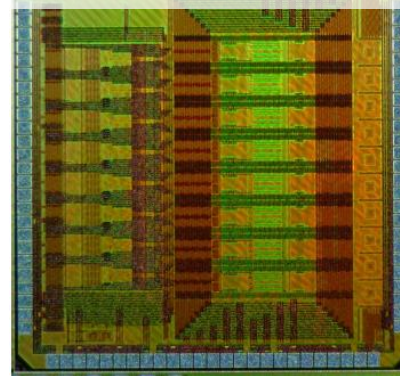
Single gainとし  
アンプ構造をシンプルにする

E-sysではBelle2 CDC用にこの要求に近いASICを開発済みであった (RAPID ASIC)  
これに手を加える事で新MPPC読み出しASICを開発した



詳しくは「MPPC読み出し用汎用ASICの開発状況」,  
宮原正也, 計測システム研究会2021 を参照

65 nm Si CMOS 2 mm角  
(Package: LQFP100)



## YAENAMI ASIC (八重波)

MPPC特有の高シングルレートの波形を、  
幾重にも立つ波に見立てたことから。  
また、8ch波形デジタイザであることから。

- 特徴：
  - ASD+ADCのアナデジ混在ASIC
  - ASD利得, 時定数可変 (0.25x~128x)
  - MPPCバイアス調整用DAC (3.3V 10-bit)
  - 個別コンパレータ出力
  - アナログモニター
- 入力：8 ch/chip
- デジタイザ：10-bit ADC
  - サンプリングレート：~ 100 MSPS
- 消費電力：~350 mW/chip

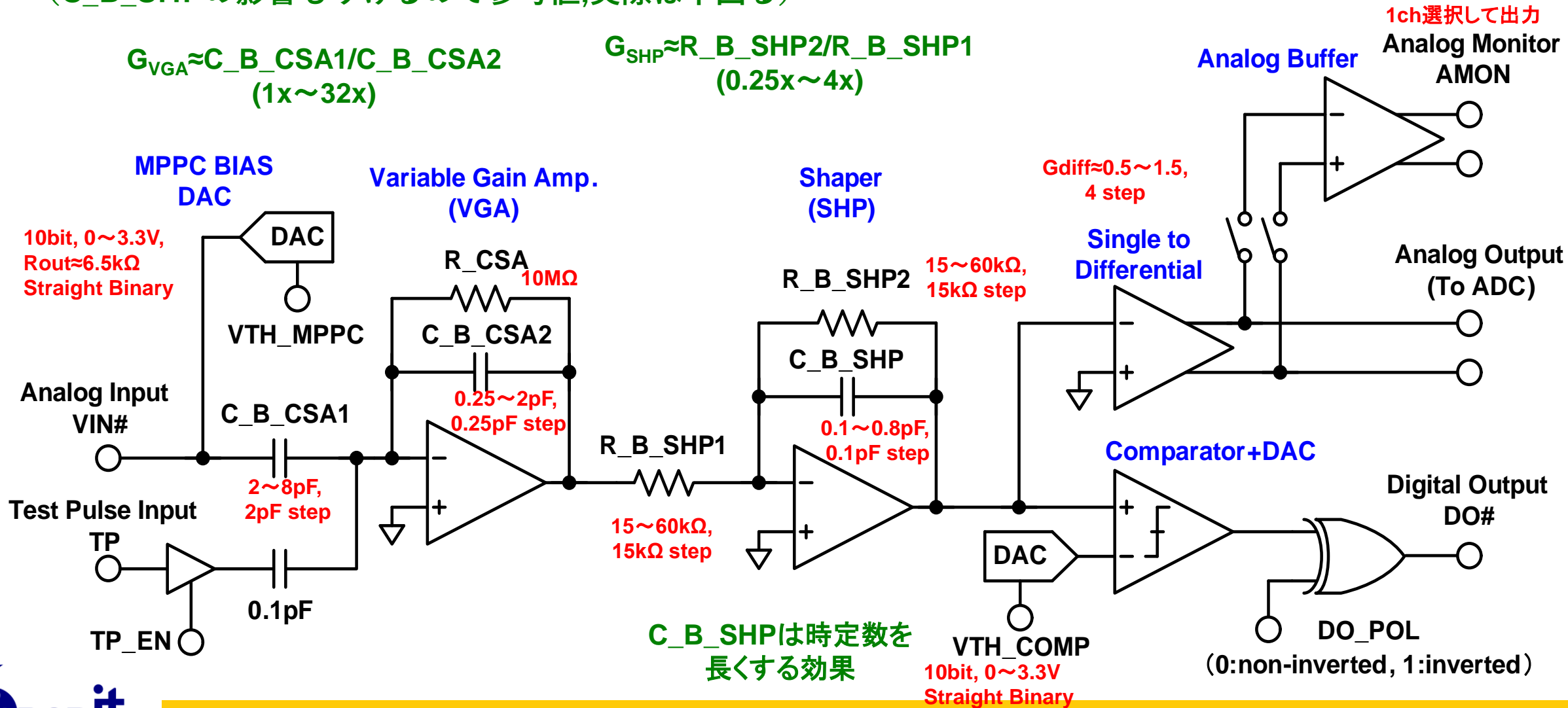
Peak Gain 0.25~128倍  
 (C\_B\_SHPの影響もうけるので参考値,実際は下回る)

$$G_{VGA} \approx C\_B\_CSA1 / C\_B\_CSA2$$

(1x~32x)

$$G_{SHP} \approx R\_B\_SHP2 / R\_B\_SHP1$$

(0.25x~4x)

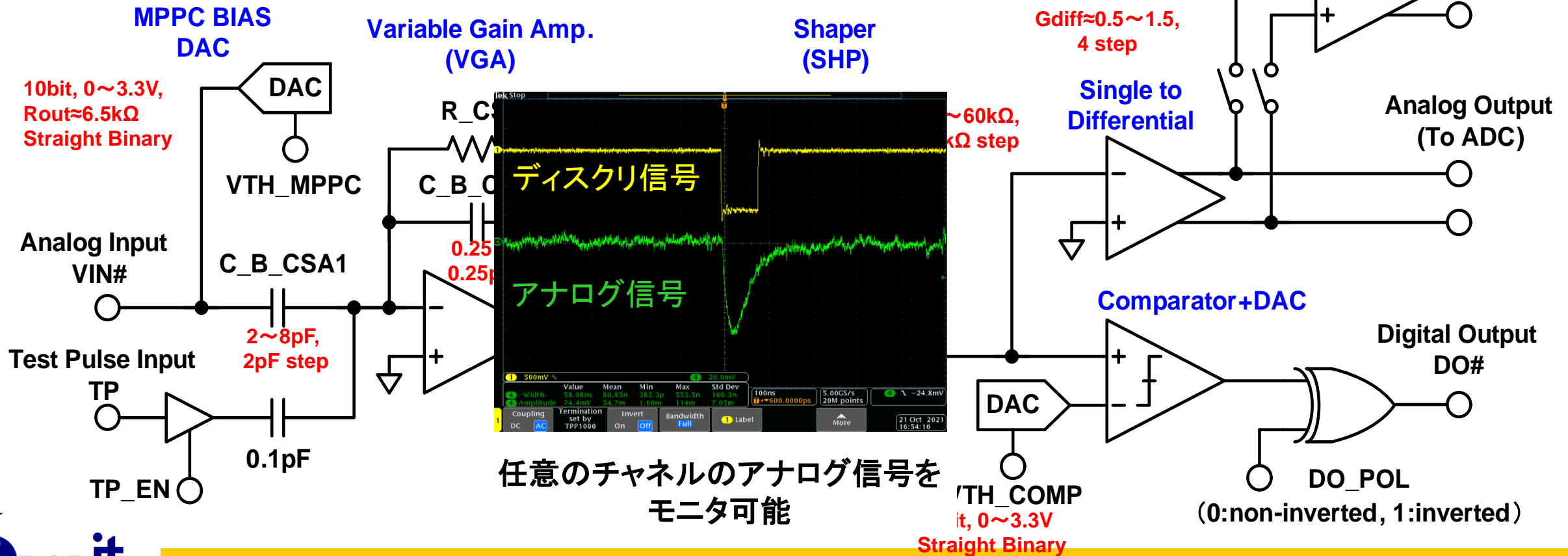


C\_B\_SHPは時定数を長くする効果

Peak Gain 0.25~128倍  
 (C\_B\_SHPの影響もうけるので参考値,実際は下回る)

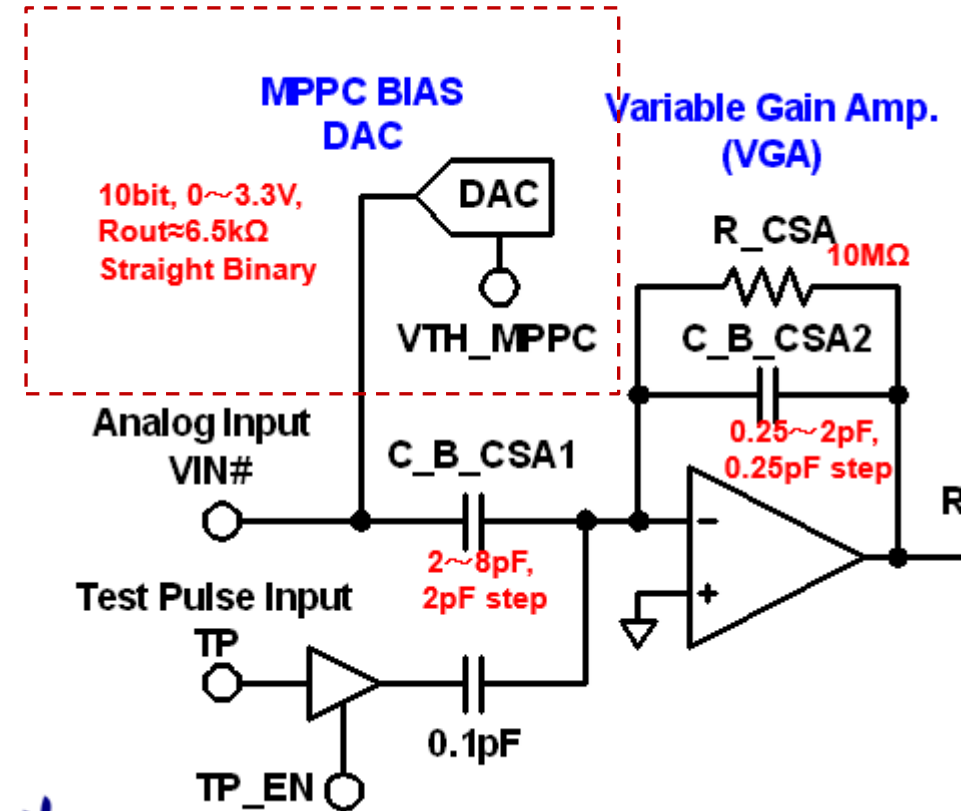
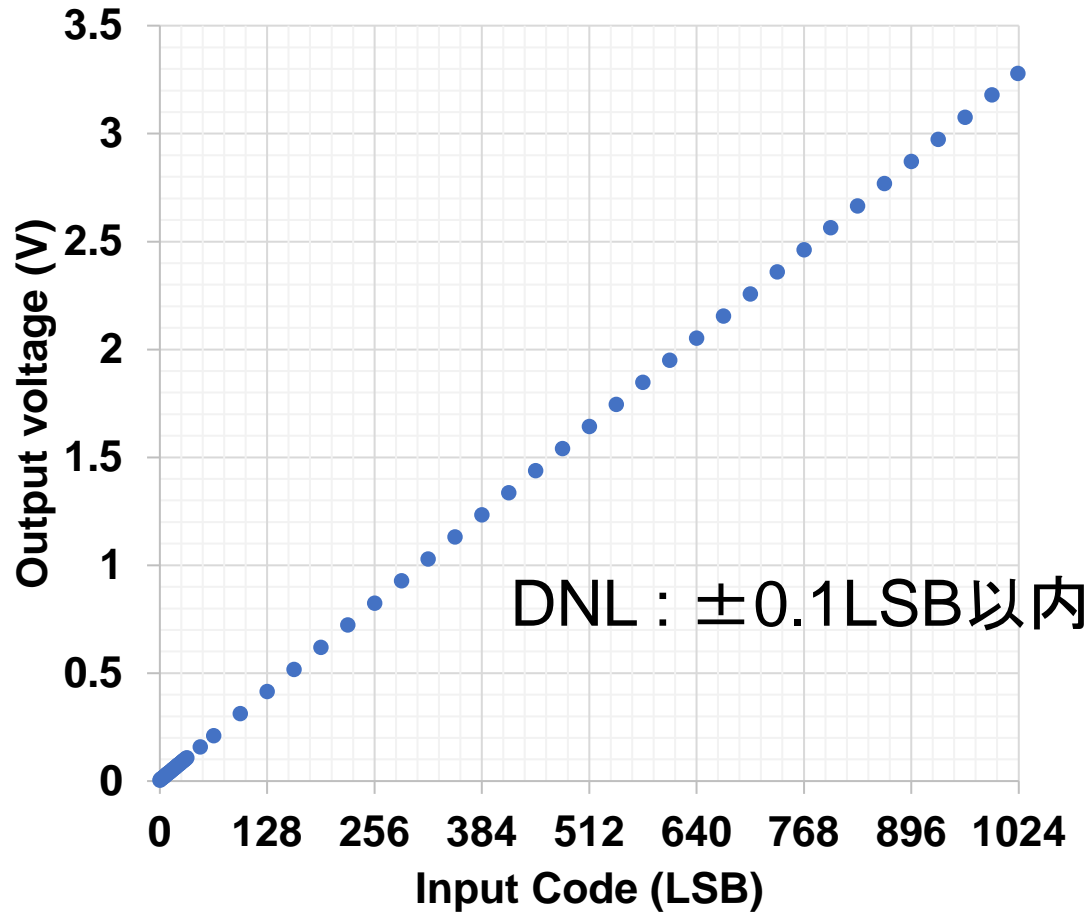
$$G_{VGA} \approx C\_B\_CSA1 / C\_B\_CSA2 \quad (1x \sim 32x)$$

$$G_{SHP} \approx R\_B\_SHP2 / R\_B\_SHP1 \quad (0.25x \sim 4x)$$





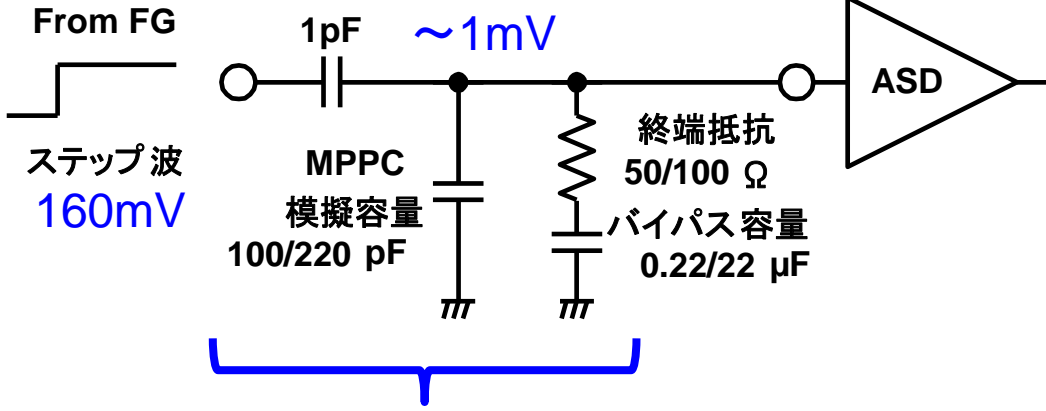
4.8mV~3.28V, 1LSB=3.2mV



## インジェクタで測定時

インジェクタ

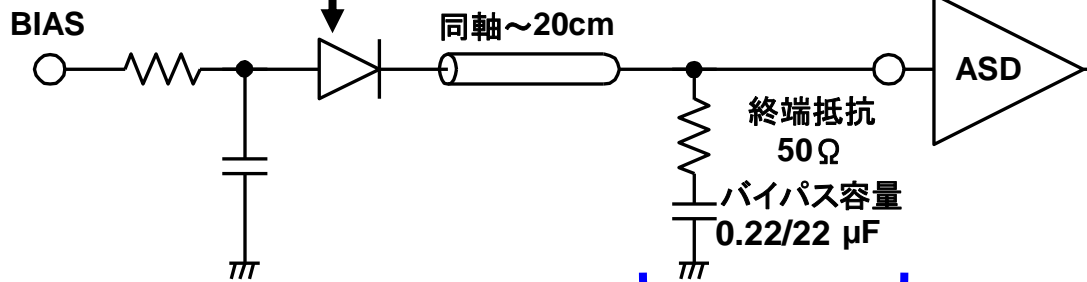
容量 | p.e = 160 fCを仮定



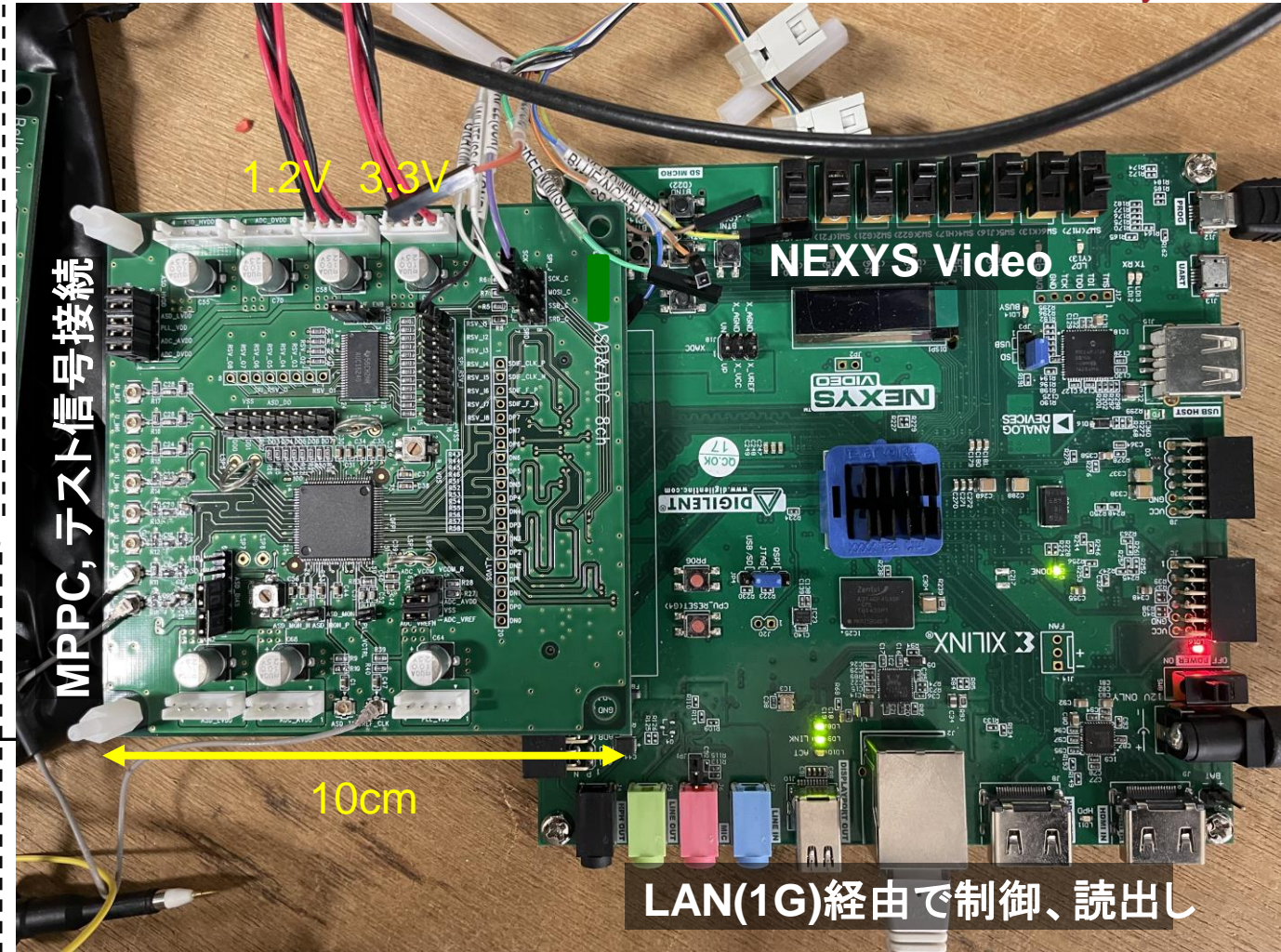
評価ボード上に設置

## MPPC接続時

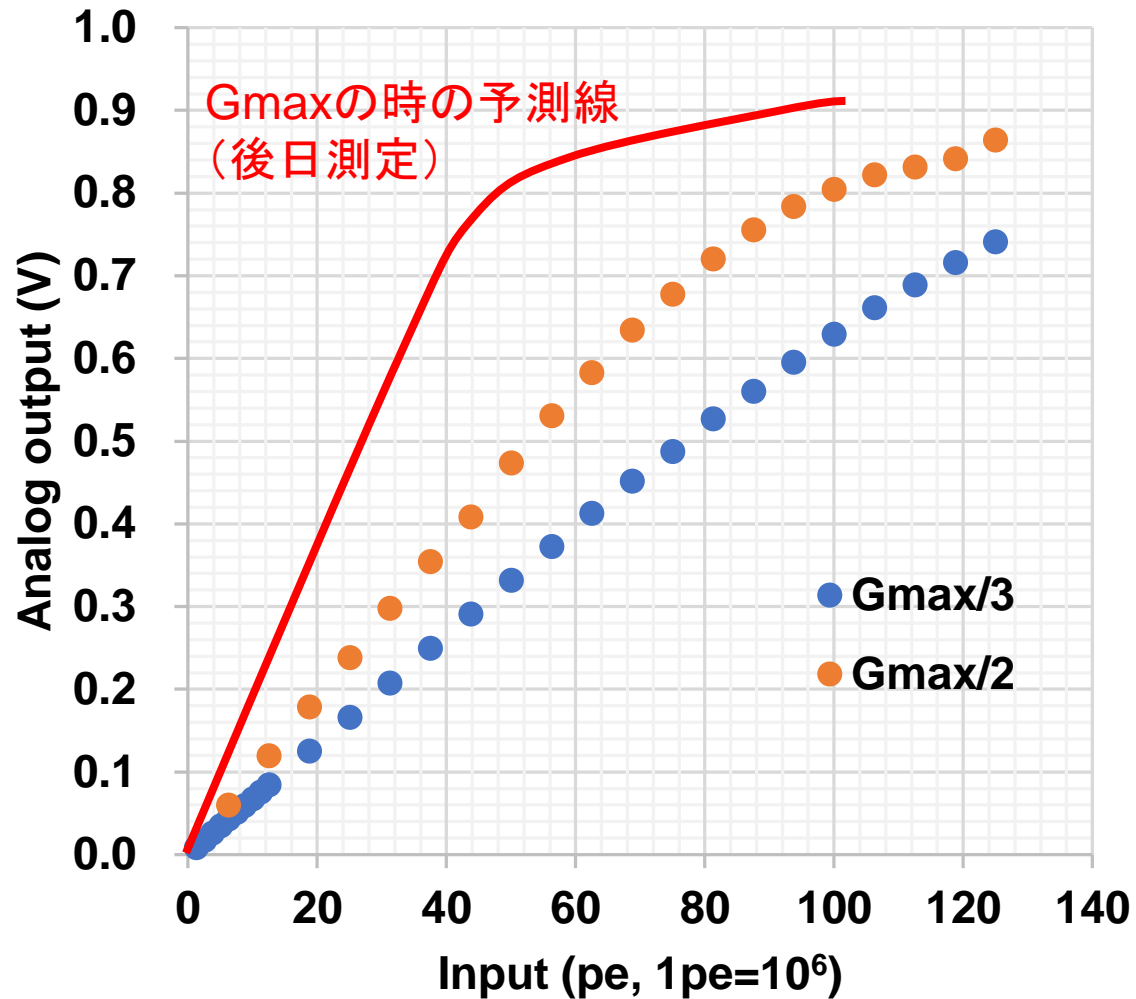
MPPC



評価ボード上に設置



E-sys 宮原さんによる測定



- アナログ出力を利用 (ADCデータ不使用)
- 利得を下げると線形部分は広くなる一方徐々に $I_{pe}$ が見えづらくなっていく。

運用方針には大別して2つ

- $I_{pe}$ を分離しつつ線形成を確保するように利得と整形時定数を調整。
- $I_{pe}$ 分離を諦めて別の基準 (例えばMIP相当) で線形成を考える。

いずれの場合でも

- MPPCの型番
  - 印加電圧
  - 必要な線形領域
  - 必要な最小分離信号
- に合わせて利得と整形時定数を調整する。

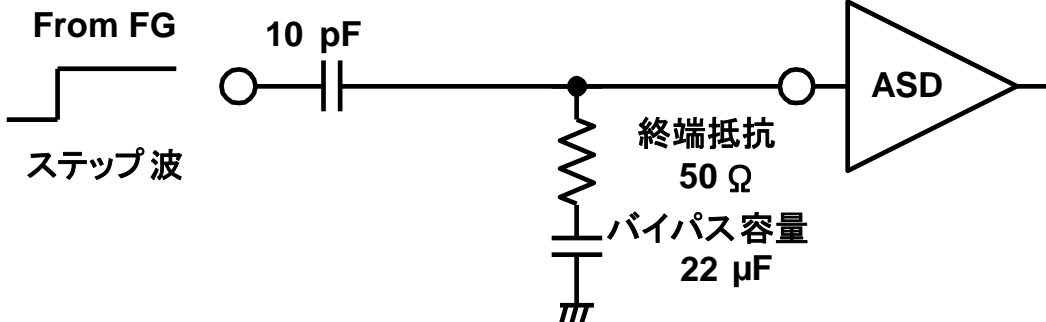
# MPPCを用いた試験

# 波形の時定数がMPPC容量の影響を受ける

## インジェクタ入力

インジェクタ  
容量

10 pF



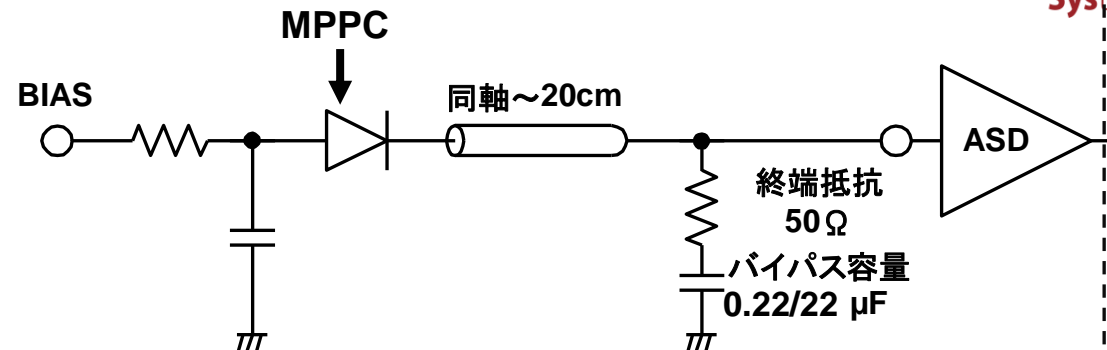
From FG  
ステップ波

終端抵抗  
50 Ω

バイパス容量  
22 μF

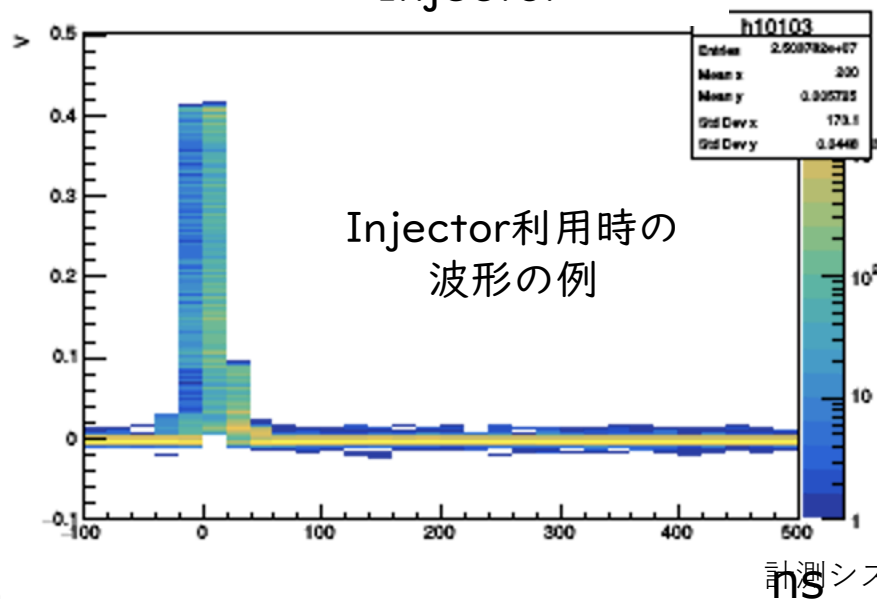
ASD

## MPPC接続

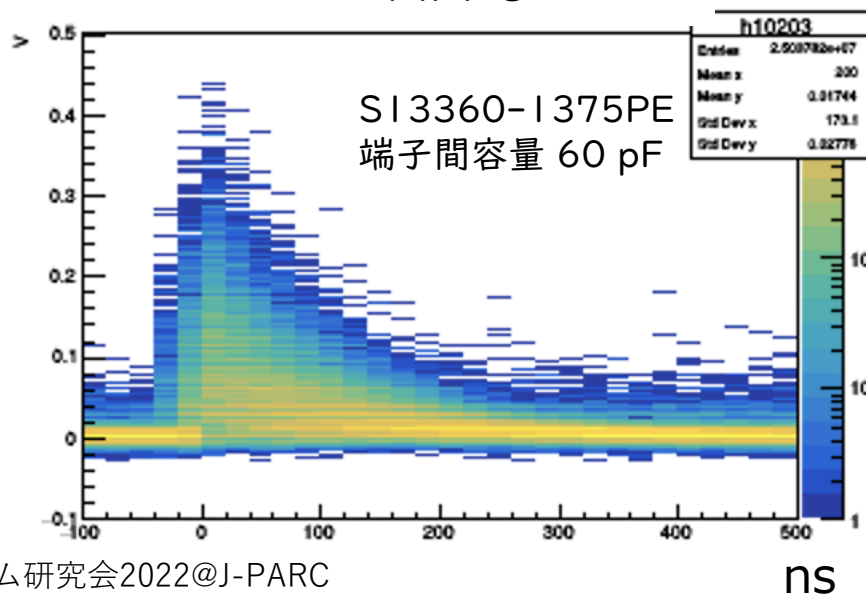


Preampfierが電圧増幅器のため  
検出器容量と終端抵抗で時定数が決まる  
(これはEASIROC, SPIROCでも同様)

## Injector ASICのADCで取得した波形

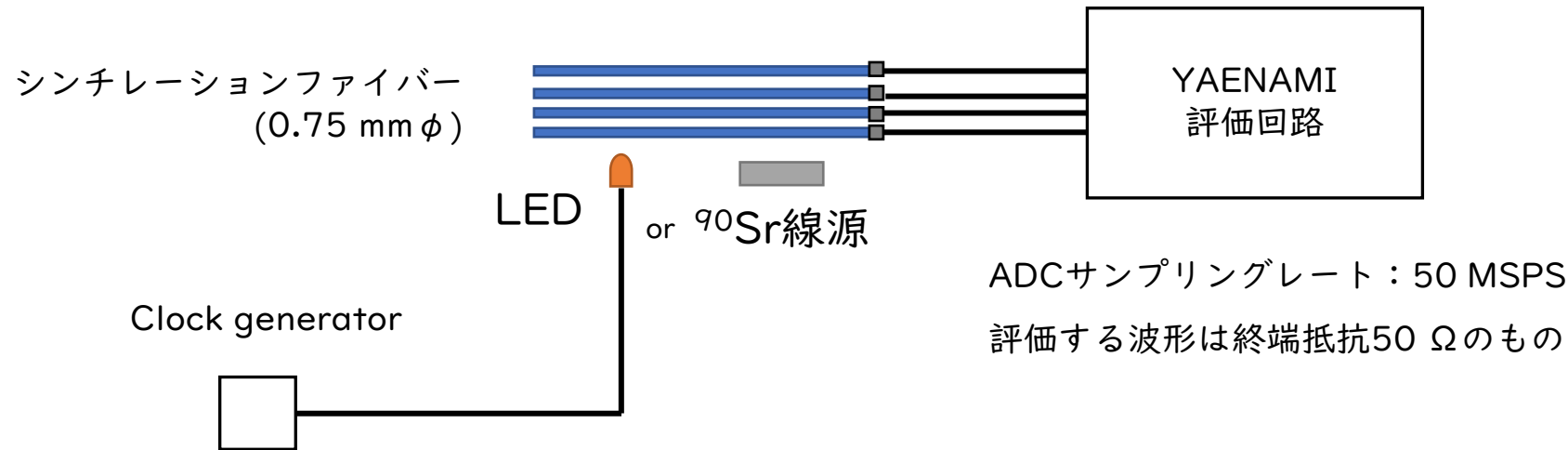


## MPPC



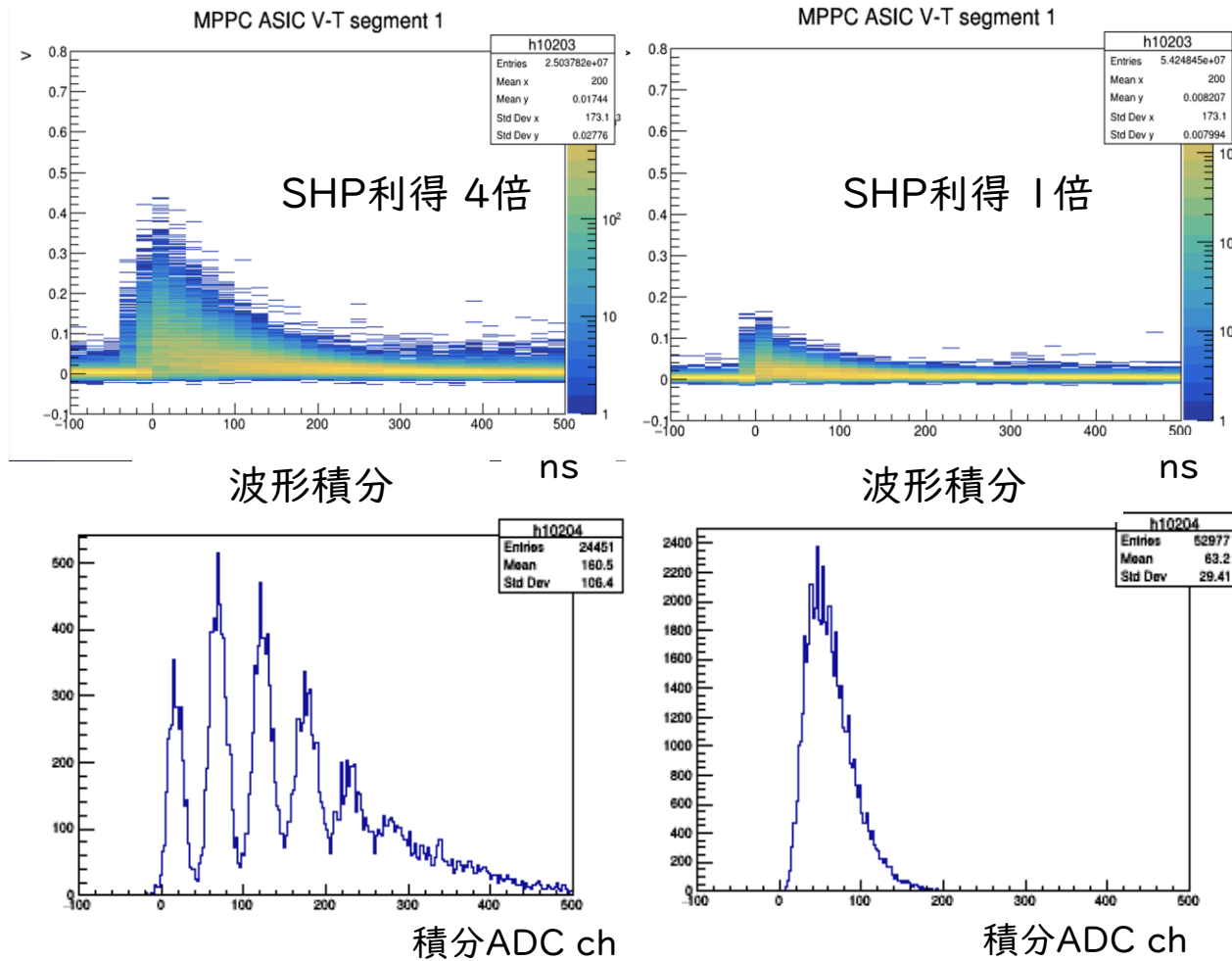
MPPC (SI3360-1375PE)

- センサー面 : 1.3x1.3 mm mm<sup>2</sup>
- セルサイズ : 75 μmセル
- 容量 : 60 pF
- Over voltage : 5.2 V



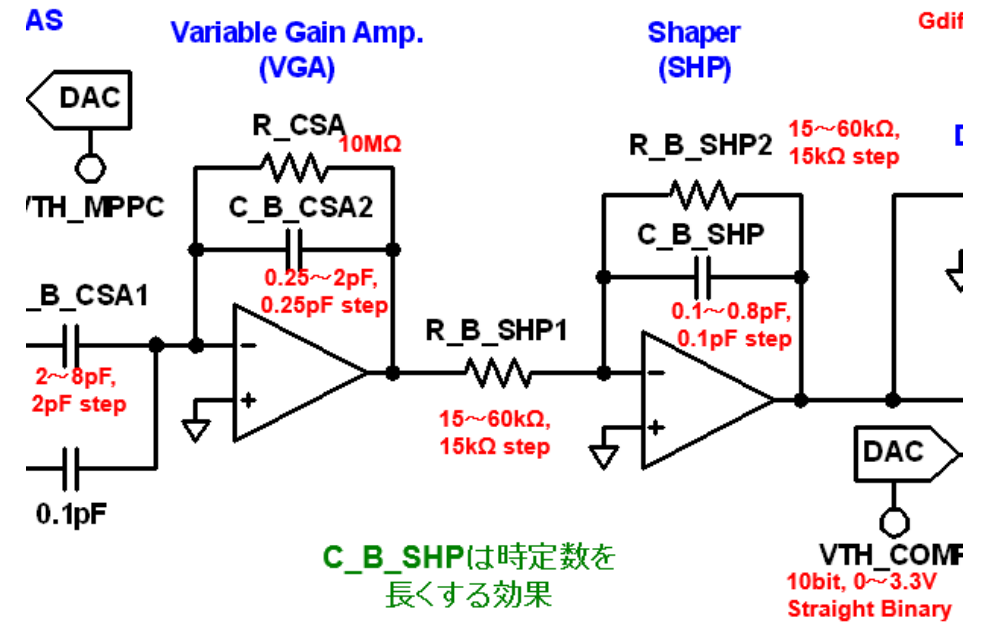
- LED波形から利得・時定数とS/Nとの関係を調べる
- <sup>90</sup>Sr線源の波形からフルスケールレンジについて調べる

# 利得と時定数によるS/Nの変化（東北大の試験）



$$G_{VGA} \approx C_{B\_CSA1} / C_{B\_CSA2} \quad (1x \sim 32x)$$

$$G_{SHP} \approx R_{B\_SHP2} / R_{B\_SHP1} \quad (0.25x \sim 4x)$$

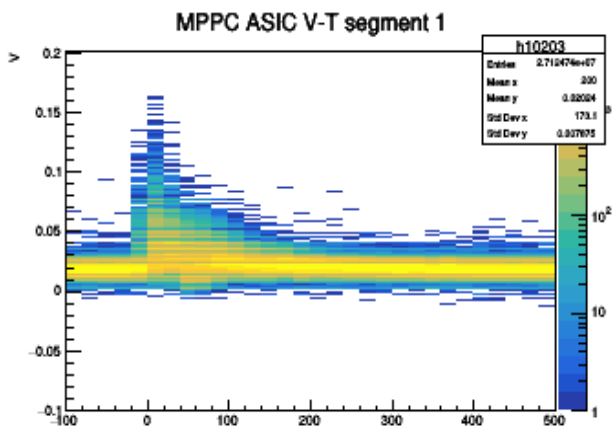


利得を下げると波形がつぶれて積分しても光電子が弁別できなくなる

\*VGA利得 32倍

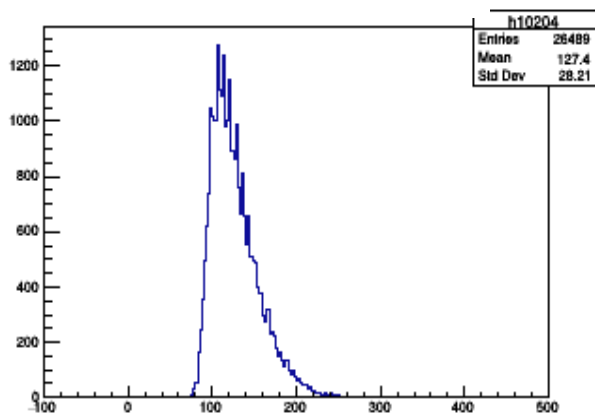
# 利得と時定数によるS/Nの変化（東北大の試験）

SHP利得 1倍  
時定数最小



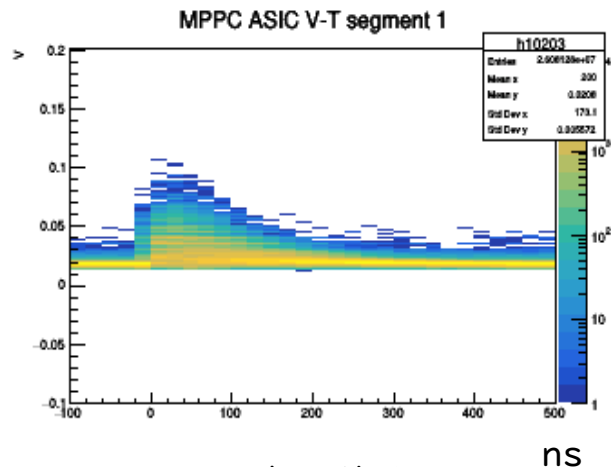
波形積分

ns



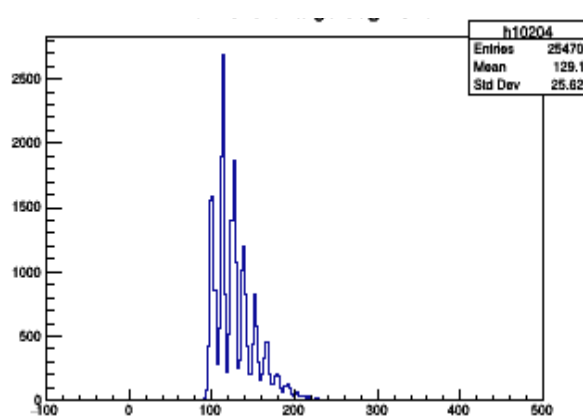
積分ADC ch

SHP利得 1倍  
時定数最大



波形積分

ns

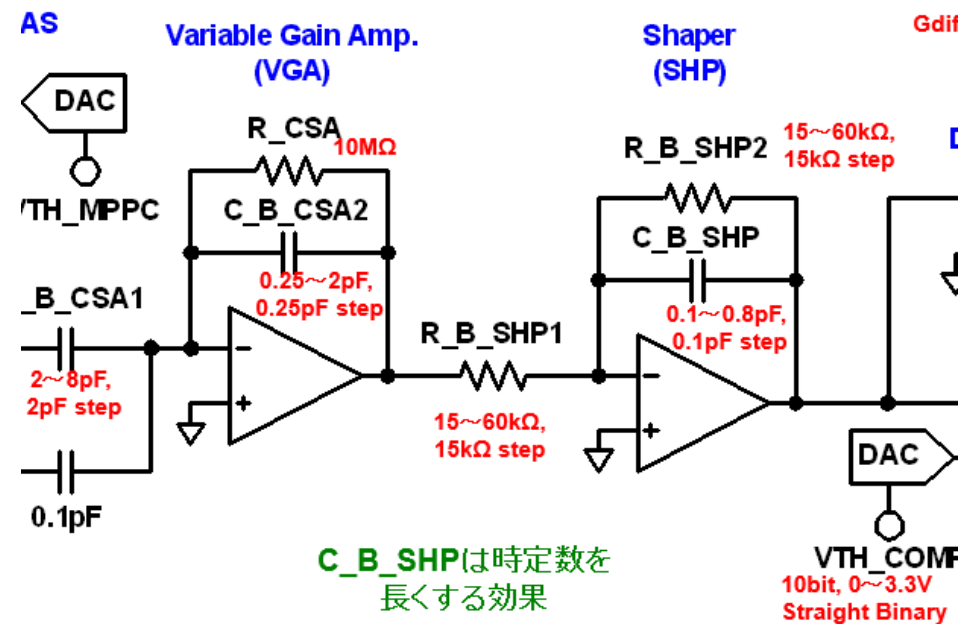


積分ADC ch

\*VGA利得 32倍

$$G_{VGA} \approx C_{B\_CSA1} / C_{B\_CSA2} \quad (1x \sim 32x)$$

$$G_{SHP} \approx R_{B\_SHP2} / R_{B\_SHP1} \quad (0.25x \sim 4x)$$

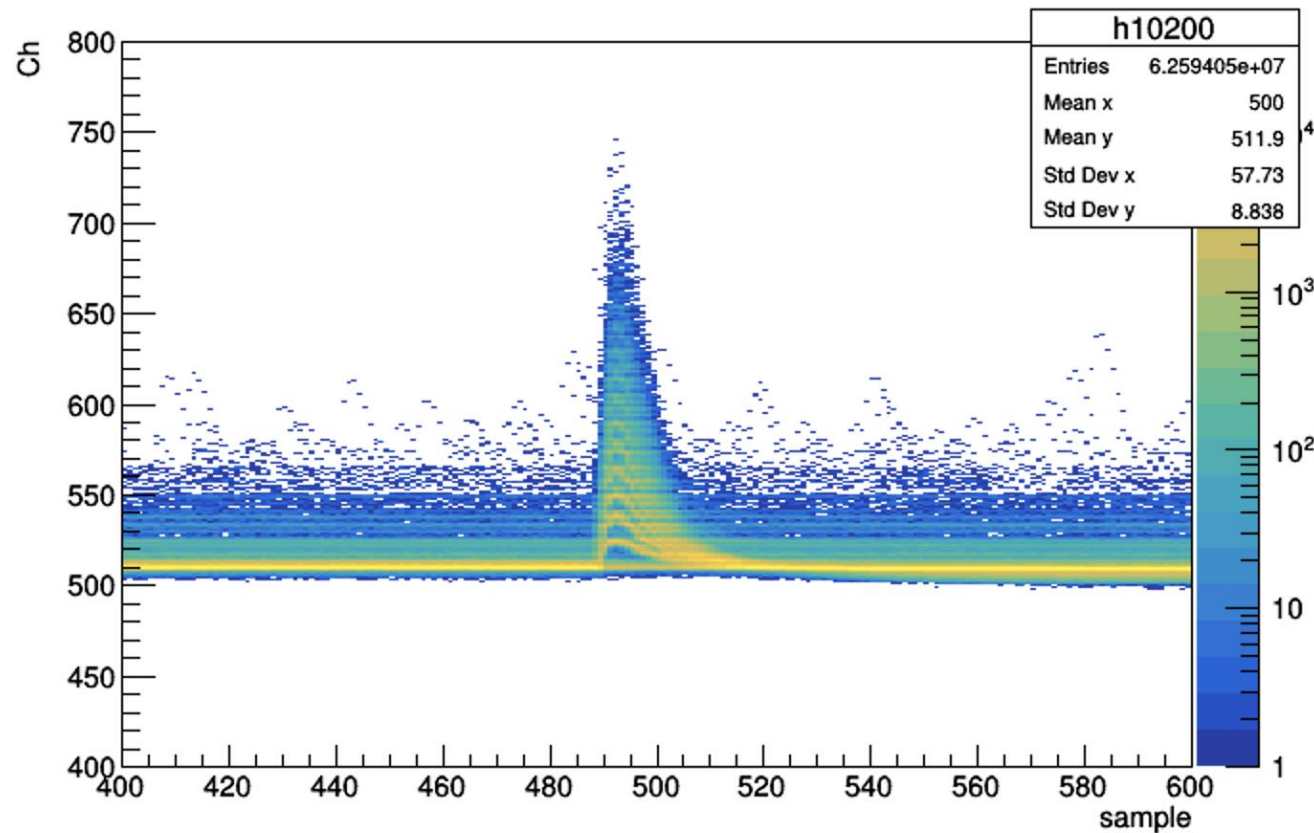


$C_{B\_SHP}$ を大きくすることで  
ノイズ帯域が狭くなりS/Nが改善する  
最大利得/4でも1pe弁別が可能



VGA/SHP利得が共に最大  
整形時定数 最大

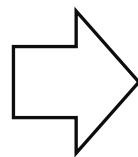
MPPC ASIC Raw Waveform ch 1



ADCで取得した波形から綺麗に光電子の分布が見て取れる

MPPC (SI 3081-050CS)

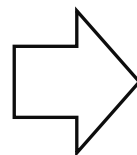
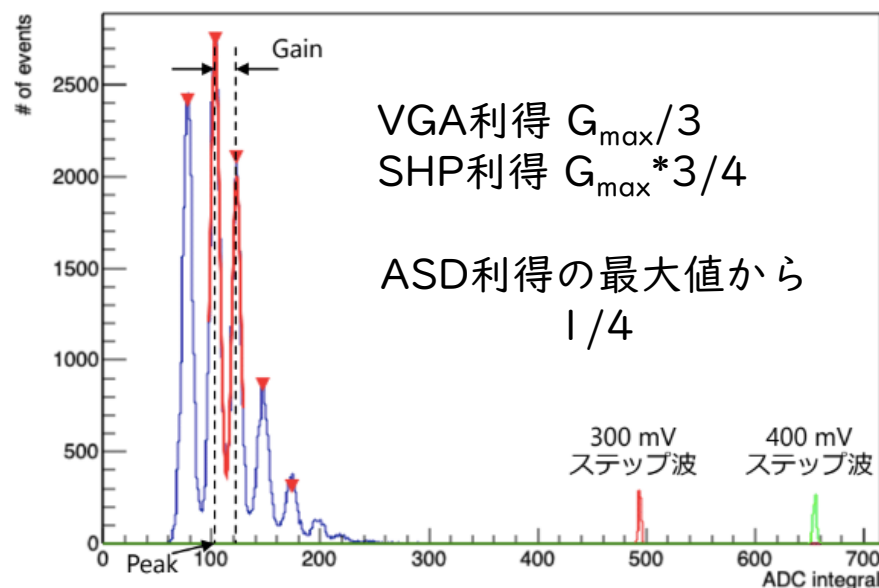
- センサー面 : 1.3x1.3 mm mm<sup>2</sup>
- セルサイズ : 50 μmセル
- 容量 : 60 pF
- Over voltage : 3.0 V



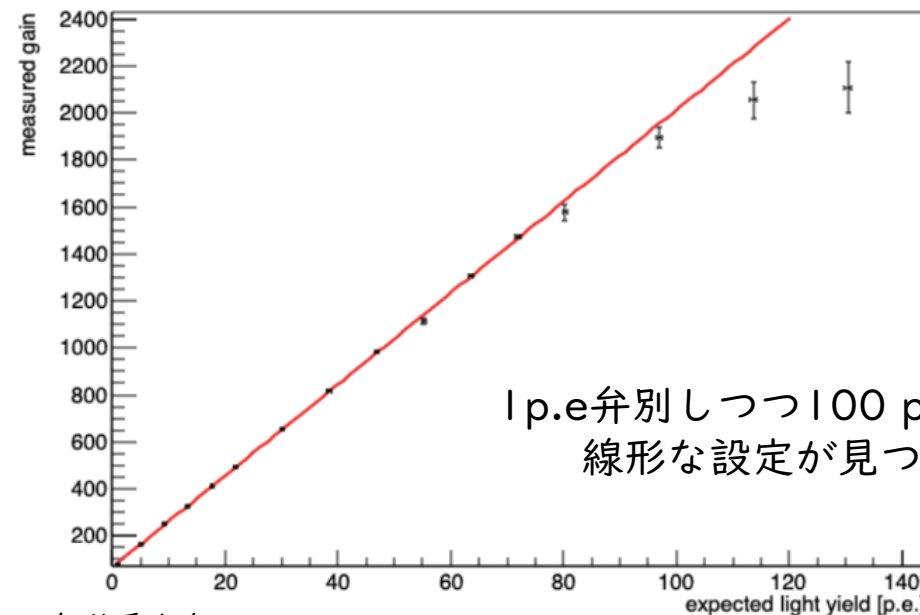
MPPCをこの条件で接続したときに  
1 pe弁別が可能でありかつ100 pe程度まで線形である条件を探す  
(T2Kのユースケース)

終端抵抗 : 100 Ω  
ADCサンプリングレート : 50 MSPS

上記の条件でMPPC波形を調べた際の  
波形積分値のプロット

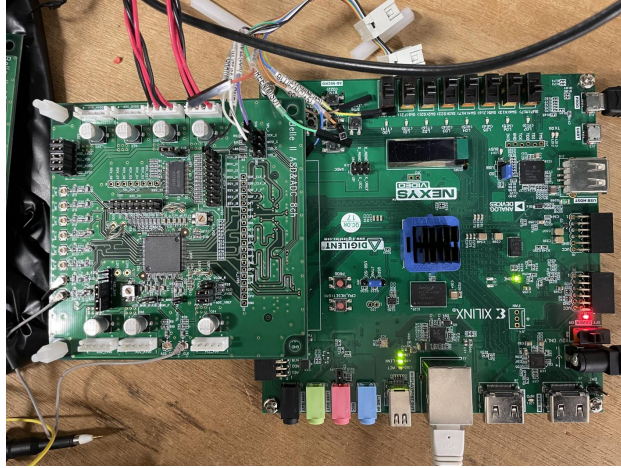


Function generatorで波形入力した際の  
線形性のプロット



- 昨年度E-sysで汎用MPPC読み出しASIC, YAENAMIを開発した。
- 複数の試験の結果MPPCの波形読み出しは十分行えそうである。
- SHPの時定数を長くするとS/N改善の恩恵が大きい。
  - 時定数最大であればASD利得を最大の1/4に設定しても1 p.e弁別が十分可能である。
  - 入力に対して線形である領域は上記条件で100 p.e程度まで。
- ASD利得を下げる事で線形領域は更に広がる。
  - 本日結果は紹介できなかったがベータ線によるMPVが30 p.e程度の時, 利得を下げれば1000 p.e程度までは線形でありそう。
- 時間分解能の測定はまだ出来ていない。
  - 現在京都大学でTDC実装が進んでおり今後の試験が待たれる。

# 次期試験基板 RAYRAWの開発



現行の評価回路はASIC単体評価が主目的

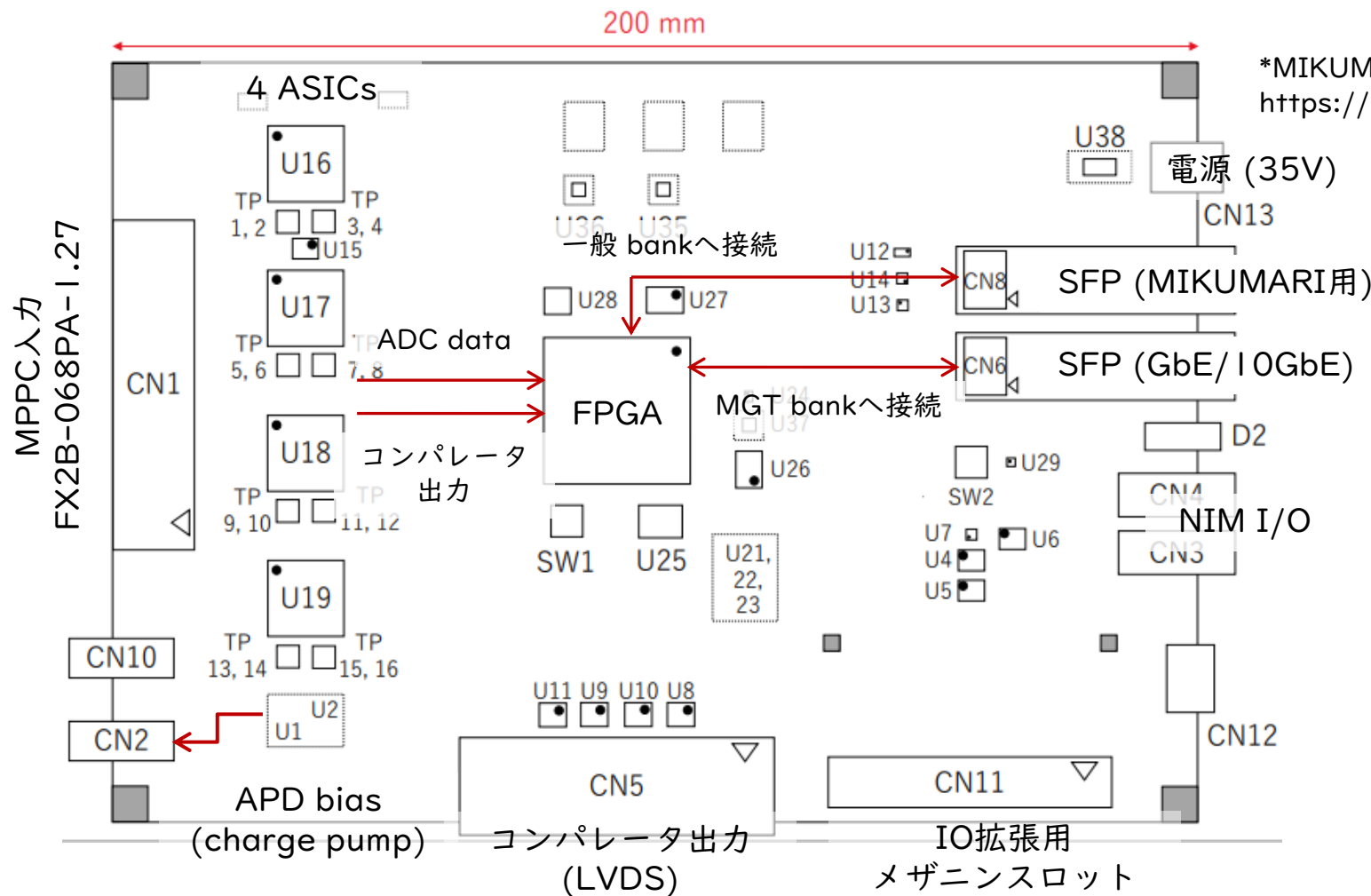
- デジタル部を別基板に頼っている。
  - I/Fが物理実験の要求に合わない。
- 評価回路の入力は検出器接続を考慮していない。

検出器に容易に接続できて、ビーム試験に使えるような評価回路が必要。

## 新評価回路, RAYRAWへの要求仕様

- 32 ch入力 (4 ASIC搭載)
- MPPCバイアス電源の搭載
- コンパレータ信号を外部に出力可能
- クロック同期用のポートを有す
- 連続読み出しも見据えて10 GbEが利用可能
- 単電源で動作する
- 場合によってはこれで物理実験が可能なレベルの回路とする

# RAYRAWの構成



\*MIKUMARI: 私が最近開発中のクロック同期システムの名前  
<https://indico.cern.ch/event/1109460/contributions/4893090/>

- 32 ch (4 ASICs)
- 32 individual comparator outputs
- APD bias : MAX1932ETC
- FPGA : XC7K160T-2FFG676
  - TCP/IP by SiTCP/SiTCP-XG
- Clock synchronization : MIKUMARI
- NIM I/O
  - In x2,
  - Out x2
- Mezzanine slot for I/O extension
- Power supply : DC 35V
- DAQ functions
  - Waveform data
  - 1 ns TDC

回路図サブミット済み。PCBデザインが進行中。

## 現行評価回路での試験

- 1ns精度のTDCを実装し，ASICの時間分解能を評価する。

今年度中

## RAYRAWでの試験

- 実際の検出器を接続してビーム試験を行う。
- 高レート，大電荷入力時のASDの挙動を明らかにする。
- ASIC本体とRAYRAWが持つ問題点を洗い出す。

来年度中

2年以内にASICの最終版と，物理実験投入版のRAYRAWの仕様を決定したい。

## 電圧アンプだと検出器容量と終端抵抗で時定数が決まってしまう

- MPPCは元々の増幅率が高い検出器のため、CSAだとフィードバックキャパシタが大きくなりすぎてASICだと現実的な設計が難しくなる。
- YAENAMIでは電圧アンプにしたが、どうしても波形が細くならない。またセンサー依存になる。
- MPPC用ASICでは広いダイナミックレンジと波形を細くすることの両立が難しく、特定のアプリケーションでは高レート化のボトルネックになるかもしれない。

## ICが手に入らない、本当に手に入らない。手に入ったとして高い。

- RAYRAWで採用したXC7K160T-2FFG676はdigkey価格で9万程度。数年前の～2.5倍。
- 昔こなれた値段だったFPGAが凄い値段をつけている。すでに設計したものの量産が出来ない。
- ICの納期が1年以上という事がざらに起きて量産に進めない。発注をかけても納品されるか不透明。

## Efinixなどの新興勢力に乗り換える？

- 一般IOピンの数が足りない…。XilinxとIntelのFPGAはかなり大きなパッケージを提供している。

## 実は同じ理由でSOMへの乗り換えが難しい

- 多数の一般IOピンを使ってASICと接続する素核実験の要求は世の中の傾向と逆を向いている？
- だとすると、今後の素核実験の回路が向かうべき方向はASIC内での情報のシリアライズと、高速トランシーバの実装？



Kria K26



- 国内のMPPC読み出しは海外産のASICに主に頼っている。
- MPPC黎明期に実用化されたASICはEOLをおかえている。
- これまでのASICの不満点を解消しつつ国産の汎用MPPC読み出しASIC, YAENAMI を開発した。
  - 8ch/chip
  - 10-bit, 100 MSPS ADC
  - Bias調整用 3.3V 10-bit DAC
  - コンパレータと波形データの個別出力
- ASICの評価が進行中
  - 最大利得/4まで1 p.e.弁別をしつつ線形成を確保するような設定が見つかっている。
  - 1 p.e弁別をしなければさらに利得を下げて線形な領域を広くすることができる。
- 今後の予定
  - ASICの時間分解能を評価する。
  - 次期評価回路RAYRAWの開発を進め、実検出器を用いてASIC評価を行う。
  - 2年以内くらいにASICと読み出し回路基板の最終版仕様を決定したい。

