

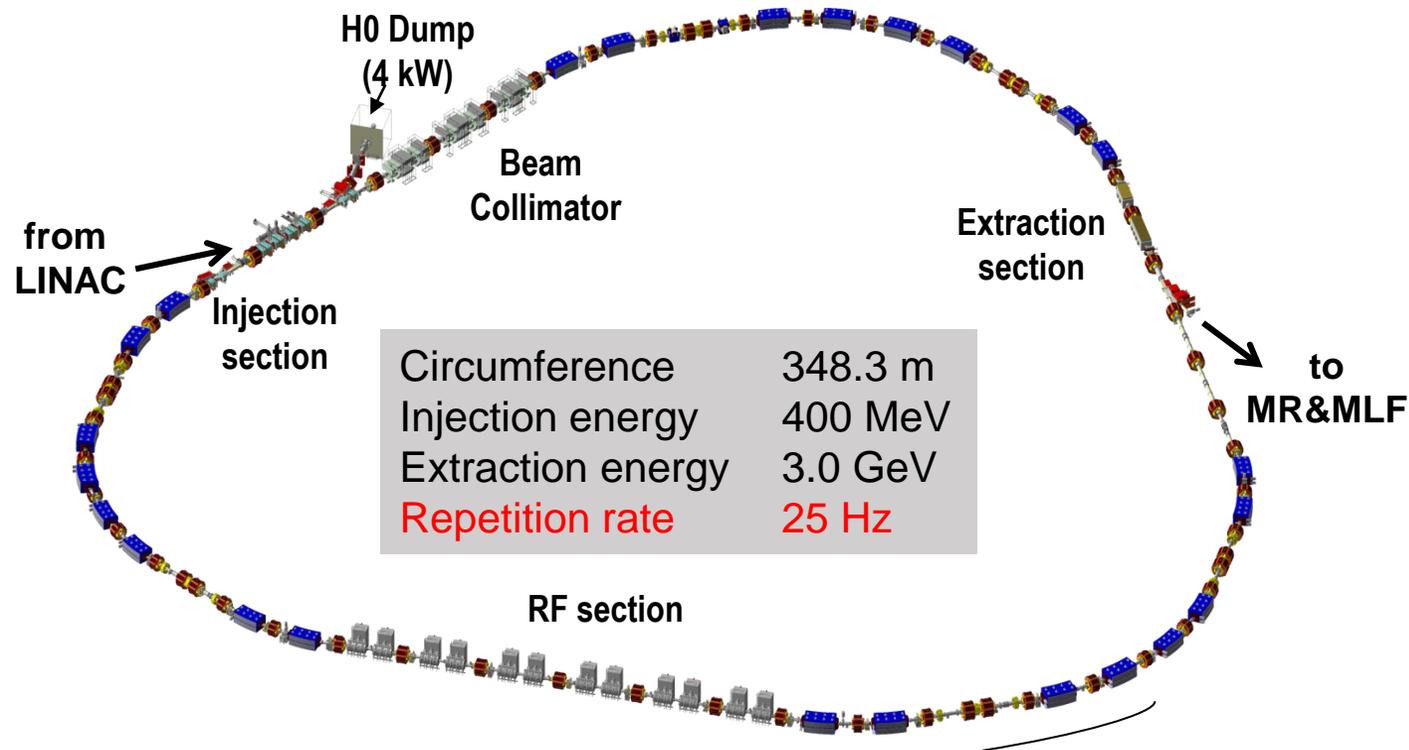
# SoC FPGAを用いた1チップ加速器電源コントローラの開発

日本原子力研究開発機構 J-PARC センター  
加速器ディビジョン 加速器第二セクション

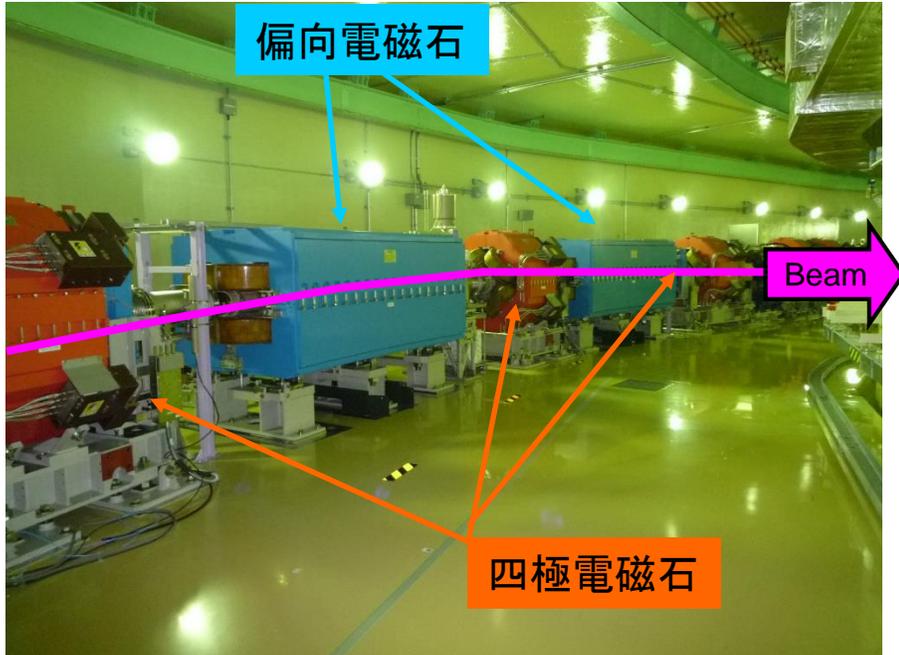
渡辺 泰広

# J-PARC RCS (Rapid Cycling Synchrotron)

J-PARC RCSは繰り返し周波数25Hzで400MeVから3GeVまで加速する  
速い繰り返しのシンクロトロン (Rapid Cycling Synchrotron)



# RCS主電磁石



シンクロトロンネル内

偏向電磁石



四極電磁石

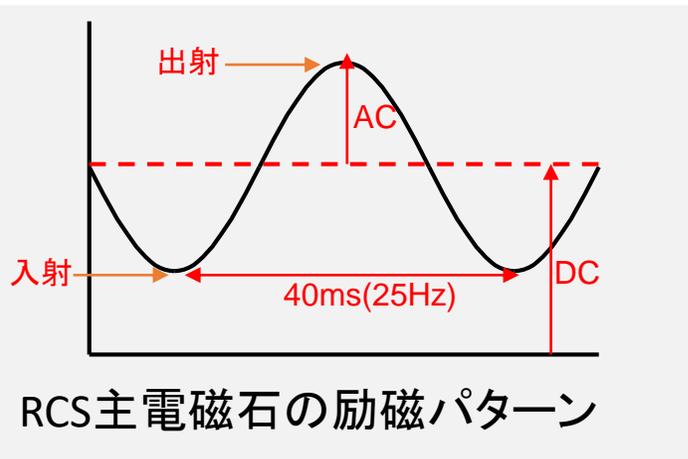
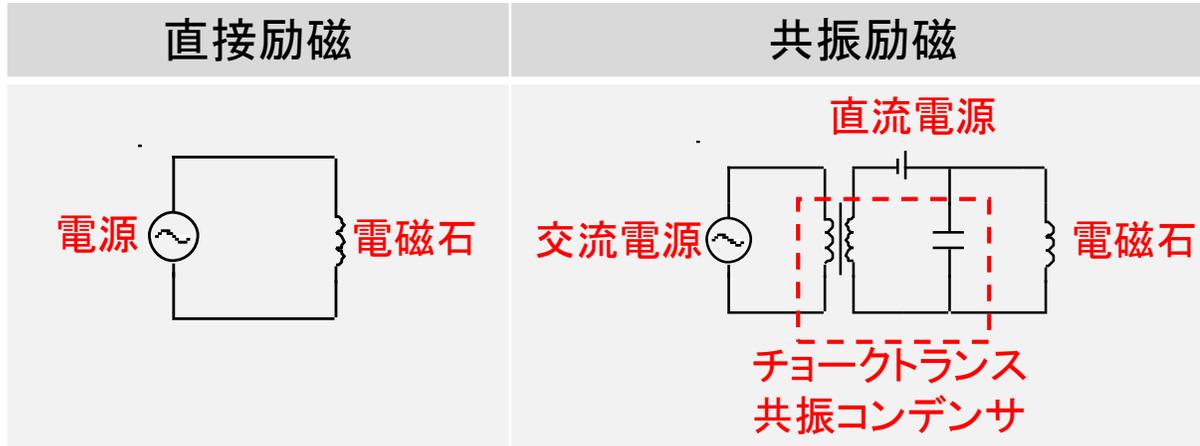


Gap height	210 mm
Core length	2770 mm
Bending angle	15 degree
Injection field	0.18 T
Extraction field	1.15 T
Min. Current	418 A
Max. Current	2700 A
Num. of turns	72 turn
Weight	39 ton

Bore diameter	410 mm
Core length	900 mm
Injection field	0.47 T/m
Extraction field	3.36 T/m
Min. Current	250 A
Max. Current	1800 A
Num. of turns	124 turn
Weight	11 ton

# RCS主電磁石電源

RCS主電磁石電源は、25 Hz励磁による電源電圧容量の増加を低減するため、共振励磁方式を採用している。



## 利点

- ・電源電圧容量が大幅に低減できる  
例：偏向電磁石電源の場合  
直接励磁：240 kV  
共振励磁：5 kV(交流電源)

## 欠点

- ・運転周波数が固定(25 Hz)
- ・励磁パターンは正弦波のみ
- ・チョークトランス、共振コンデンサが必要

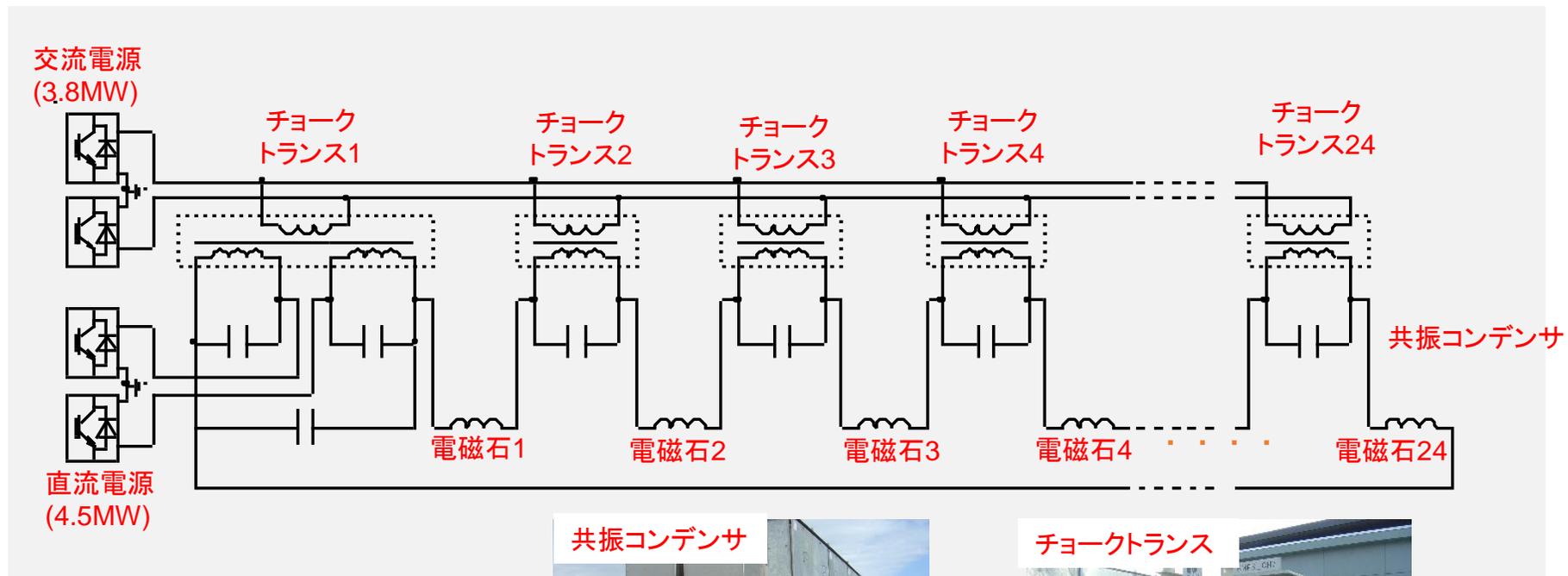
# 偏向電磁石電源 共振回路

単一共振回路の場合、対地電圧が大幅に増加するため、電磁石と、共振コンデンサ、チョークトランスを交互に接続することにより、対地電圧を低減している。

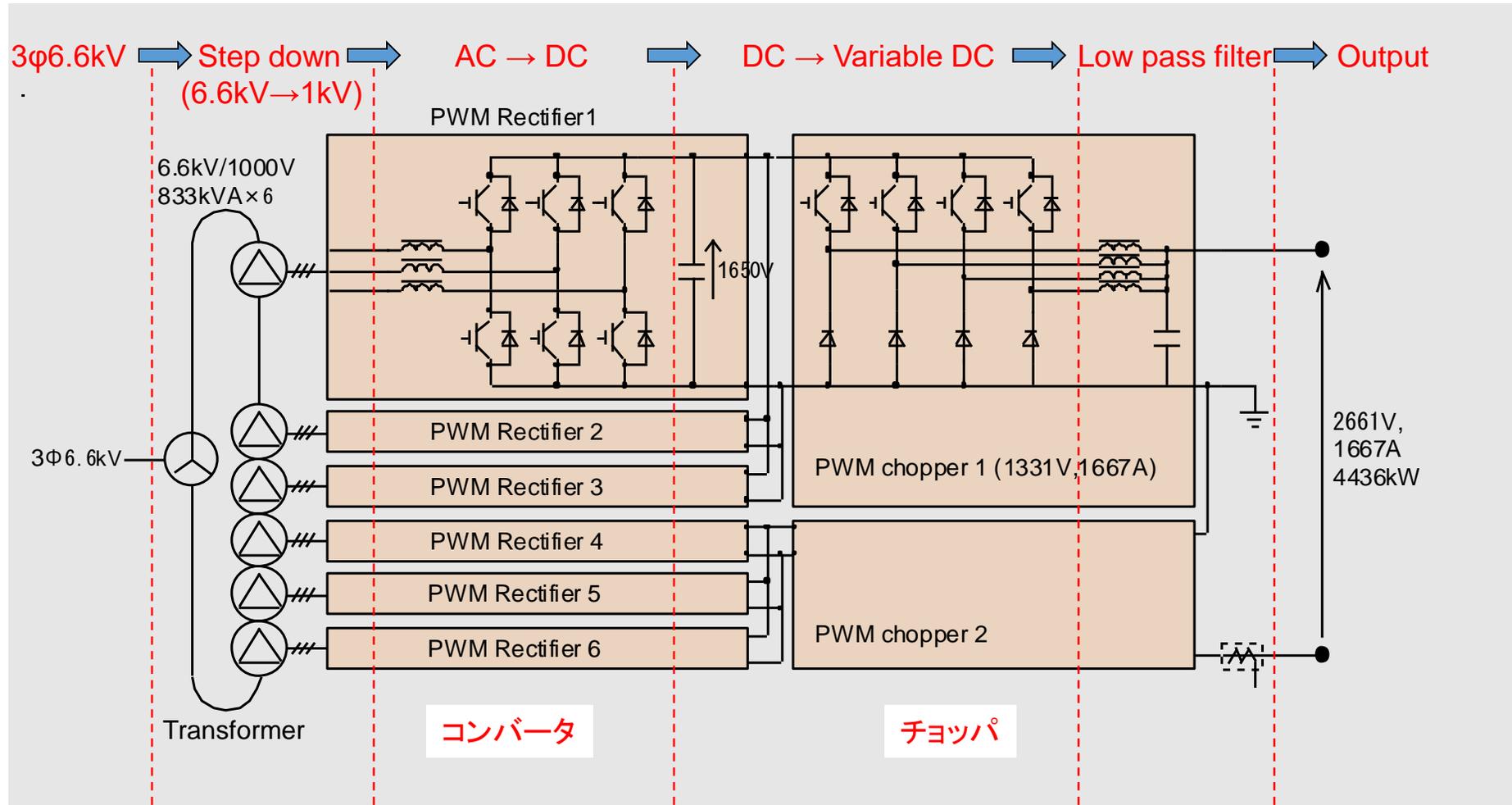
交流電源  
(幅9.6m × 奥行2m × 高さ2.8m)



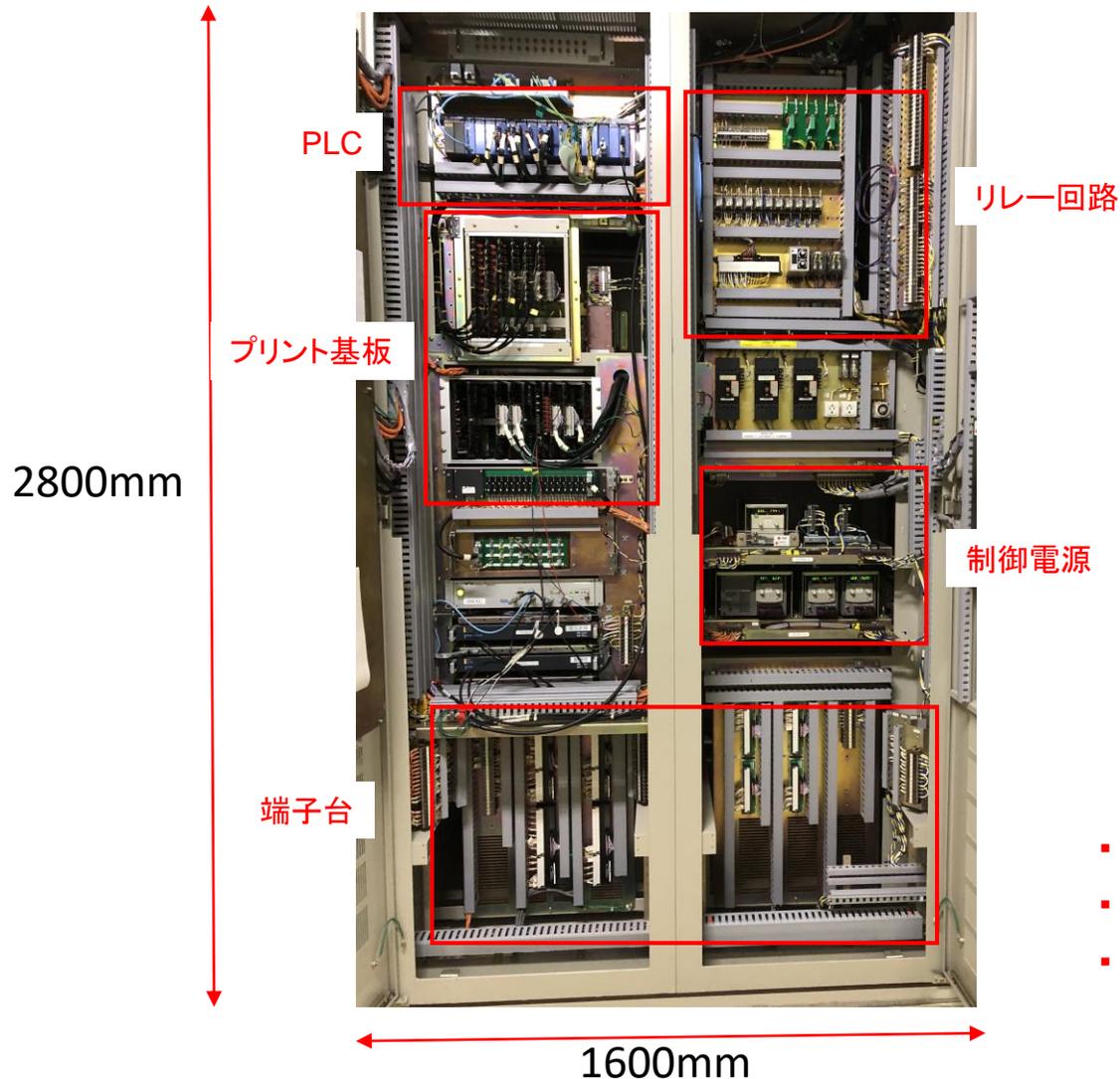
直流電源  
(幅9.6m × 奥行2m × 高さ2.8m)



# 偏向電磁石直流電源 主回路構成



# 電磁石電源制御盤(偏向電磁石直流電源)



## (1) コンバータ制御

- ・マイコン(SH4×4)を用いたデジタル制御
- ・プリント基板: 8枚

## (2) チョップパ制御

- ・オペアンプを用いたアナログ制御  
+FPGA(MAX7000S×8)を用いたデジタル制御
- ・プリント基板: 12枚

## (3) シーケンス制御, インタロック

- ・PLC: FA-M3(横河電機)
- ・モジュール数: 44個

- ・電源を制御するためには, 多数のプリント基板とPLCが必要
- ・制御信号を集約するため, 多数の端子台が必要
- ・ノイズ対策が大変

# 開発の動機

---

- J-PARC RCSのような大型シンクロトロンでは、MWクラスの大容量電磁石電源を使用しており、これらの制御では多数のプリント基板やPLCモジュールを用いている。
- J-PARC RCSは運用開始からすでに15年を経っており、制御系の老朽化や使用部品の廃盤が進んでいることから、制御システムの更新を検討している。
- 現在の半導体技術を20年前と比較すると、動作周波数や集積密度が格段に向上している。プリント基板を簡素化、小型化すると同時に、演算部分(CPU, FPGA)を1つにまとめられないか？

# 電源制御システム要求仕様

---

## 入出力部

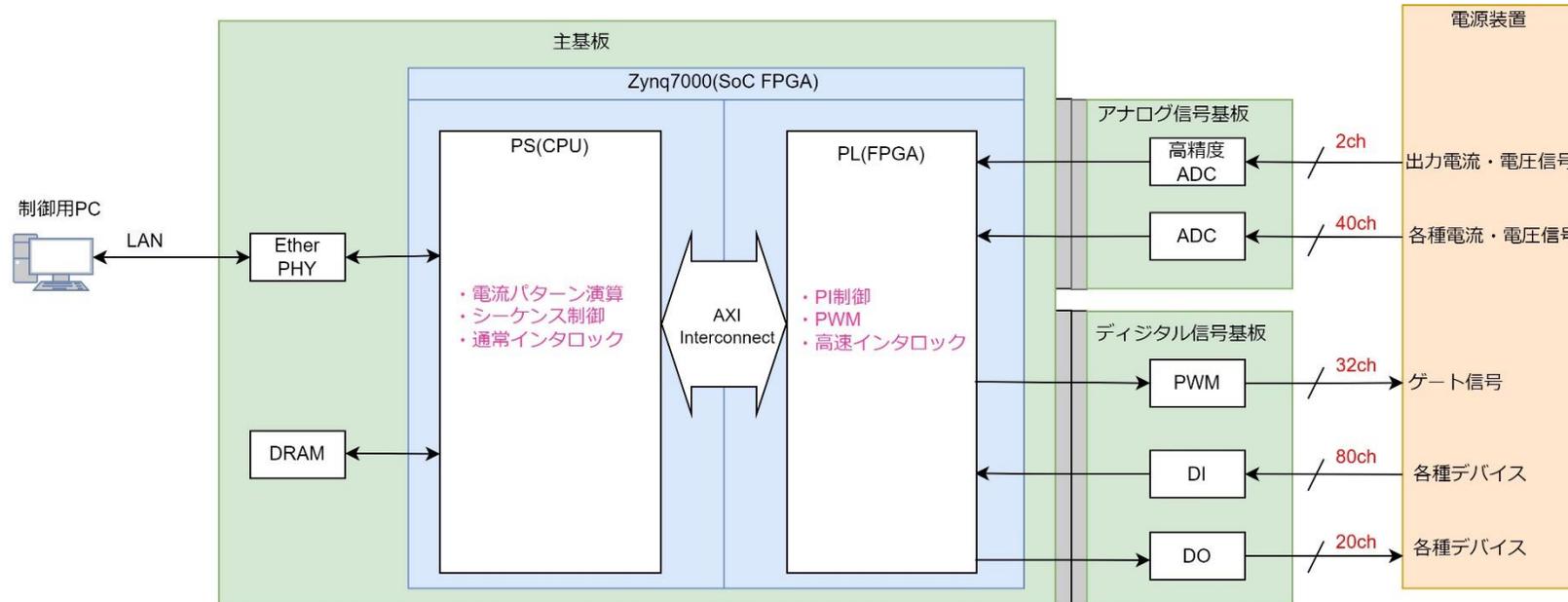
- ・ 出力電流, 出力電圧を高精度 → 18 bit, 1MS/s ADC: 2 ch
- ・ 各種電圧, 電流モニタ → 12 bit, 100 kS/s ADC: 40 ch
- ・ 光シリアルタイミング信号 → SFP:1ch
- ・ 制御が必要な外部デバイス → DI:80ch, Do:20ch
- ・ PWM出力 → 32ch

## 制御・演算部

- ・ PWM演算はレイテンシを短縮したい  
→ FPGAで演算する
- ・ 加速器制御用LANに接続して遠隔制御したい  
→ OS(Linux)とEthernetが必要
- ・ ADCで取得したデータを一時的に保管し, 必要に応じてEthernetを経由して外部に取り出したい  
→ 大容量メモリ(DRAM)が必要

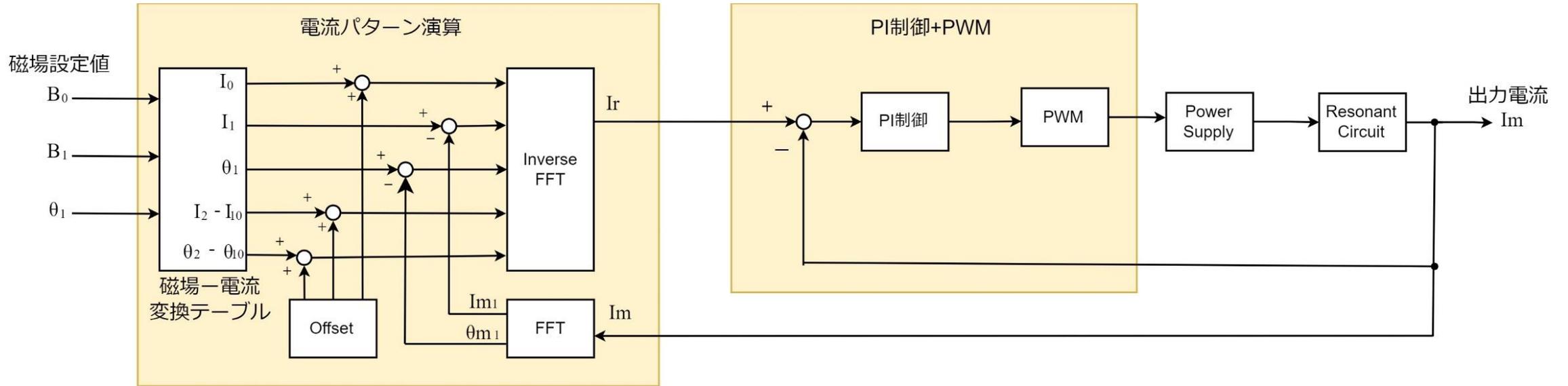
FPGA とCPUが一体となった, SoC FPGAが最適である

# システム構成



- 必要となるADCやDI, DOは電源ごとに異なるため, IO数は変更できるようにしたい。  
→ 主基板(FPGA) + 拡張基板(アナログ信号基板, デジタル信号基板)を分離  
主基板は他の用途にも使用できる
- PL(FPGA)とPS(CPU)の使い分け  
PL: PI制御, PWM, 高速インタロック(低レイテンシが要求される演算)  
PS: 電流パターン演算, シーケンス制御, 通常インタロック(プログラムによる変更が必要な演算)

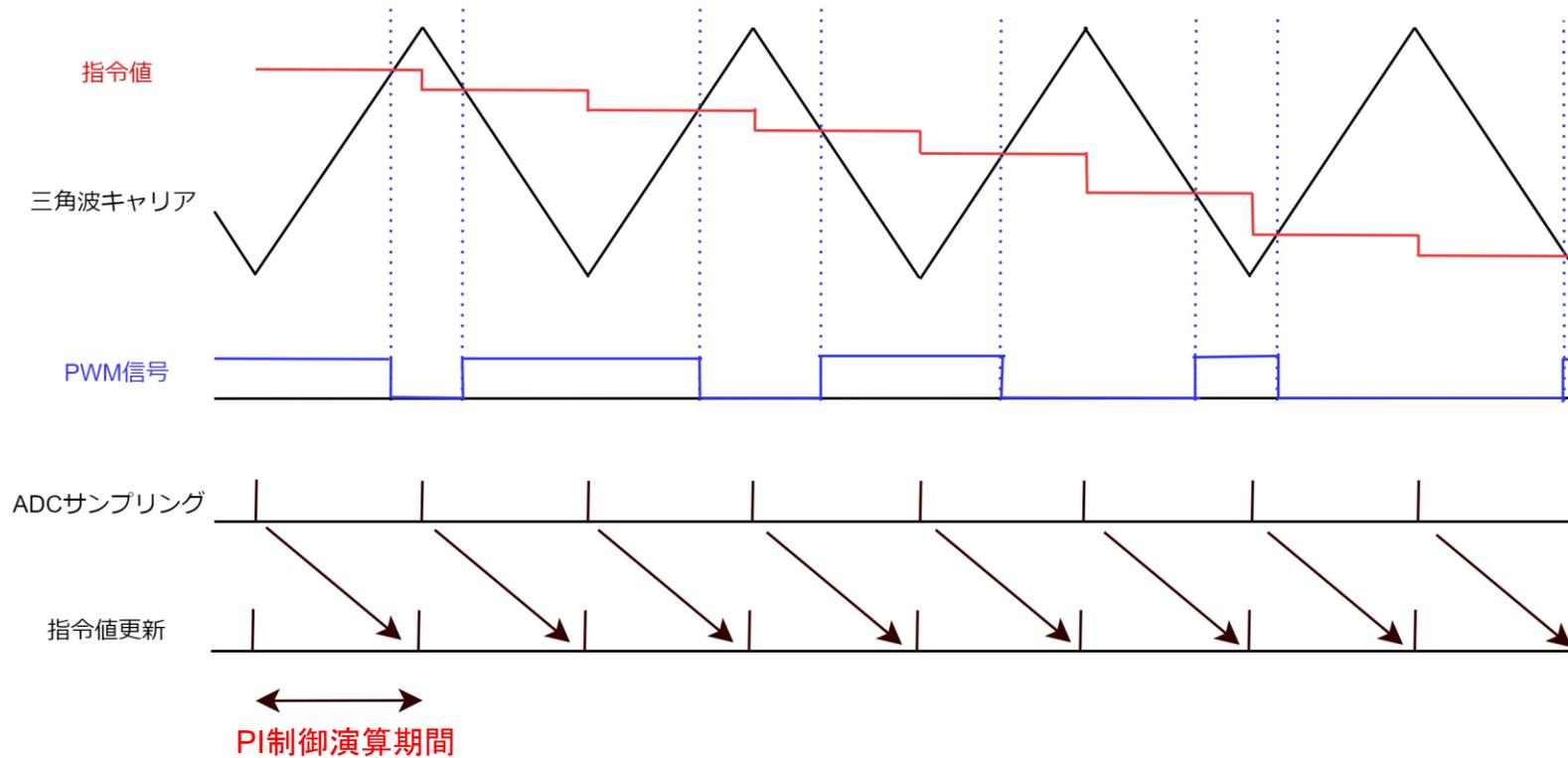
# 電流フィードバック制御



- 電流パターン演算 (PS側に実装)  
要求される磁場パターンから  
磁場測定により得られた磁場-電流変換テーブルで  
電流パターンを演算し、出力電流パターンと一致させるよう、  
電流指令値を調整する

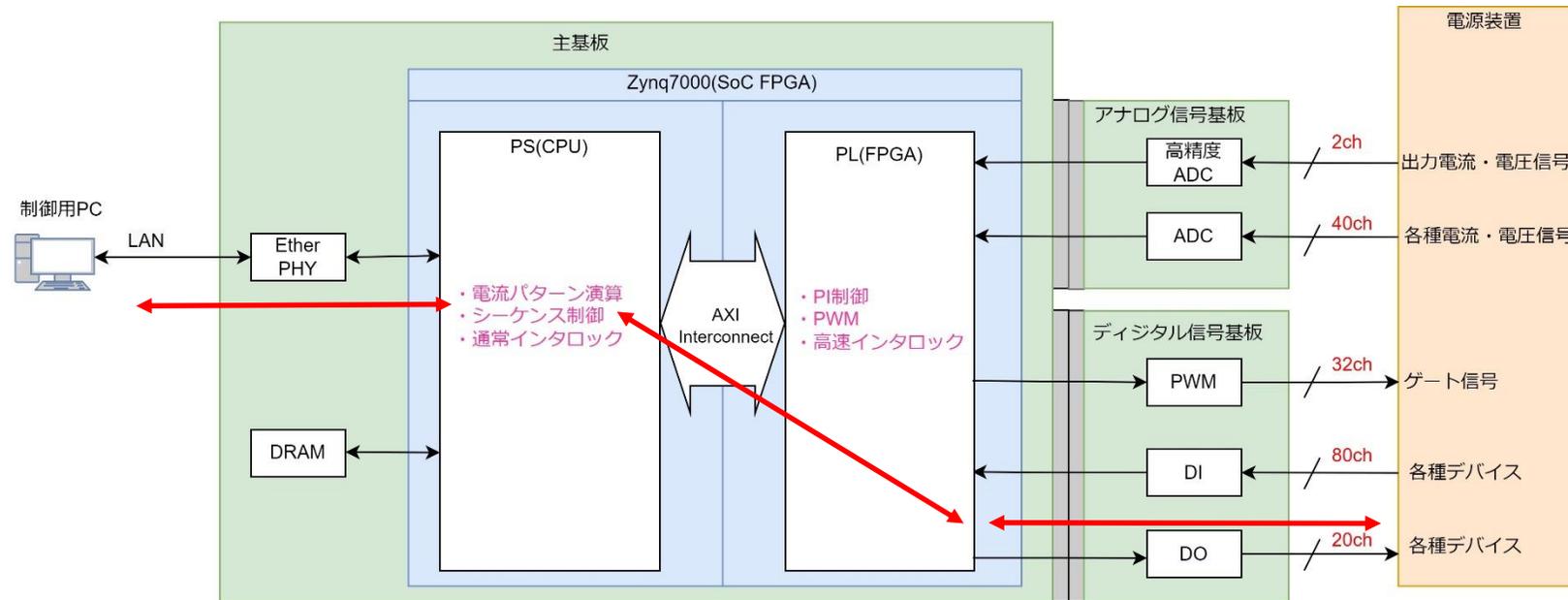
- PI制御+PWM (PL側に実装)  
電流指令値と出力電流の差分をとり、  
PI制御とPWMを介して電源にゲート信号を与える

# PWM (Pulse Width Modulation)



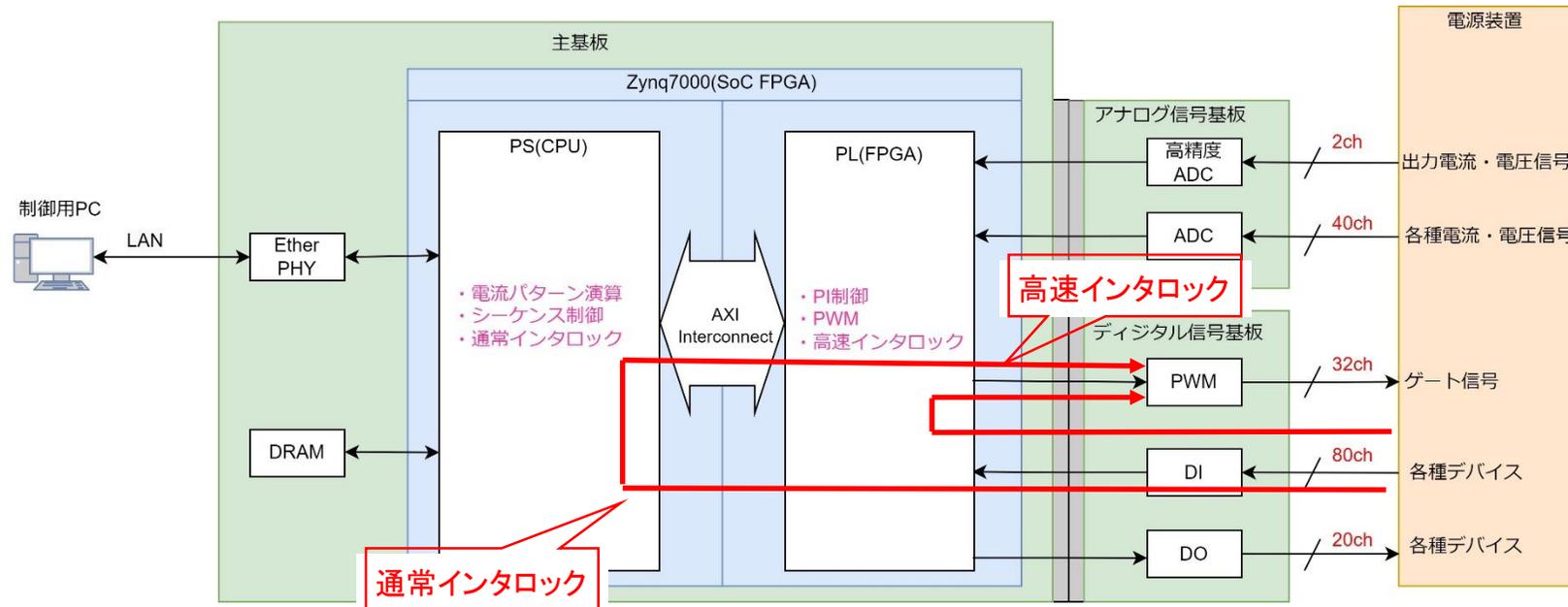
- スイッチング周波数を一定とし, Dutyを可変させて出力を調整する
- ADCのサンプリングは, スイッチングノイズによる影響を避けるため, 三角波キャリアの頂点で行う
- ADCでサンプリングされた値は, PI制御を行い, 次のADCサンプリングのタイミングでPWMの指令値を変更する (例えばスイッチング周波数500 kHzの場合, 1  $\mu$ S以内にPI制御演算を行う必要がある)

# シーケンス制御



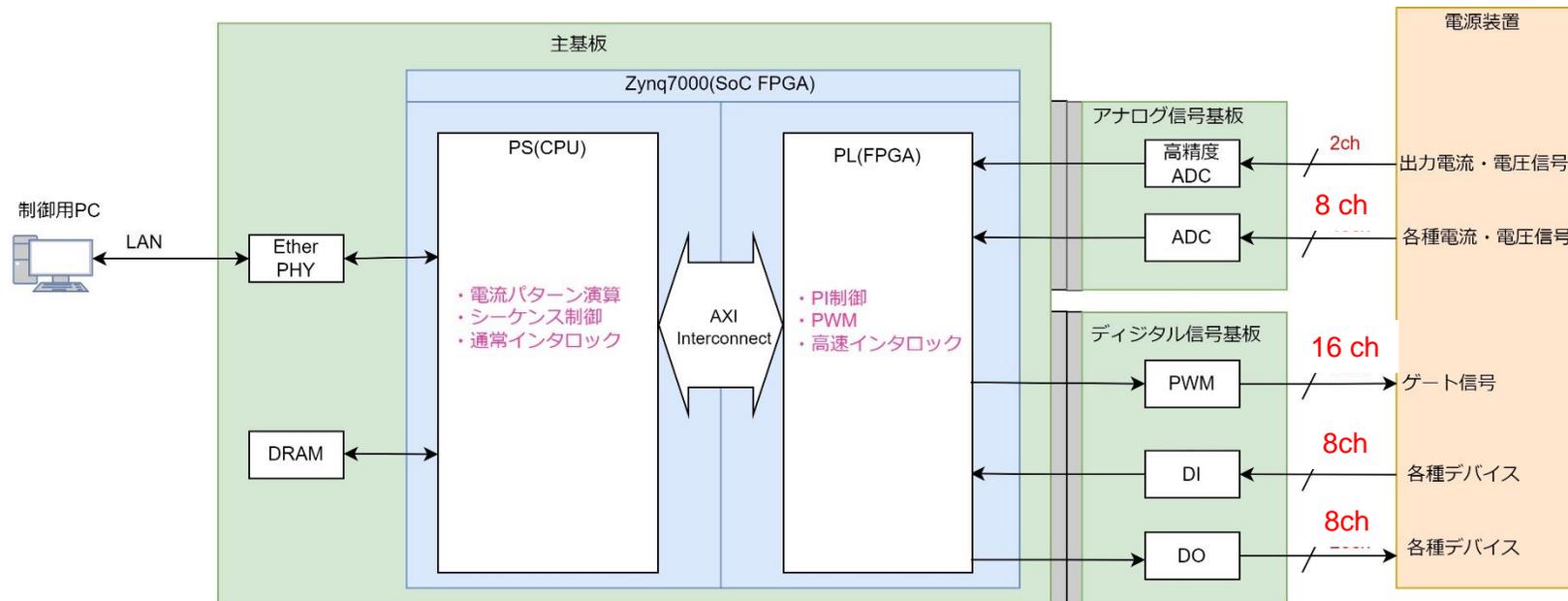
- 電源の起動や停止操作などのシーケンス制御は、PS側のプログラムからPL側に設けたレジスタを介して、電源側の各種デバイス进行操作する。

# インタロック(通常, 高速)



- ・ 通常インタロック(冷却水の流量低下や温度高など)は, PS側で条件判断を行い, PWMのゲート信号を止める
- ・ 高速インタロック(過電流や過電圧)は, PSを介さず, 直ちにPWMのゲート信号を停止させる。

# 試作基板の製作



- ・ アナログ信号基板, デジタル信号基板の入出力を減らした試作基板を製作
- ・ 小型電源が制御できる程度

# SoC FPGAの選定

## メーカー, 機種

- 複数のメーカーがあるが、現実的にはAMD(Xilinx), Intel (Altera) の2択
- ロジック容量は, Zynq(Xilinx), Cyclone V SoC (Intel) といったローエンドで十分
- Zynqのほうが, Webや書籍の情報, 評価ボードが豊富なため, Zynqを採用する。

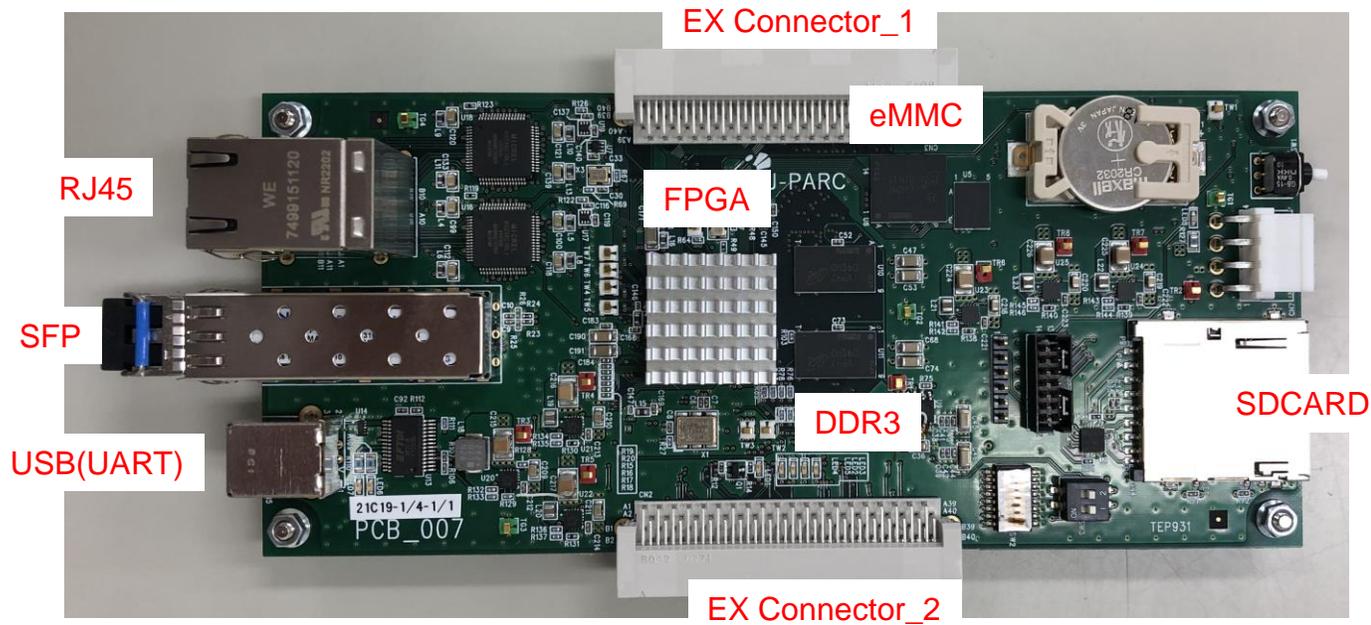
## 型番

- Vivado WebPack(無償)が使用できるのは ZC7Z030まで
- ZC7Z010やZC7Z020は, 多数の評価ボードが発売されているが, これらには光シリアル通信で必要なGTPトランシーバがないため, XC7Z015を採用する。

表 1: Zynq-7000 および Zynq-7000S SoC

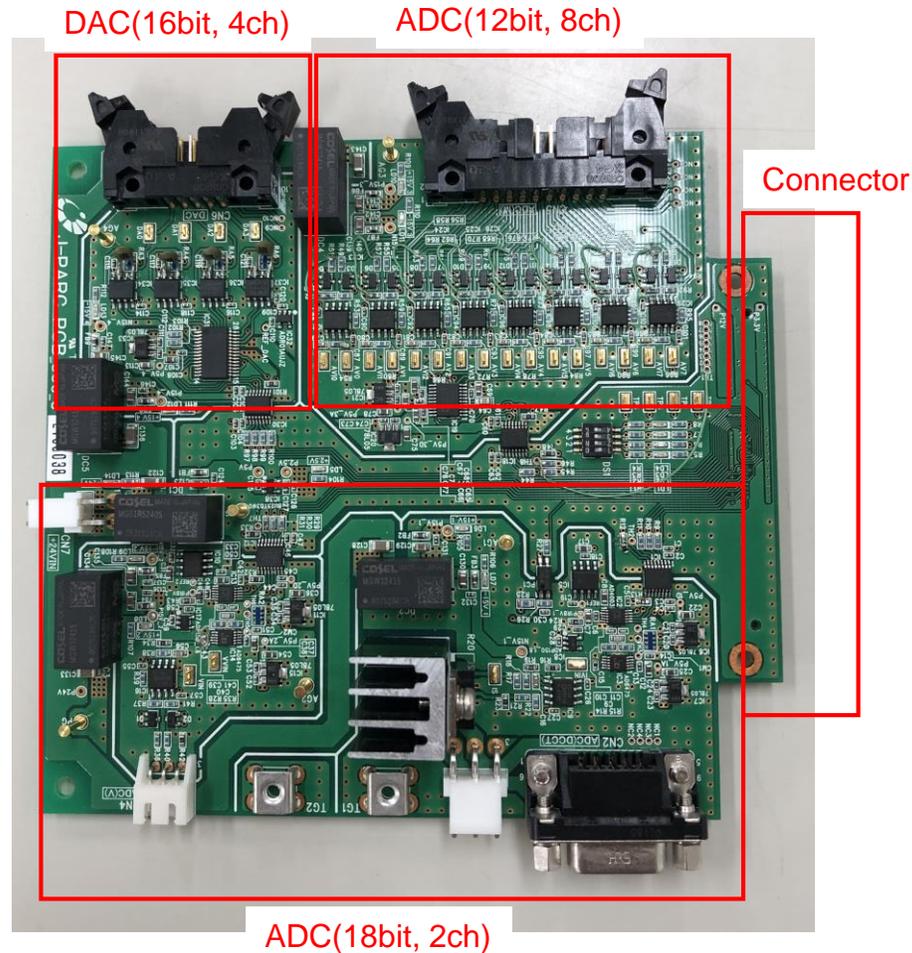
デバイス名	Z-7007S	Z-7012S	Z-7014S	Z-7010	Z-7015	Z-7020	Z-7030	Z-7035	Z-7045	Z-7100	
デバイス番号	XC7Z007S	XC7Z012S	XC7Z014S	XC7Z010	XC7Z015	XC7Z020	XC7Z030	XC7Z035	XC7Z045	XC7Z100	
プロセッサコア	CoreSight 搭載のシングル コア Arm Cortex-A9 MPCore				CoreSight 搭載のデュアル コア Arm Cortex-A9 MPCore						
プロセッサの拡張機能	各プロセッサに NEON™ および単精度/倍精度浮動小数点ユニット										
最大周波数	667MHz (-1); 766MHz (-2)			667MHz (-1)	766MHz (-2); 866MHz (-3)	667MHz (-1); 800MHz (-2); 1GHz (-3)			667MHz (-1); 800MHz (-2)		
L1 キャッシュ	各プロセッサに 32KB 命令キャッシュと 32KB データキャッシュ										
L2 キャッシュ	512KB										
オンチップ メモリ	256KB										
外部メモリサポート(1)	DDR3, DDR3L, DDR2, LPDDR2										
外部スタティックメモリサポート(1)	クワッド SPI x2, NAND, NOR										
DMA チャンネル	8 (4つはプログラマブル ロジック専用)										
ペリフェラル(1)	UART x2, CAN 2.0B x2, I2C x2, SPI x2, 32b GPIO x4										
ペリフェラル内蔵 DMA 付き(1)	USB 2.0 (OTG) x2, トライモード ギガビット イーサネット x2, SD SDIO x2										
セキュリティ(2)	RSA 認証, 256 ビットの AES および SHA 復号/認証によるセキュアブート										
プロセッシングシステムとプログラマブルロジックのインターフェイスポート (プライマリ インターフェイスおよび割り込みのみ)	AXI 32 ビット マスター x2, AXI 32 ビット スレーブ x2 AXI 64 ビット/32 ビット メモリ x4 AXI 64 ビット ACP 16 個の割り込み										
相当するザイリンクス 7 シリーズ プログラマブルロジック	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Artix-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	Kintex-7 FPGA	
プログラマブルロジックセル	23K	55K	65K	28K	74K	85K	125K	275K	350K	444K	
ルックアップ テーブル (LUT)	14,400	34,400	40,600	17,600	46,200	53,200	78,600	171,900	218,600	277,400	
フリップフロップ	28,800	68,800	81,200	35,200	92,400	106,400	157,200	343,800	437,200	554,800	
ブロック RAM (36Kb ブロックの数)	1.8Mb (50)	2.5Mb (72)	3.8Mb (107)	2.1Mb (60)	3.3Mb (95)	4.9Mb (140)	9.3Mb (265)	17.6Mb (500)	19.2Mb (545)	26.5Mb (755)	
DSP スライス (18 × 25 MACC)	66	120	170	80	160	220	400	900	900	2,020	
DSP の最大処理速度 (対称 FTR)	73 GMACs	131 GMACs	187 GMACs	100 GMACs	200 GMACs	276 GMACs	593 GMACs	1,334 GMACs	1,334 GMACs	2,622 GMACs	
PCI Express (ルート コンプレックスまたはエンドポイント)(3)		Gen2 x4			Gen2 x4		Gen2 x4	Gen2 x8	Gen2 x8	Gen2 x8	
アナログ ミックスド シグナル (AMS) XADC	最大 17 の差動入力を備えた 12 ビット 1MSPS ADC x2										
セキュリティ(2)	AES および SHA 256b によるブート コードおよび PL のコンフィギュレーション、復号、認証										

# 主基板



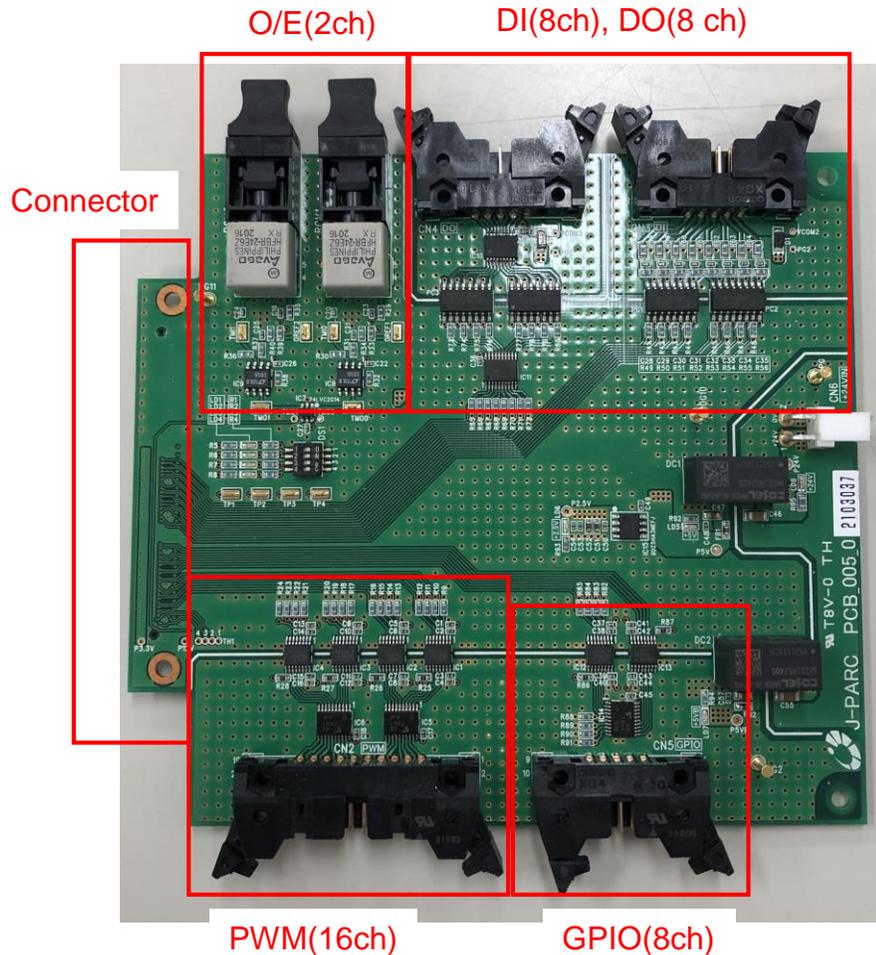
Device	Specification
FPGA	XC7Z015-1CLG485C
DRAM	1 GByte
eMMC	4 GByte
QSPI Flash	16 MByte
UART	1 ch
Ethernet	2 ch, 1000 Base
SFP	1 ch
SDCARD	
RTC	Buttery Backup
EX Connector	2 port, 80 pin

# アナログ信号基板



Device	Specification
高精度ADC	2ch (AD4003, 18 bit 1 MS/s)
ADC	8 ch(AD7328, 12 bit 100 kS/s)
DAC	4 ch(DAC8814, 16 bit 100 kS/s)

# デジタル信号基板



Device	Specification
O/E	2 ch (HFBR-24E6Z)
DI	8 ch (フォトカプラ絶縁)
DO	8 ch (フォトカプラ絶縁)
PWM	16 ch (I-Coupler絶縁)
GPIO	8 ch (I-Coupler絶縁)

# まとめ

---

- 基板製作は完了し、ソフトウェアを製作中  
SFP, ADC制御, AXI interconnect, DDR3, Ethernet周辺は外注し, PI制御やPWMは自作。

## こまっていること

- SFP  
外注会社で実績のあるSpaltan6用のプログラムを7シリーズのIPに変更したら動作しなくなった。  
ハードウェア(SFPモジュール, 光ケーブル, FPGA)は, 問題なさそうである。  
不安定(信号が出たり出なかったり)
- FPGAの入手難  
チップは手に入らないが, なぜか中国製の評価基板は入手しやすい。  
評価基板から取り出しリボールして使用するか？