

### COMET Phase-I 実験に向けた ニューラルネットワークを実装したFPGAによる オンライン事象選別の研究

### 宮滝 雅己А

m-miyataki@epp.phys.sci.osaka-u.ac.jp

藤井祐樹<sup>B</sup>、中沢遊<sup>C</sup>、吉田学立<sup>D</sup>、上野一樹<sup>A,C</sup> MyeongJae Lee<sup>E</sup>、青木正治<sup>A</sup>

阪大理<sup>A</sup>、Monash Univ.<sup>B</sup>、KEK素核研<sup>C</sup>、阪大RCNP<sup>D</sup>、成均館大<sup>E</sup>

2022/10/17 計測システム研究会@J-PARC



- ・COMET Phase-I 実験@J-PARC
- 研究動機
- ・トリガーアルゴリズム
- ・Neural Network実機試験
- ・まとめ

## ミューオン電子転換過程

ミューオンがニュートリノを放出せずに電子へ 転換する荷電レプトンフレーバー非保存過程

#### 信号事象

- $\mu^- + N(A, Z) \rightarrow e^- + N(A, Z)$
- ・電子は単色エネルギー
- ・AIの場合、105 MeV/c

#### 背景事象

- $\mu^- \to e^- + \nu_\mu + \bar{\nu_e}$
- 信号事象の分岐比
  - ・標準模型 + ニュートリノ振動 O(10<sup>-54</sup>)
  - ・標準模型を超えた物理 O(10<sup>-15</sup>~10<sup>-17</sup>)

COMET実験はミューオン電子転換過程を探索







%https://doi.org/10.1140/epjc/s2006-02582-x

# 円筒型検出器

+ <u>ドリフトチェンバー</u>

**CDC (Cylindrical Drift Chamber)** 

- ・外径 ~1.7 m、内径 ~1 m、長さ ~1.5 m
- ・粒子の運動量を測定
  - 4986 sense wires
  - 20 stereo layers x ~250 cells
- + <u>トリガーホドスコープ</u> CTH (Cylindrical Trigger Hodoscope)
  - ・電子の時間情報を測定
  - ・4重コインシデンスにより偶発的な フェイクトリガー事象を除去





## FPGAベースオンライントリガーシステム<sup>6</sup>



- トリガー要求性能を達成 <u>https://doi.org/10.1109/tns.2021.3084624</u>
  - 96 %の信号電子保持効率でトリガーレート13 kHz

(CTHのトリガーレートは91 kHz、DAQの要求は26 kHz)

Latency: 3.2 µs (要求は7.5 µs)



### トリガー効率を上げ測定時間窓を広げ、 シグナルアクセプタンスを向上させたい

7



現在のトリガーシステムは500 ns開始ではトリガーレートが13 kHzを超える

## 現在のトリガーアルゴリズム = 機械学習によるヒット分類 + <u>カットベースのイベント分類</u> **開発アルゴリズム**

= 機械学習によるヒット分類 + <u>Neural Networkのイベント分類</u>

## 新たなトリガーアルゴリズムの開発

#### 開発アルゴリズム

= 機械学習によるヒット分類 + <u>Neural Networkのパターン認識によるイベント分類</u>



Score mapをNeural Networkの入力に用いることで、
イベント分類に信号電子が描く軌跡のパターン認識を導入



問題設定とハードウェア制約を簡略化し、まず以下の3つを確認したい

- ・ソフトウェア、FPGAファームウェア両サイドの開発スキーム
- 実機FPGA上のNeural Networkの性能
- ・実機FPGA上でNeural Networkの推論にかかるlatency

簡略化した設定でソフトウェア、FPGAファームウェアの開発を行った





hls4mlは目標FPGAに対し実装に必要なlatencyとリソース使用率をレポートしてくれる

#### FPGA : AMD Xilinx Kintex-7 xck355t-ffg901-1

	Usage (%)						
Latency @200 MHz	BRAM	DSP	FF	LUT			
130 ns 👍	~0 👍	~0 👍	5	32 👍			

hls4mlで作成したQMLP moduleをsimulationで確認後、実機で試験を行った

## **QMLP module simulation**

Xilinx vivado simulationによりQMLP moduleのlatencyと出力を確認

#### 信号イベント情報を入力した時のwaveform



latency, score出力予想通り😎



12

Input event

QMLP module実機試験に向けたfirmware開発 COTTRI FE<sup>13</sup>



## 実機試験

- COTTRI FE,MB実機を用いて試験を行った
- 入力情報はFEにUDP通信で書き込んだ。
- 出力はVivado ILA debug coreで確認した。

Input event





期待通りFWが動いてることを確認♥





#### ILA : COTTRI MB



**COTTRI MB** 

**QMLP** Classification







**COTTRI FE** 

data

Compressed (



QMLPのFPGA実機出力をSignal eventとBG eventの50 eventづつ確認



hls4ml (software)と、FPGA実機(hardware)の predictionが完全に一致

## まとめ

- ・COMET実験は標準理論で強く抑制されているµ-e転換過程探索実験
- ・COMET Phase-I 開始に向けて鋭意準備中
  - ・目標感度~7×10<sup>-15</sup> @90 C.L. (AI) ->現在の制限を100倍更新
- ・シグナルアクセプタンス向上のためにイベント分類Neural Networkをオンライントリガーシステム に実装するスタディが進行中
- ・問題設定を簡略化することで以下を確認
  - ・Software、FPGA firmware両サイドの開発スキームを開発
    - ・データセットの用意、モデル構築、hls4mlによるRTL作成、VivadoによるSimulation, Neural Network module試験用ファームウェアの開発、FPGA実機出力とSoftware出力の比較

17

- ・FPGA上でのNeural Networkの性能を評価
  - ・hls4ml(software)のpredictionとFPGA実機(hardware)のpredictionが一致することを確認
  - ← 実機でのlatency 測定する

問題設定、ハードウェア設定を現実のセットアップにスケールアップしていく

MBのリソースはまだ余裕があるのでよりdeepなNeural networkやCNN,GNN等を試す

Backup

# Online trigger system





- RECBEs generate the 2 bit dE/dx information and send it @10 MHz
- COTTRI CDC system
  - FE : hit classification based on local/neighboring features.
    - Convert 2 bit data to GBDT scores in 400 ns integration time window
  - MB : event classification with the global feature.
    - Sums up the GBDT scores and makes the CDC trigger decision @10 MHz

# Trigger algorithm



The current CDC trigger algorithm

- 1. Set the CDC active section for each segment of CTH
- 2. Within each active section, count hits that exceed the score threshold
- 3. CDC trigger is issued when the count exceeds the threshold.

#### New CDC trigger algorithm under development

- 1. Set the CDC active section for each segment of CTH
- 2'. Execute Neural Network inference w/ score information of each active section as inputs
- 3'. CDC Trigger is issued based on <u>Neural Network classification</u>.

# Signal and BG hits

### **Signal-hit characteristics**

- Contained helical tracks
- Single hit in the same wire
- MIP-level energy loss

#### **Background-hit characteristics**

- Low energy electrons
  - Interaction of gamma rays at the CDC walls
  - Helical trajectory contained in the same cell
  - Multi hits in the same wire
- Protons (from muon nuclear capture)
  - Momentum higher than 100MeV/c
  - Large energy loss
  - ~40 protons/beam-pulse



# Hit classification

\*GBDT = Gradient Boosted Decision Tree

Machine learning algorithm (GBDT\*) to score hit information for

each wire based on energy loss and local patterns



	CDC config	BG hit 占有率	ワイヤーヒット score情報	Active section	
現実	20 layer x ~250 cell	~20 %	6 bit	~1500 ch	
本スタディ	18 layer x 180 cell	5%	1 bit	960 ch	



## High level synthesis for machine learning <sup>27</sup>



Fast inference of deep neural networks in FPGAs for particle physics Fig1.

https://dx.doi.org/10.1088/1748-0221/13/07/P07027

## **FPGA programing Flow**



## ハードウェア制約



220 mm



信号電子が軌跡を残すのは CDCの約1/3領域



## Firmware

#### COTTRI Front-Enel



## Firmware

#### COTTRI Front-End



### **COTTRI FE to COTTRI MB data format**

- 32
- Maximum data transfer = 2.4 Gbps/lane x 2lane x 0.8 = 3.84 Gbps
- Data format : 1 header & 10 data packets

#### 1 frame @ 10 MHz

Bit	31	30 29 28 27 26 25	24	23 22 21 20 19 18 17 16 15 14 13 12 11 10 9 8	7 6 5 4 3 2 1 0
Header	0	Parity bits	1	Sent number	Board ID
Score	0	Parity bits	0	RECBE 9	
	0	Parity bits	0	RECBE 8	
	0	Parity bits	0	RECBE 7	
	0	Parity bits	0	RECBE 6	
	0	Parity bits	0	RECBE 5	
	0	Parity bits	0	RECBE 4	
	0	Parity bits	0	RECBE 3	
	0	Parity bits	0	RECBE 2	
	0	Parity bits	0	RECBE 1	
	0	Parity bits	0	RECBE 0	

### COTTRI FE to COTTRI MB data format For the preliminary study

33

#### 1 frame @ 10 MHz

Bit	31	30 29 28 27 26 25	24	23 22 21 20 19 18	17 16 15 14 13 12	11 10 9 8	7 6	5 4 3 2 1 0	
Header	0	Parity bits	1	Sent number			Board ID		
Score	0	Parity bits	0	Input39	Input38	Input3	87	Input36	
	0	Parity bits	0	Input35	Input34	Input3	3	Input32	
	0	Parity bits	0	Input31	Input30	Input2	29	Input28	
	0	Parity bits	0	Input27	Input26	Input2	25	Input24	
	0	Parity bits	0	Input23	Input22	Input2	21	Input20	
	0	Parity bits	0	Input19	Input18	Input1	7	Input16	
	0	Parity bits	0	Input15	Input14	Input1	3	Input12	
	0	Parity bits	0	Input11	Input10	Input	9	Input8	
	0	Parity bits	0	Input7	Input6	Input	5	Input4	
	0	Parity bits	0	Input3	Input2	Input	1	Input 0	





分類器がSignal eventであると予測したとき、その予測が正しいのは98%

全てのSignal eventの80%を検出





分類器がSignal eventであると予測したとき、その予測が正しいのは98%

全てのBG eventの20%を誤ってSignal eventであると分類