



物理実験用アナログASICの 設計自動化の試み

2023/11/21

高エネルギー加速器研究機構

素粒子原子核研究所, 測定器開発センター E-sysグループ

量子場計測システム国際拠点(QUP)

宮原 正也

• アナログASICの開発で困っていませんか？

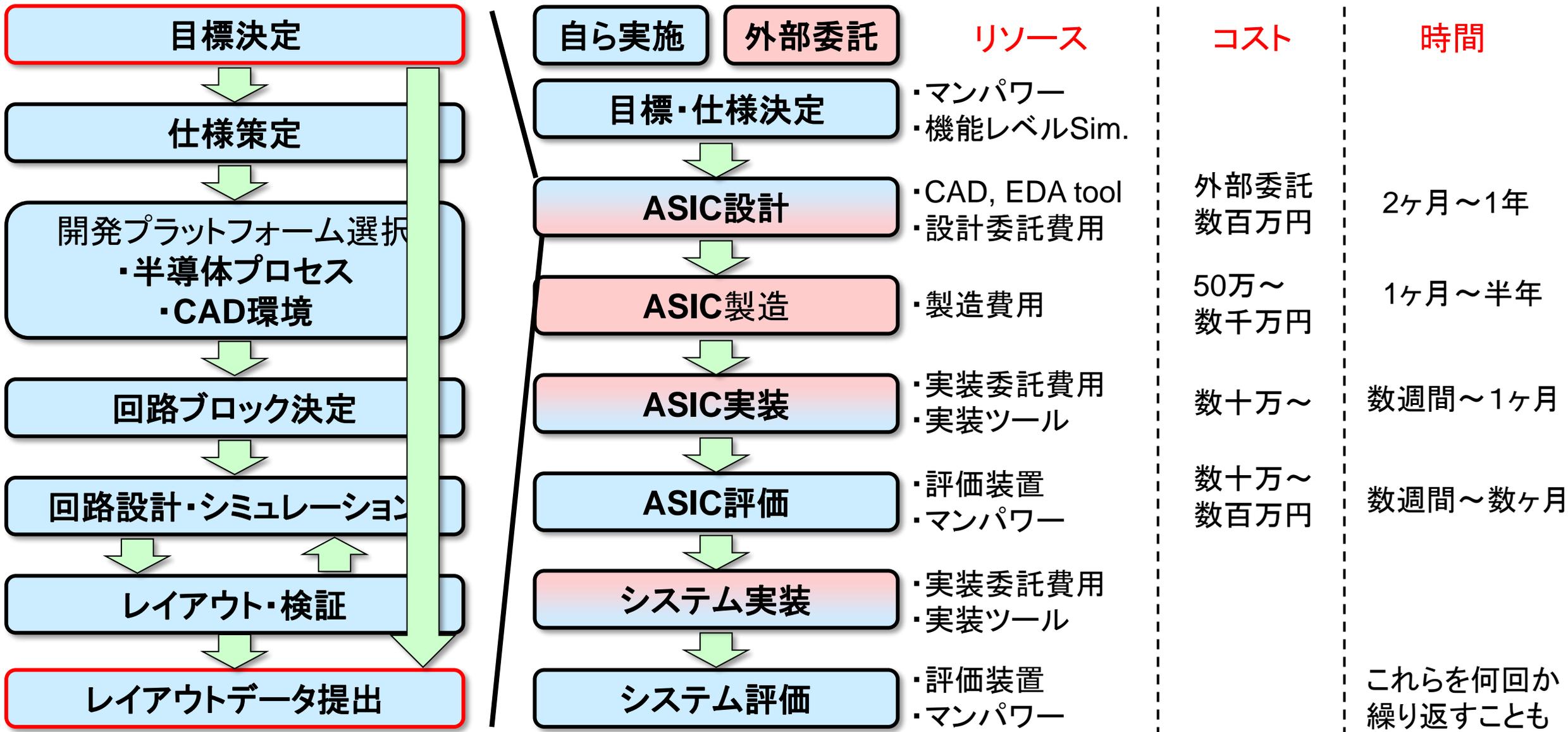
– 困っている理由は？

- 開発に時間がかかりそう
- 上手く動かなさそう
- お金がかかりそう
- 何から手を付けたらよいかわからない
- 誰に頼んだらいいのかわからない
- 人手が足りない

アナログASICの設計自動化で解決したい

- **センサからの信号はアナログ**
 - 信号増幅、波形成形、A/D、高速データ転送が最低限必要
 - センサ～A/Dまでで信号の品質がほとんど決まる
 - アナログ回路設計がとても重要
- **センサの微細化、多チャンネル化への対応**
 - ディスクリート部品では対応困難→ASIC化
- **アナログASIC設計者の人材不足(国内)**
 - 物理実験分野だと両手で数えられるくらい(?)
 - 海外製品に頼りすぎると
 - 実験にあった性能・機能が実現できない
 - バグあっても改修してもらえない
 - EOLを自分でコントロールできない

ASIC開発の流れ



- **性能の見極めが難しい**
 - デジタル回路のように0, 1で判断できない
- **高感度な動作領域を積極的に使用する必要がある**
 - 外来雑音の影響を受けやすい
- **性能トレードオフが多すぎる**
 - ダイナミックレンジ, ノイズ, バンド幅, 線形性, 消費電力, 回路面積などが複雑に絡み合う
 - 非線形回路を含むためシミュレーション時間がとてつもなく長い
 - Ex.) ADCの線形性シミュレーション(寄生抽出後) ~2週間
- **目には見えないパラメータが性能に大きく影響する**
 - 寄生抵抗/容量/インダクタ, 静電/磁界結合
 - シミュレーション通りに回路が動かないことはざらにある

- **FPGAのように再構成可能なように作る**
 - ある程度の性能範囲では有効。しかし、
 - 幅広い性能範囲をカバーしようとするとう長になる
 - 回路のピッチを自由に決められない。物理実験では多チャンネルの場合が多いので不利
- **設計の自動化**
 - 全ての回路構成を実現するのは困難
 - デジタル回路のような自動配置配線では性能が著しく下がる

1. Model characterization

- Create a database of transistor sizes(W/L) for I_D , V_{eff} .
- Determine circuit topology
- Determine parameter ranges



2. Circuit simulation

- Circuit simulation using database obtained in 1.
- Parameters are finalized using performance evaluation function



3. Layout generation

- Tile-based place & route to generate mask data
- Layout parasitic extraction
- Post-layout simulation



4. Optimization

- Non-linear optimization
 - Machine learning
- (We don't rely too much on optimization)

- 物理実験によく用いられる回路構成に的を絞る
- 自動合成に適した回路構成をあらかじめ選定する
- 回路設計は理論、数値解析に基づいて決定する
- 熟練設計者のノウハウをレイアウトに詰め込む

Design Spec.

Resolution N
Conv. Rate F_S
Ref. voltage V_{FS}
⋮

Process Data

Foundry X corp.
Technology Y nm
Metal layer Z
⋮



Analog circuit synthesis platform



10 min. for generation

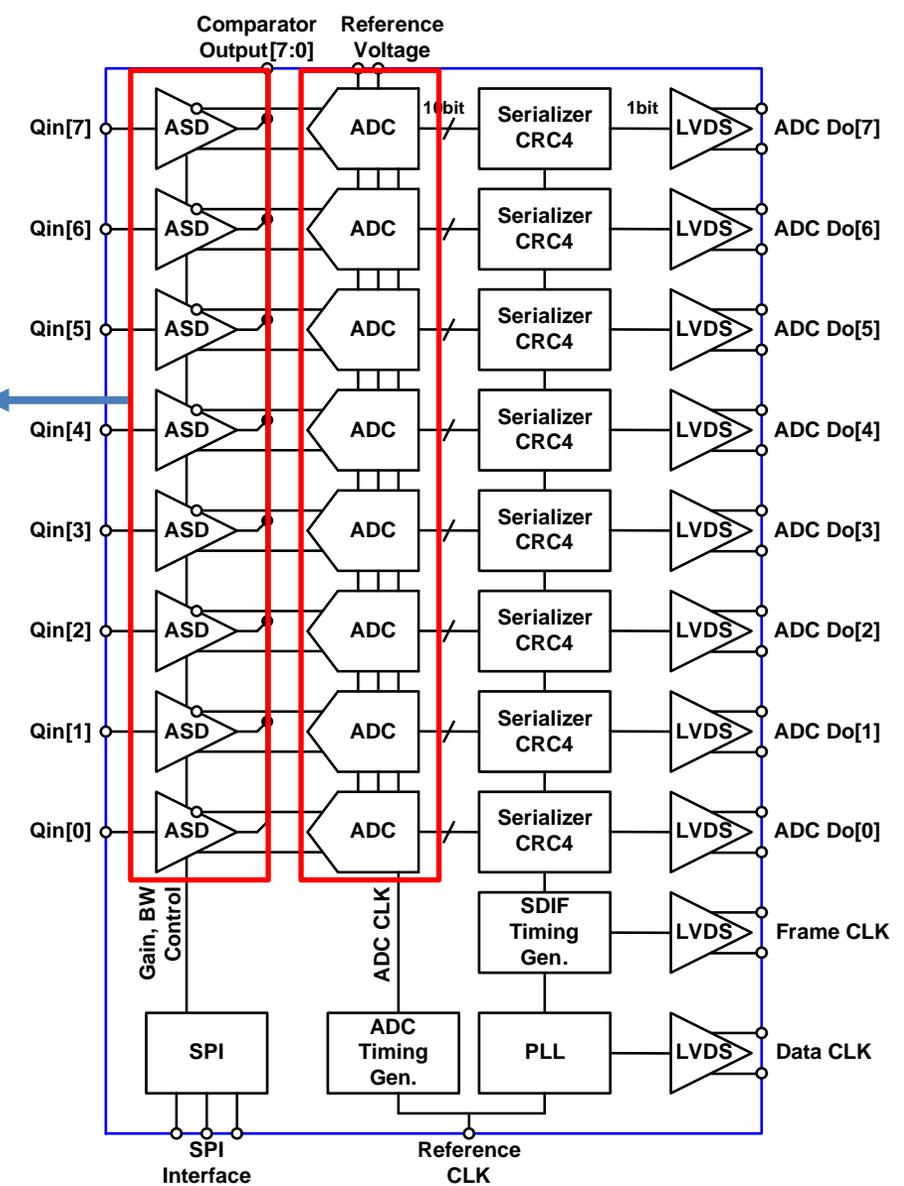
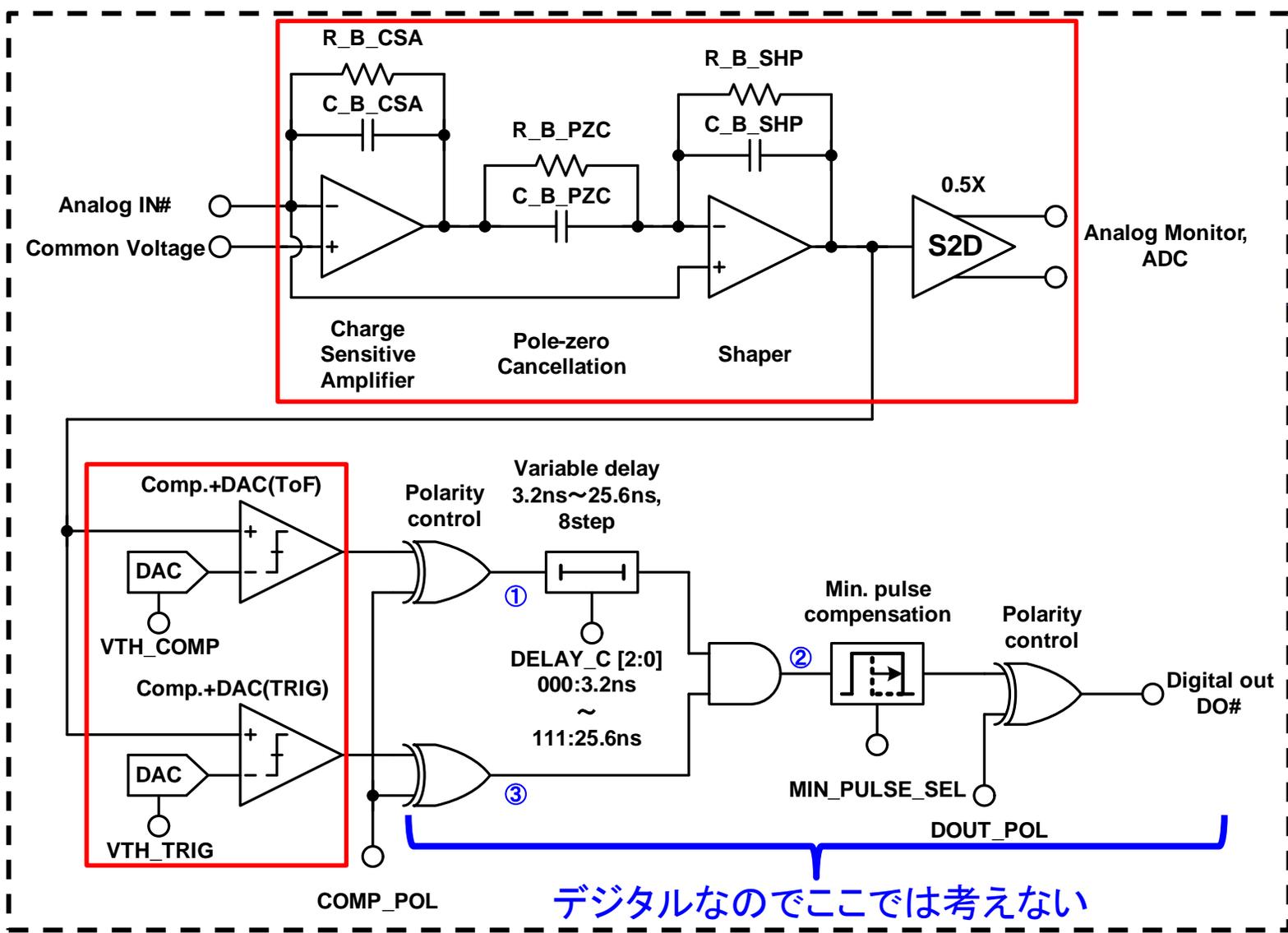
Schematic, Symbol, Layout, Testbench



1 week for verification

Submit the GDS data to the foundry

目標とするASICのレベル



Belle II CDC読出し用ASIC (RAPID)

1. 自動設計

- システム要求に応じてトランジスタのL, W, F, Mなどのパラメータを自動的に決定することを意味する。

2. 自動生成

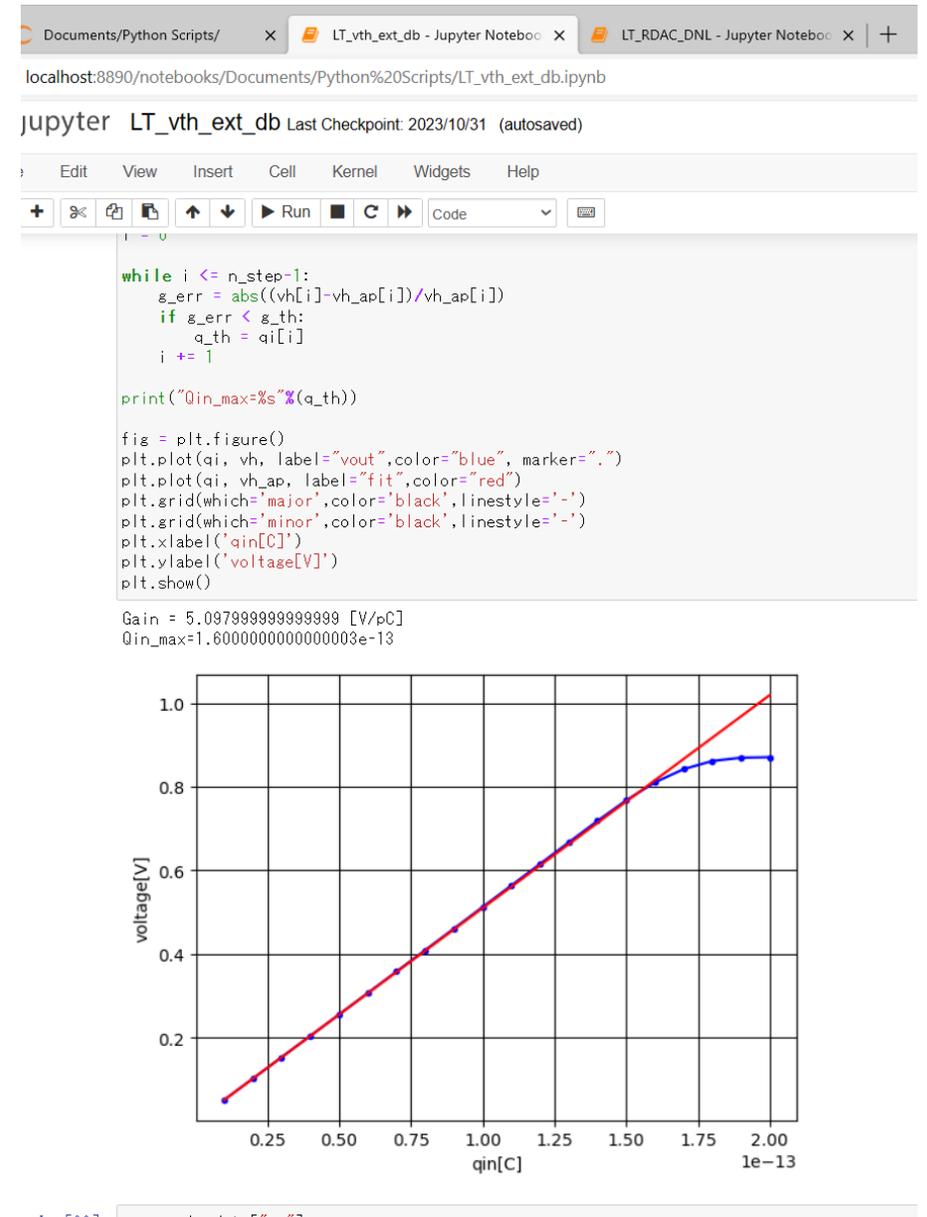
- トランジスタのL, W, F, Mなどのパラメータに応じて回路図、レイアウト、シンボルなどを自動的に生成することを意味する。

1と2は別々の環境で構築する。様々な設計環境とリンクしていくには分かれていたほうが都合が良い。

- Python+市販の回路シミュレータ (SPICE)

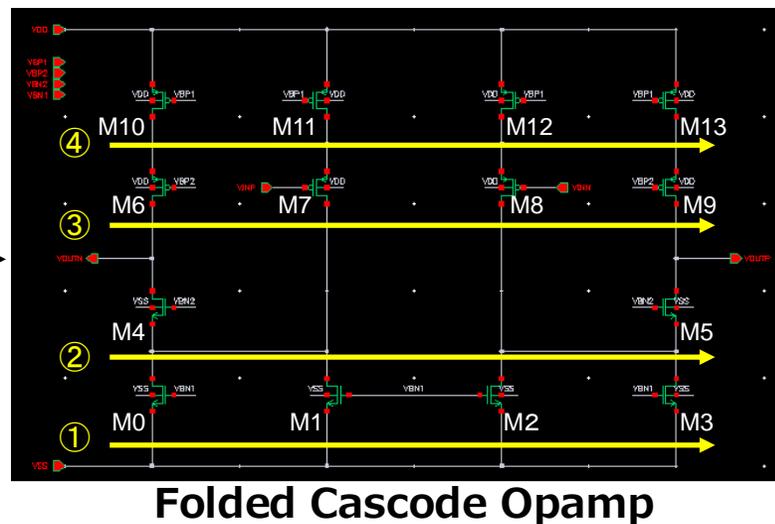
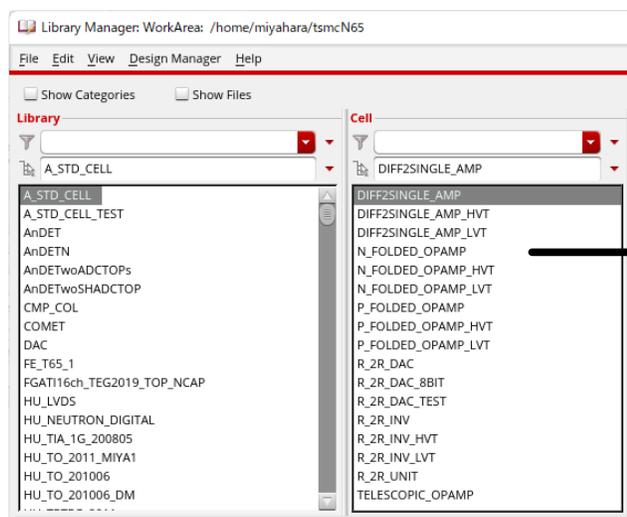
1. Pythonから回路シミュレータをコントロールしてシミュレーションを実施
2. シミュレーション結果をPythonで解析し回路としての性能評価を行う
3. 性能評価結果から回路パラメータを変更し、要求性能を満たす/あきらめるまで最適化を行う

これらを任意のトランジスタモデルで実施できるようにする=テクノロジーノードを選ばない



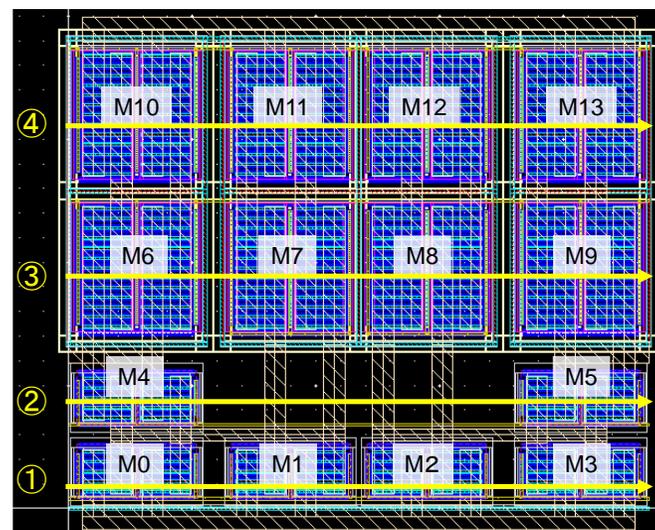
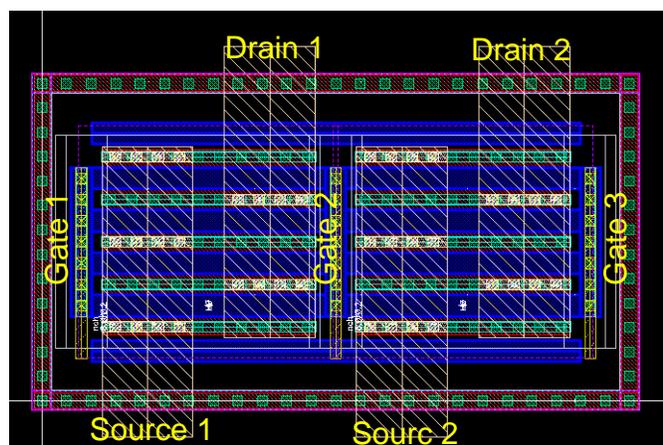
自動生成の方針

Analog standard cell base design



- Main schematics and layouts are maintained.
- Parameters of differential pairs are to be matched.
- Width of transistors stacked vertically should be the same. If you want to change the total W, control with Finger.
- The channel length L can be freely changed.

Tile-based layout generation



```

1
2
3 procedure(P_folded_opamp_lay{lib_name cell_name})
4   prog()
5   ;set global parameters
6   m1_sub_p = 0.23
7   NW_SUB_spacing = 0.69
8   pc_off = 0.195
9   m_ext = 0.345
10  M_TOP = "M6";M3-M7 are available.
11  L_g = "0.2u"
12  W_g = "2.0u"
13  M_g1 = "2"
14  M_g1 = "2"
15  F_NS = "4" ;NMOS sink, M1, M2
16  F_NL = "4" ;NMOS load, M0, M3
17  F_NC = "4" ;NMOS cascode, M4, M5
18  F_PS = "12" ;PMOS sink, M11, M12
19  F_PL = "12" ;PMOS load, M10, M13
20  F_PC = "12" ;PMOS cascode, M6, M9
21  F_PI = "32" ;PMOS input, M7, M8
22  M_g1_i = atoi(M_g1)
23  M_g1_i = atoi(M_g1)
24  W_g_f = atof(W_g)
25  x_step = W_g_f+2*pc_off
26
27  printf("layout copying... \n")
28  cpId = dbOpenCellViewByType("A_STD_CELL" "P_FOLDED_OPAMP" "layout")
29  cvId = dbCopyCellView(cpId lib_name cell_name "layout" nil nil t)
30  dbClose(cpId)
31  cvId = dbOpenCellViewByType(lib_name cell_name "layout")
32  printf("layout editing... \n")

```

Transistor size

- **実環境にて実施**

- 本発表中に粒子検出器を回路設計からレイアウト(一部)まで出来るか挑戦
 - トランジスタレベルからのASD設計及び性能評価
 - 回路コンポーネントのレイアウト生成
 - オペアンプ
 - DAC

- **アナログASICの開発効率を高めるために設計自動化環境の構築を進めています**
 - 気軽にASICを作成できるようなプラットフォームを目指す
 - 第一段階: 自身の開発効率を高める
 - 第二段階: ASIC開発経験者が利用できるようにする
 - 第三段階: システムレベルの設計者が利用できるようにする
 - 現状は第一、第二の中間くらい
 - QUPのシステムロジサポートセクションと協力してMBSEツールと協調
- **今後の課題**
 - 開発体制、知的財産の取り扱い、保守、サポート