



計測システム研究会2024@東大
汎用MPPC読出しASIC “YAENAMI” の
改善と評価状況
2024/11/18

高エネルギー加速器研究機構
素粒子原子核研究所, 測定器開発センター E-sysグループ
量子場計測システム国際拠点(QUP)

宮原 正也

- **汎用MPPC読出しASIC “YAENAMI”の開発プロジェクト**
 - 計測システム研究会2020がトリガ、同研究会2021にv.1を報告
 - 汎用的に使用できる国産のMPPC読出し用ASICを開発
 - YAENAMIを使用した読出しボード “RAYRAW”も並行して開発
 - KEK E-sysグループ及びYAENAMIに興味のある実験グループを中心としてOpen-It→SPADI-Aの枠組みで開発を推進中
- **v.1の評価結果の問題点を改善したv.2を作成**
 - ~2024/6 実験グループからのv.1に関するフィードバックをいただく
 - 2024/7 YAENAMI v.2テープアウト
 - 2024/10 YAENAMI v.2パッケージ入手 測定開始
 - 今 評価結果の速報を報告

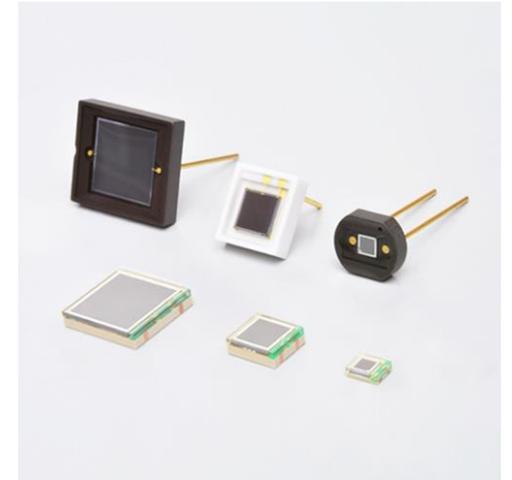
- **Multi-Pixel Photon Counter**

- 複数のガイガーモードAPDのピクセル

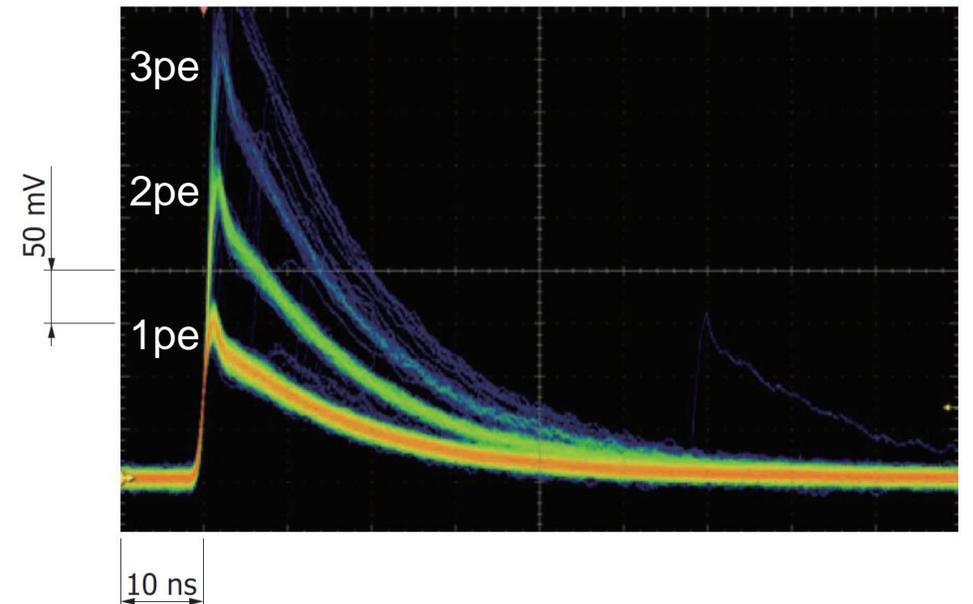
- Photon数に応じて出力電荷が離散的に変化

- S13360シリーズ

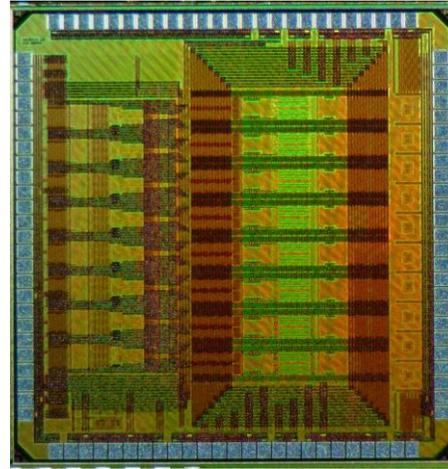
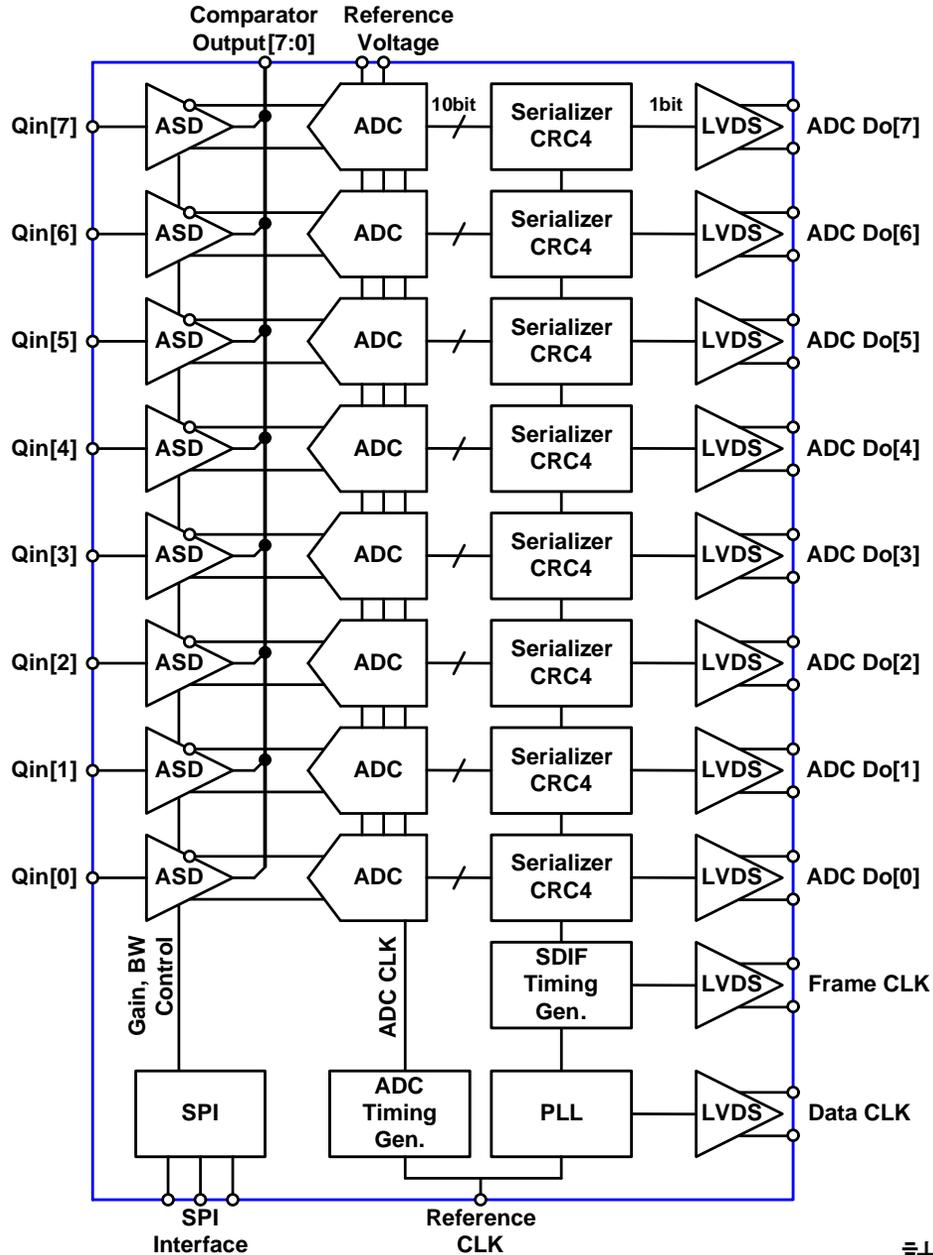
- 増倍率： $10^5 \sim 10^6$
- 時間分解能：
- 低電圧動作 ($V_{BR} = 53V$ Typ.)
- 常温動作
- **簡単な読み出し回路で動作**
 - 大量に使う場合にはそれなりに大変
 - 専用のASICが必要
 - » 国外のものは入手性、改版に難あり



($M=1.25 \times 10^6$)

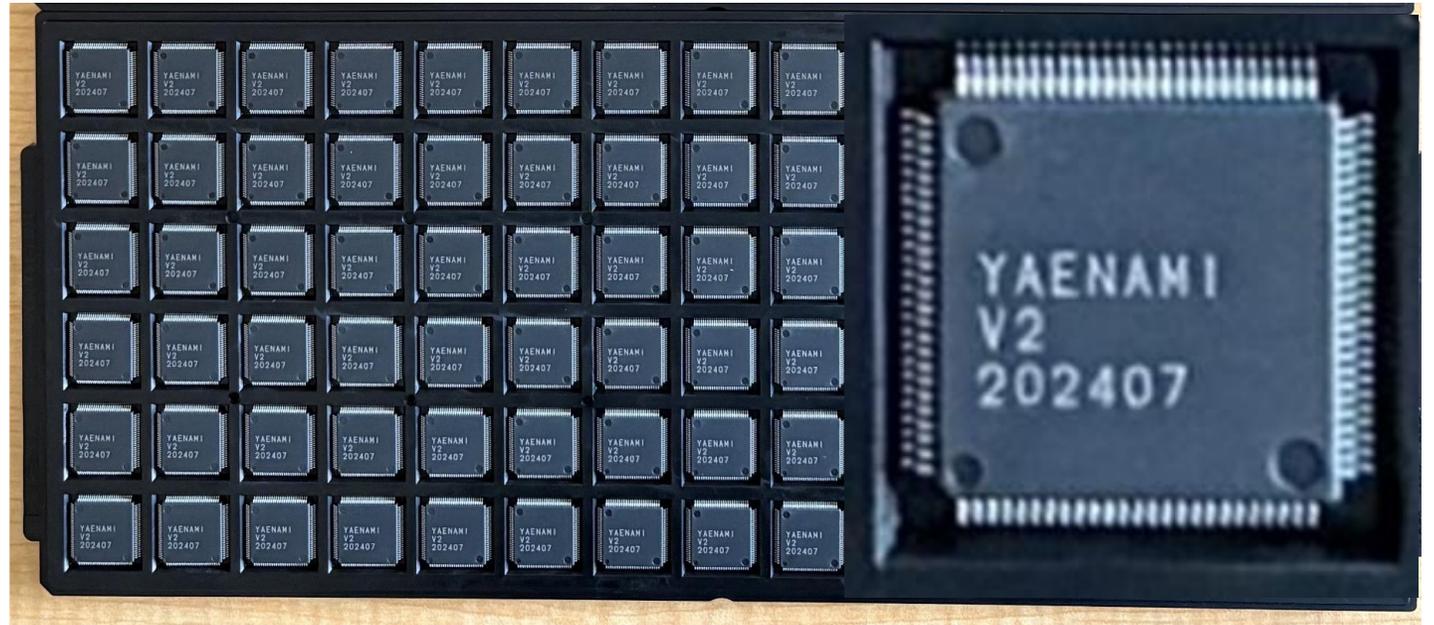


YAENAMIの概略



65nm Si CMOS 4mm²

- 8ch/chip
- 各チャンネルに10bit ADCを設置
 - サンプルングレート ~100MS/s
- ASD利得,時定数可変 (0.25x~128x)
- MPPCバイアス用10bit, 3.3V DAC
- 350mW/chip
 - 1/3はLVDS (12mW/ch × 10)
- v.2は200個作製 (2024/10/24着)



汎用ASICのアナログ1ch構成

Peak Gain 0.25~128倍

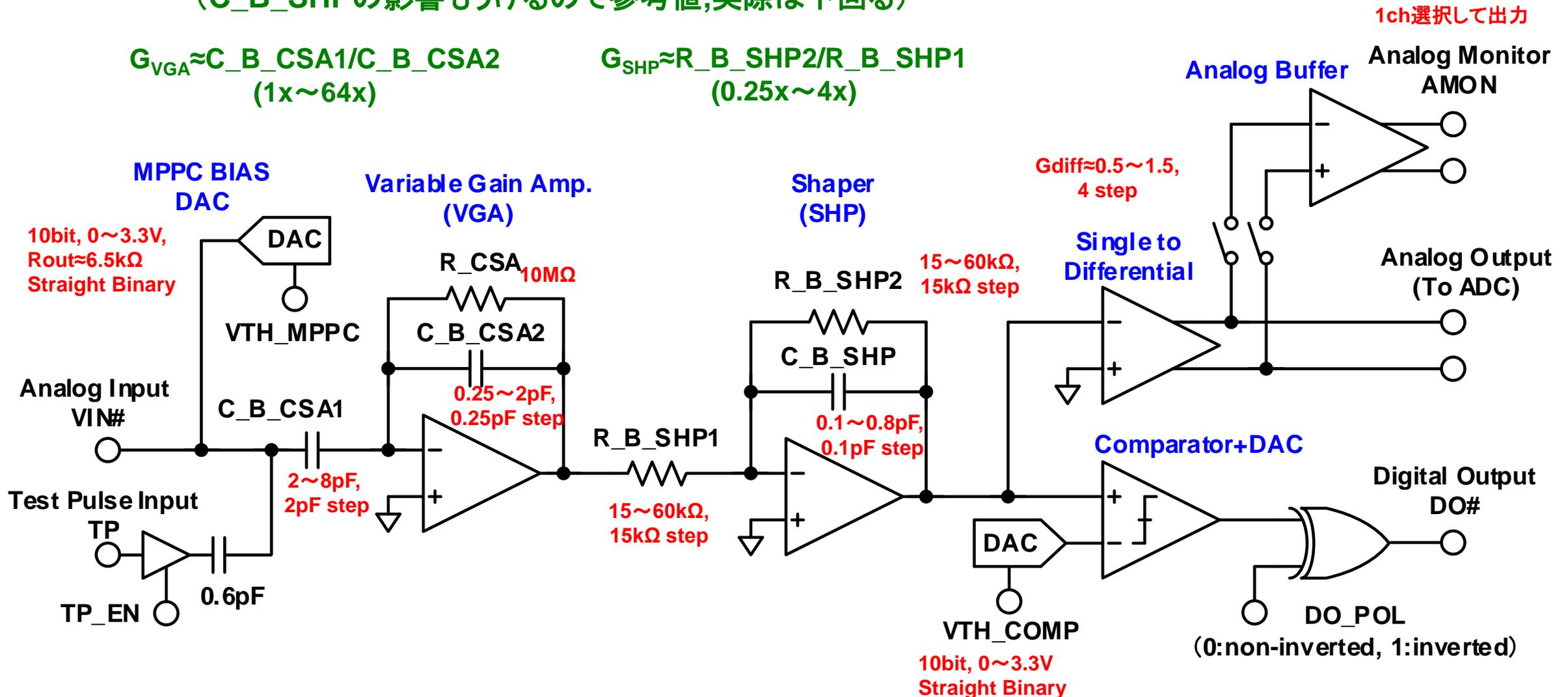
(C_B_SHPの影響もうけるので参考値,実際は下回る)

$$G_{VGA} \approx C_B_CSA1 / C_B_CSA2$$

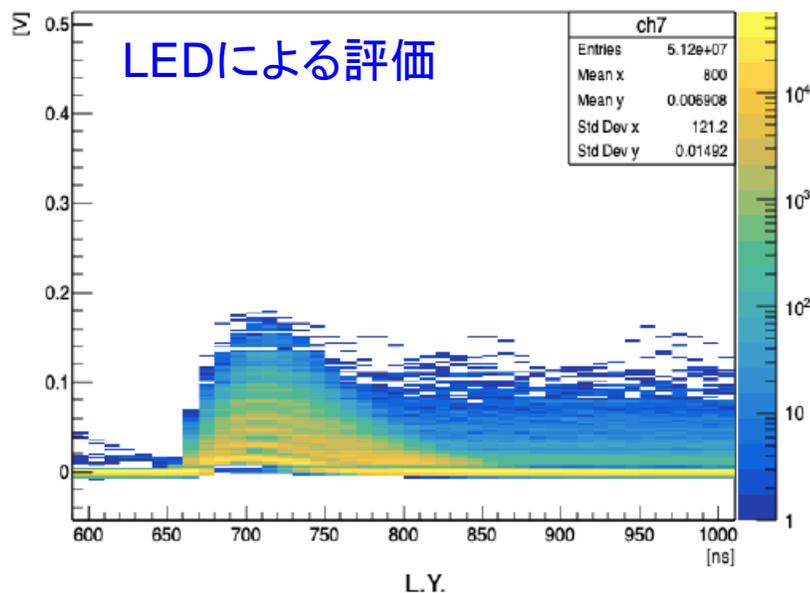
(1x~64x)

$$G_{SHP} \approx R_B_SHP2 / R_B_SHP1$$

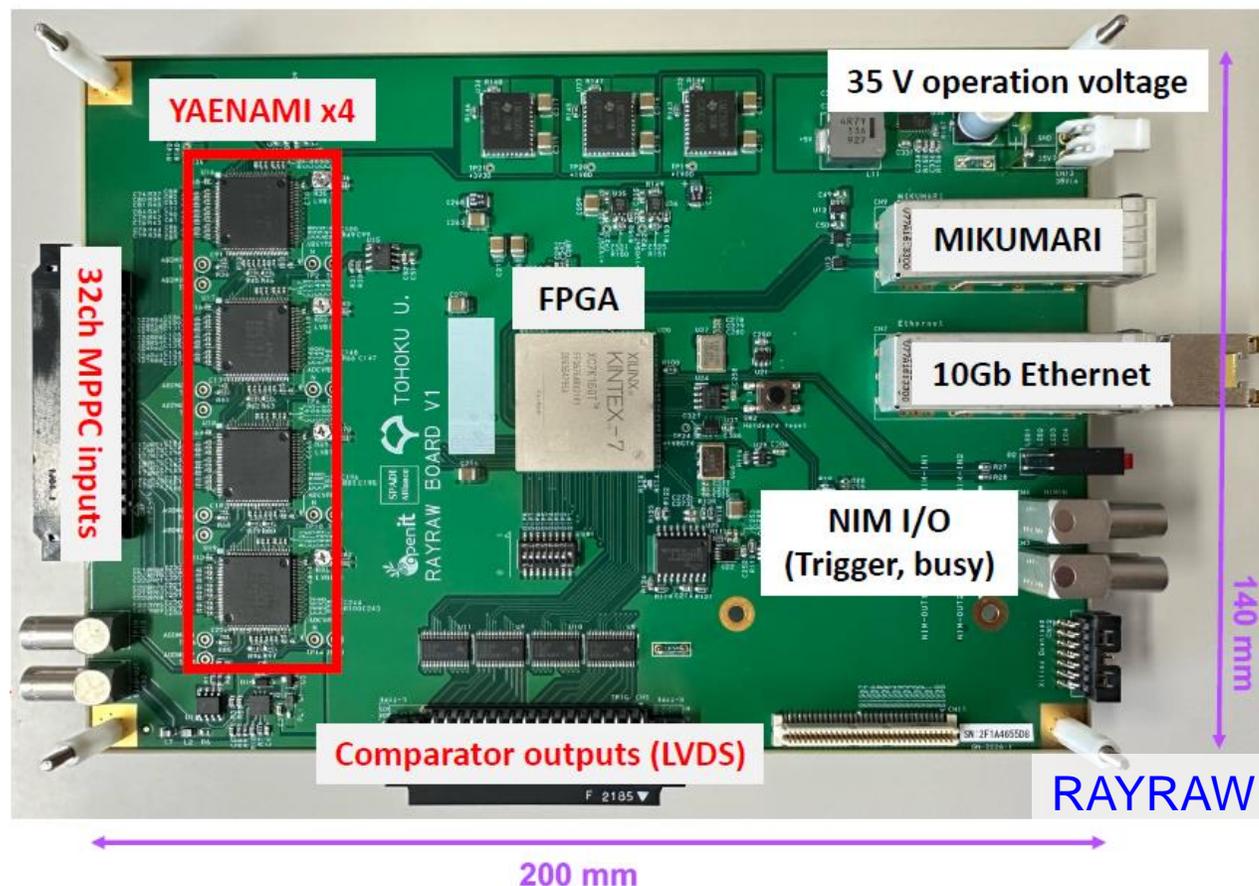
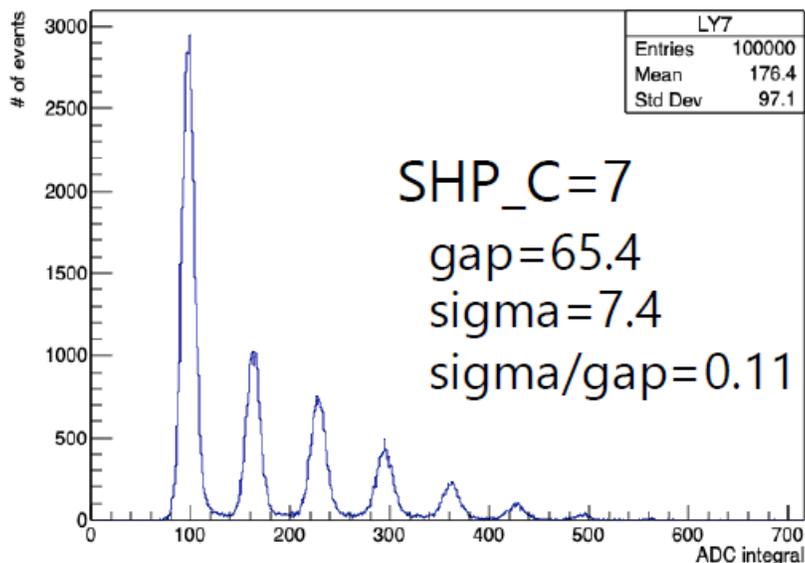
(0.25x~4x)



YAENAMI v.1の実験グループによる評価



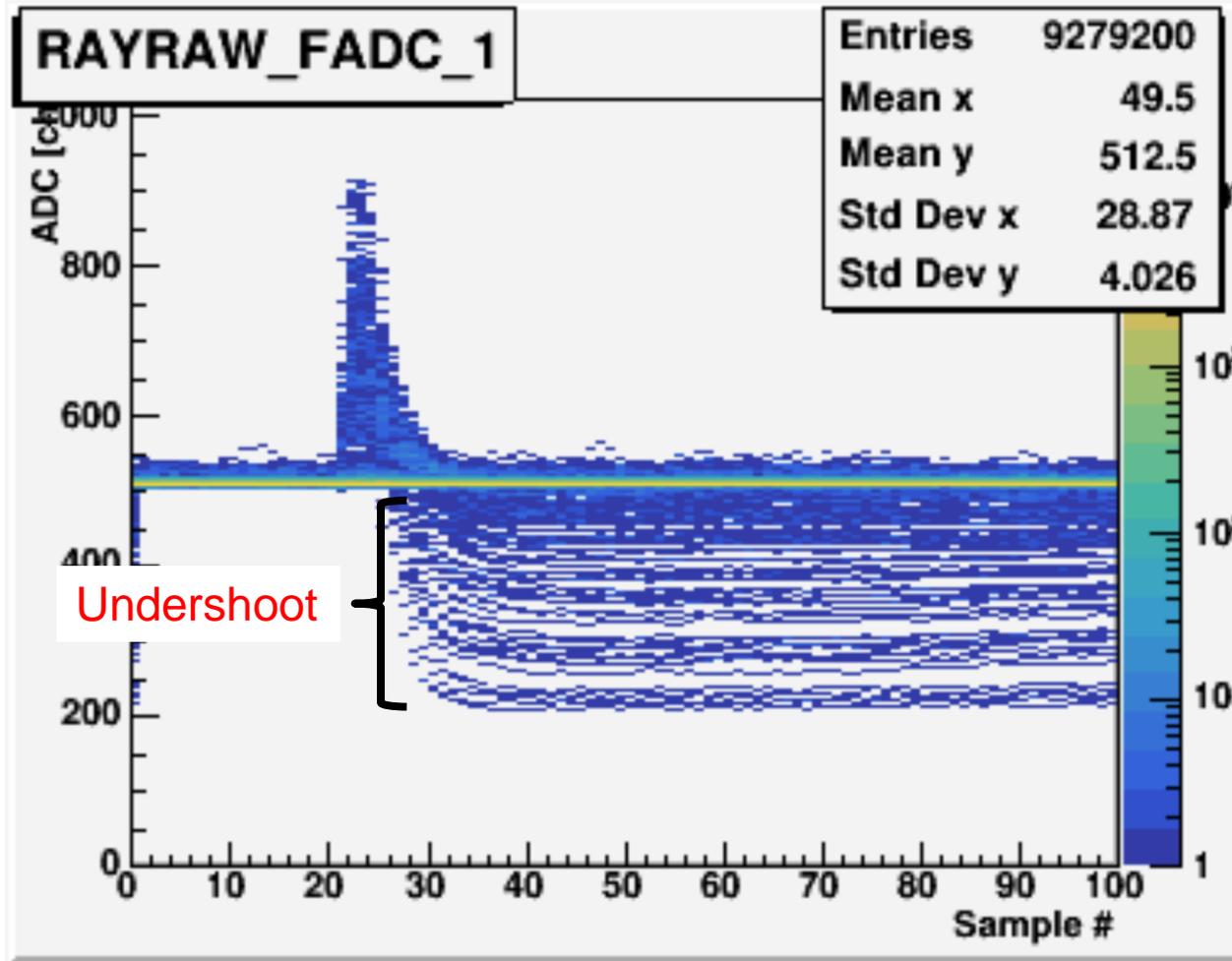
1p.e.の弁別と十分なリニアリティ(~100p.e.)を確保
T2K実験等の性能要求を満たす見通しが得られた
→本格的な読出しボード(RAYRAW)を作成、評価
YAENAMIの課題について洗い出してもらう



YAENAMI v.2の修正点と測定結果

問題点	修正内容	測定結果	判定
大電荷入力時にアンダーシュートが生じる	前置増幅器の出力に抵抗を挿入し飽和レベルを下げた	設定を有効にした直後は有効だが時間経過により問題再現	×
ADCの非線形性に起因した疑似ピークが見える	PRBSを用いたエラー拡散技術を取り入れた(DEM)	疑似ピークの消失を確認	○
ADCのデータレートが低い(~75MS/s)	シリアルライザーをカスタム設計に切り替え高速化した	100MS/sで安定動作	○
アナログテストパルスの信号入力量が適切ではない(飽和)	入力端を適切に修正し入力電荷量を4~5p.e.に調整した	想定通りの波形、飽和なし	○
デジタル出力のテストパターンが未実装	0b1001100011のみを出力するモードを設けた	全チャンネル想定通りの出力を確認	○
デジタルの出力が狭パルスで出力されノイズをまき散らす	最小パルス幅補償回路を実装し3~24ns程度に調整できるようにした	実装ミスにより正常動作未確認(最小パルス幅~1ns)	×
デジタルの出力がSPIの信号入力に干渉する	デジタルの出力とSPIの入力I/Oの電源を分けた	最悪条件でのエラー確率90%→1%に低減	△

出典: 倉田, YAENAMI-RAYRAW TFミーティング資料

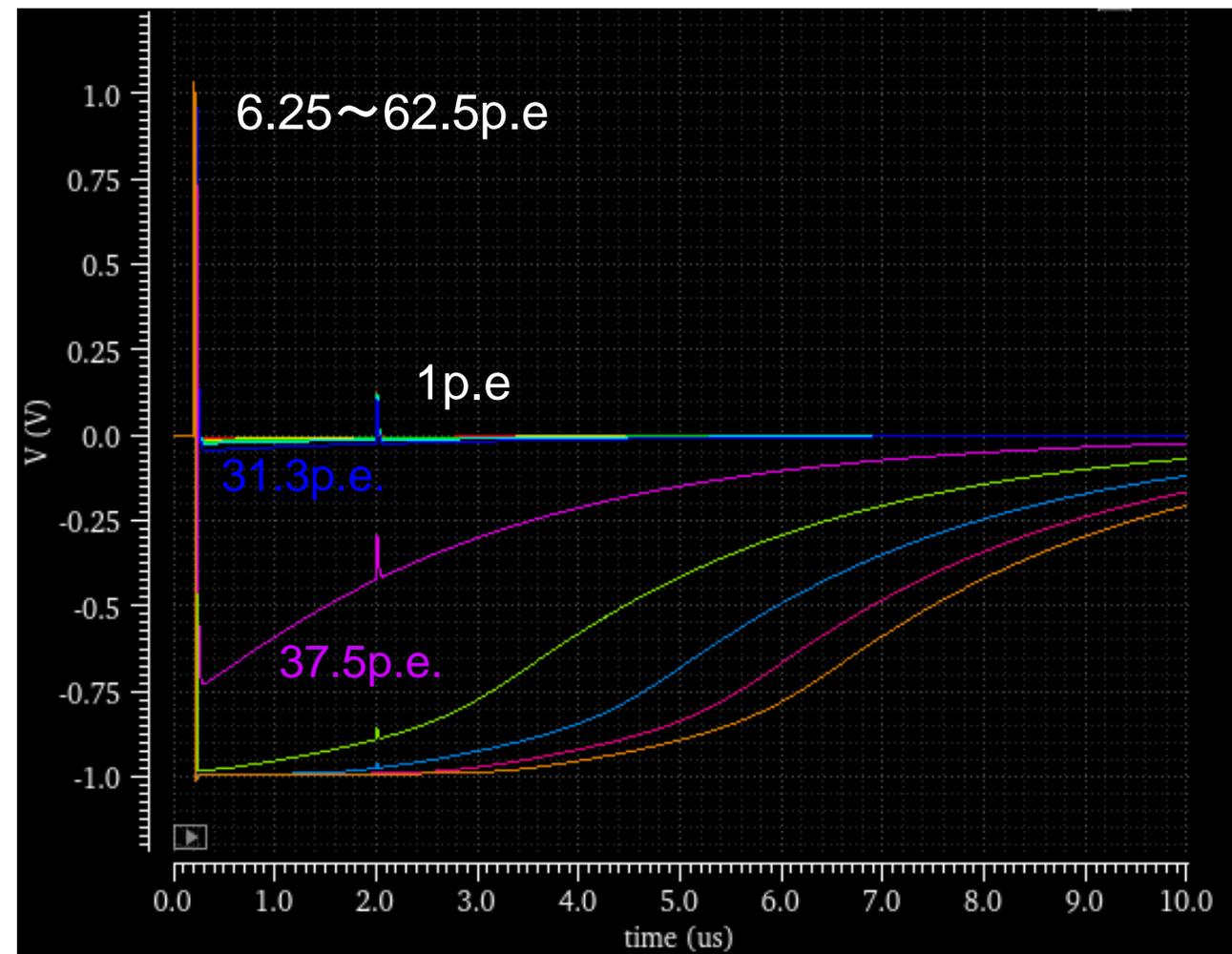


最大利得設定かつ大電荷入力時に
数～数十 μ sに渡りアンダーシュートが発生
→高入力レートアプリケーションには不向き

LEDによる実験では光量が足りず再現不可
→シミュレーションによる再現及び解析
(今思えば)実機による確認もしておくべき
だった

ファイバー検出器の宇宙線によるテスト
1sample = 13.3ns

1p.e. = 160fCで換算



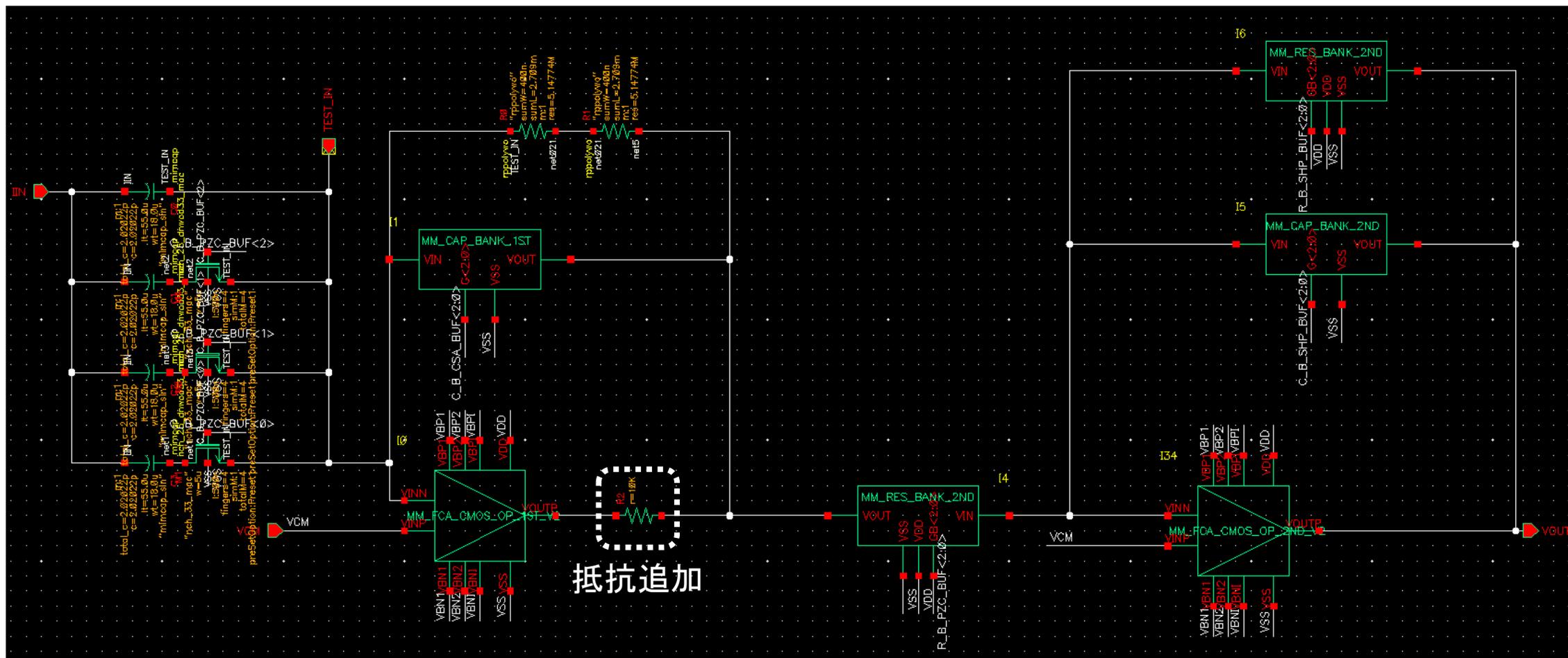
問題はシミュレーションでも再現した。

- 35p.e.を超えたあたりから急激にアンダーシュートが大きくなる
- アンダーシュートが起きるときには通常応答よりも早いタイミングで立下りが始まる

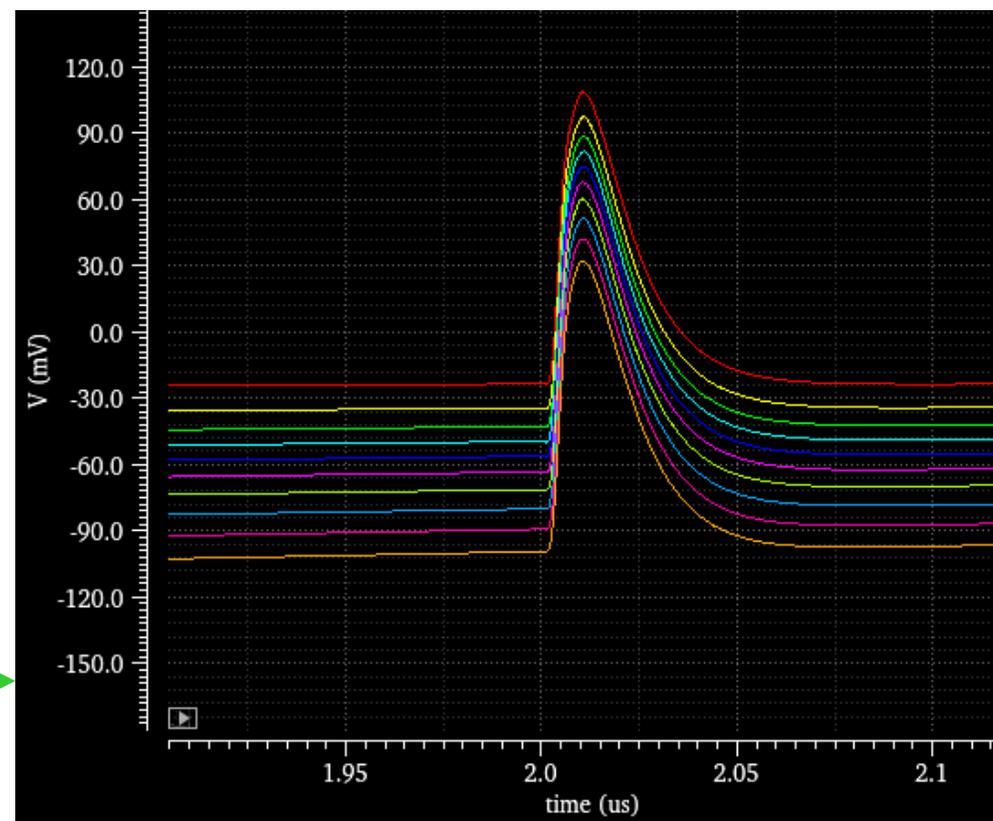
→飽和動作によってオペアンプの位相余裕が減少し発振気味になっているのでは？

位相余裕の解析はAC解析が一般的。ただし定常動作前提のため飽和動作時の解析は不向き。過渡応答から対症療法を探す。

オペアンプの出力に抵抗を追加すれば過渡応答特性を緩やかにして発振動作への移行を防止できるのでは？

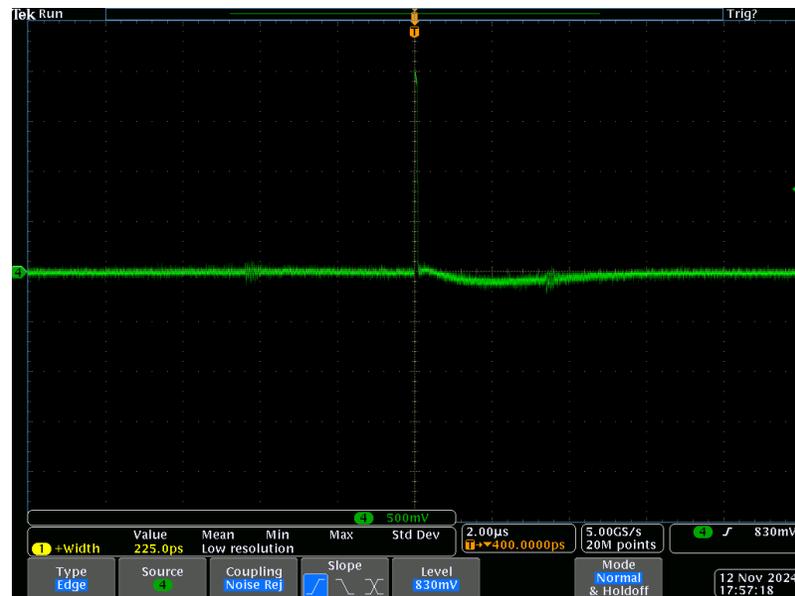


対処方法により修正前の20倍以上の電荷を入力してもアンダーシュートを抑制できた。
効果に満足して、本質的になぜアンダーシュートが起きているのかの考察をやめてしまった。

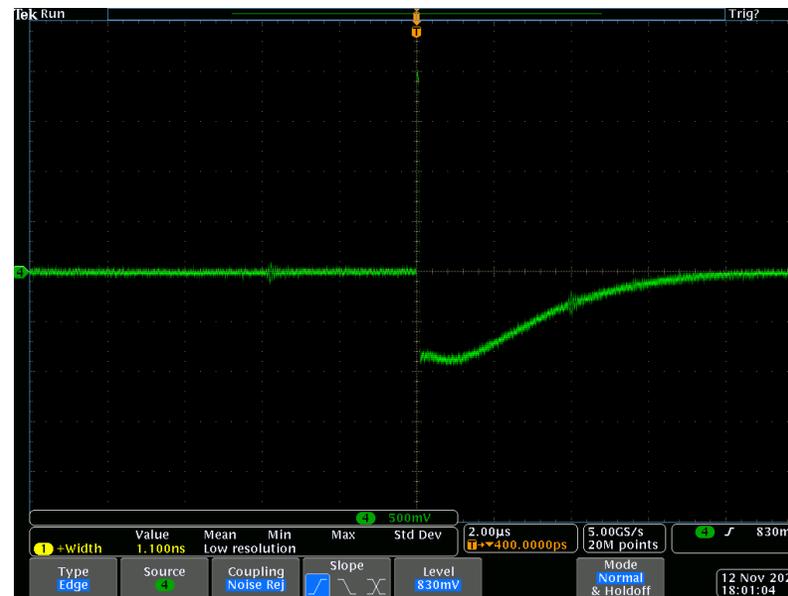


測定当初は500pC(3125p.e.)の過入力でもアンダーシュートが再現しない(抑制機能OFF時)。
→入力レートを下げていくとアンダーシュートが起きることが判明

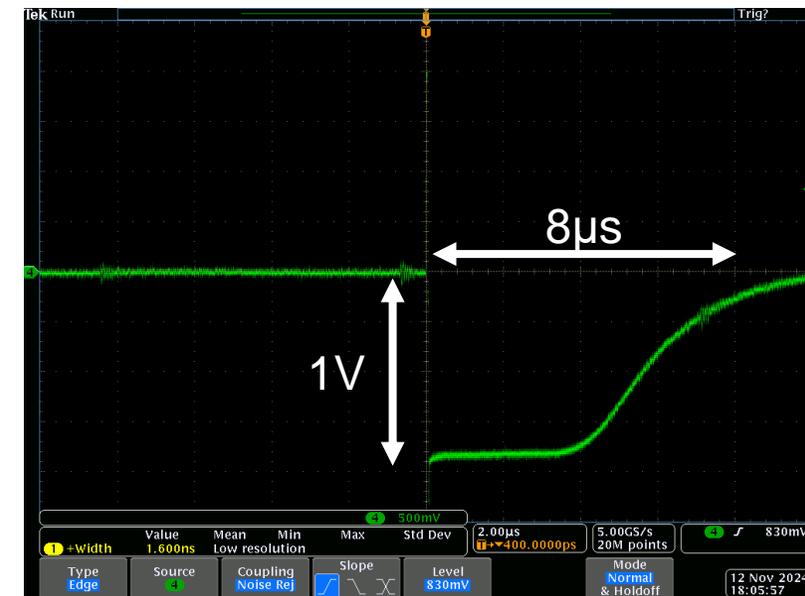
最大利得設定、10pC (62.5pC)入力



入力レート 1Hz



0.1Hz



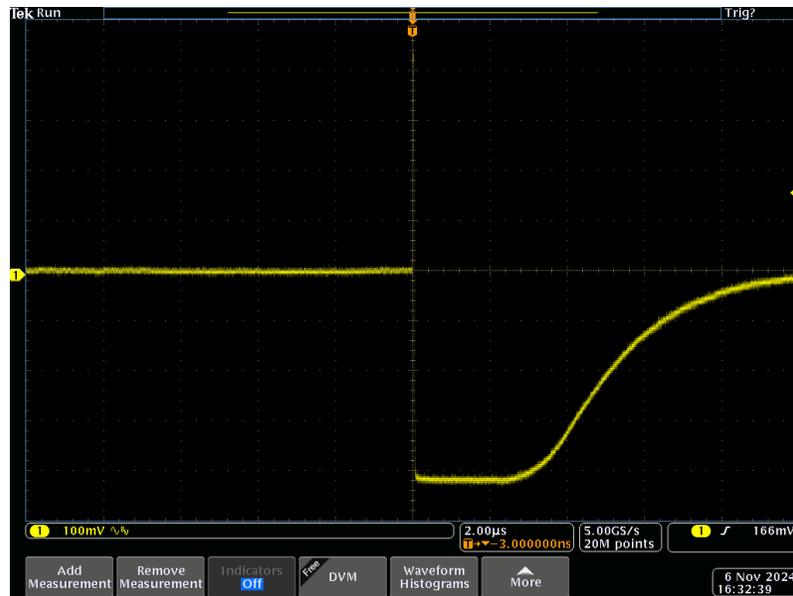
0.01Hz

通常では考えられないくらい時定数が長い。

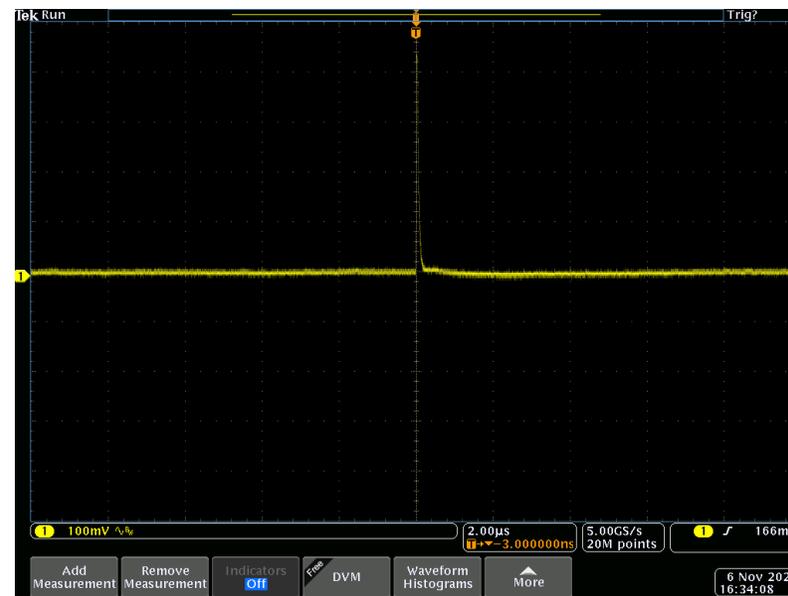
アンダーシュート抑制機能の効果確認

抑制機能をONにすることでアンダーシュートを抑えることができた。
かのように見えたが、数分経つとアンダーシュートが再現することを確認。

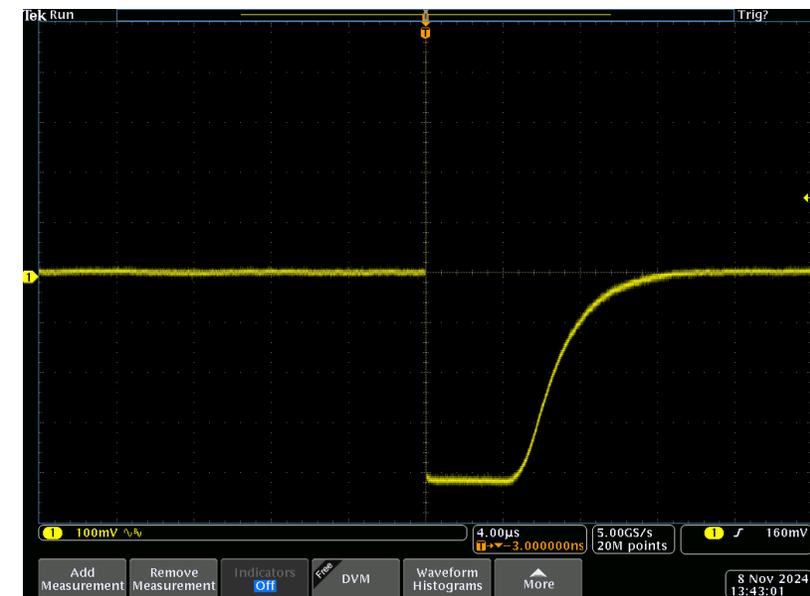
最大利得設定、10pC (62.5pC)、入力レート0.1Hz



抑制機能OFF



抑制機能ON直後

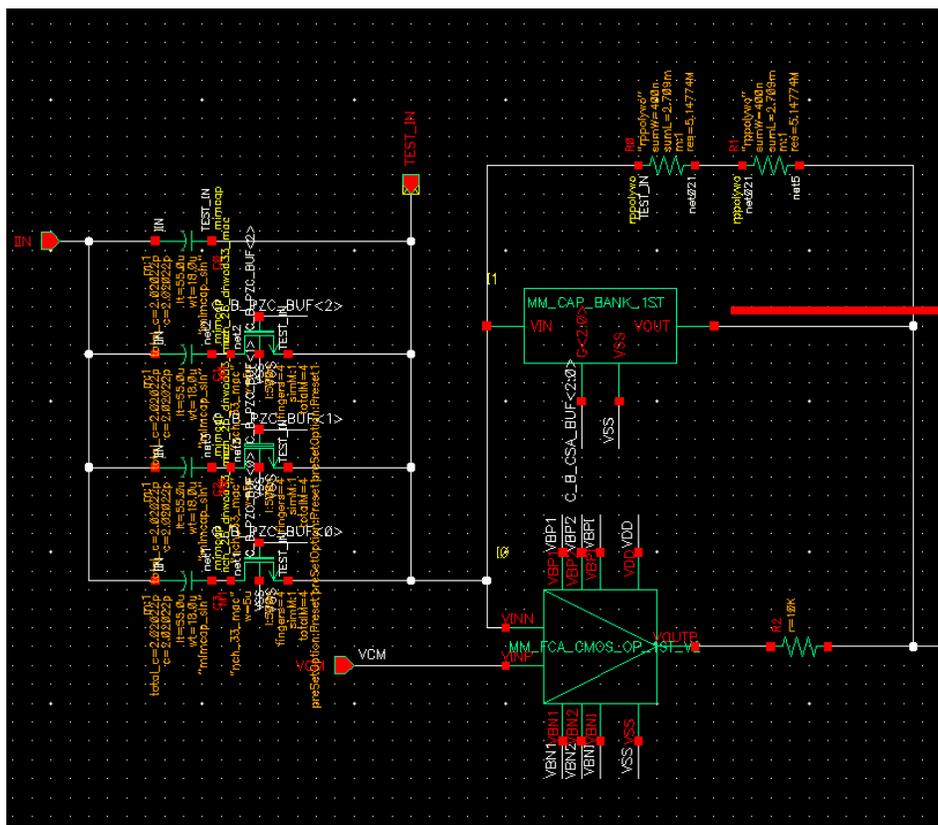


抑制機能ON後 数分経過

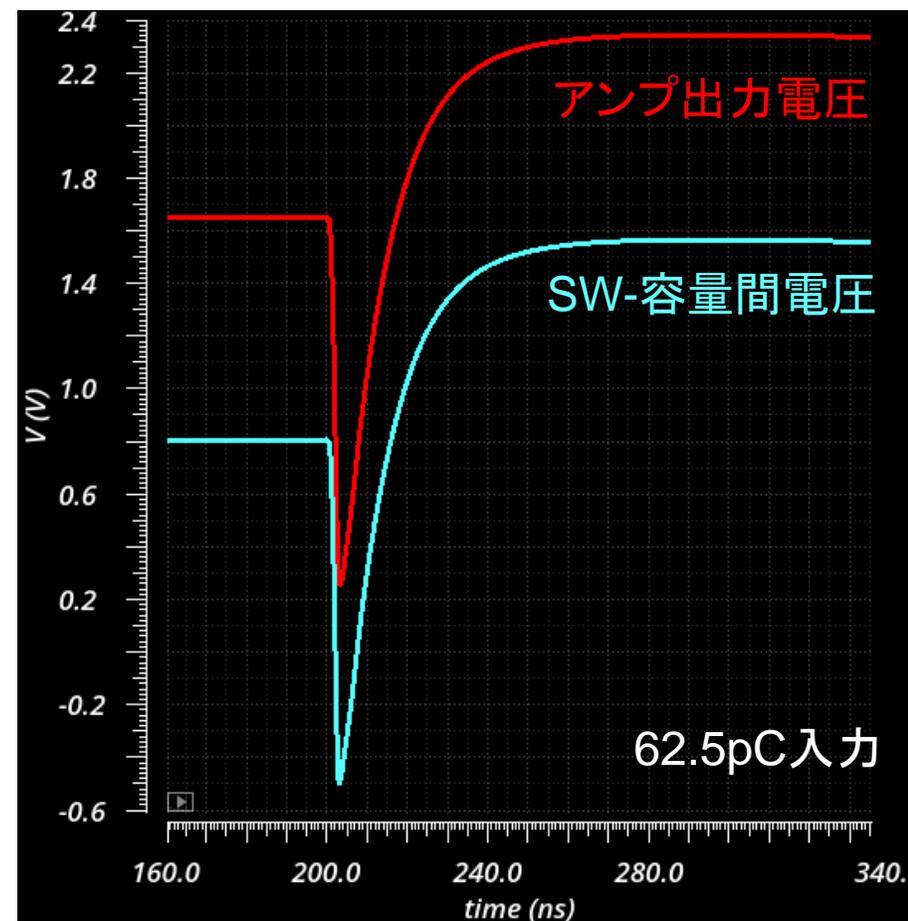
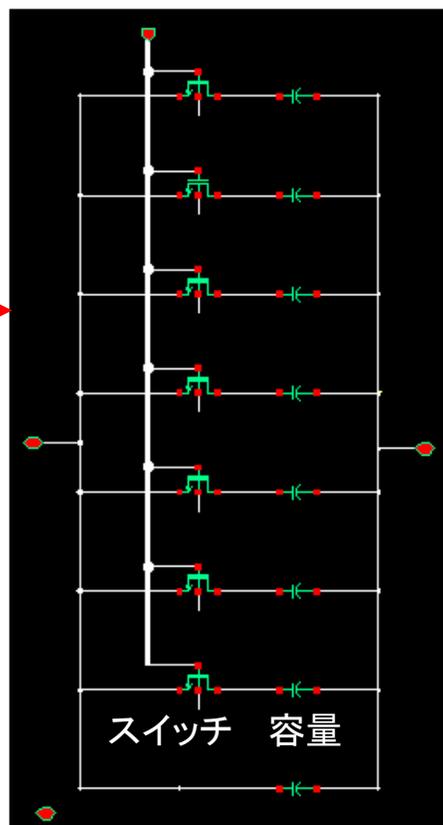
抑制機能は飽和が始まるまでの時定数を長くしただけで本質的な問題を解決していないことに気づく。
正電荷入力時にはアンダーシュートが起きるが負電荷入力時には起きないことも分かった。

(解析のヒント)

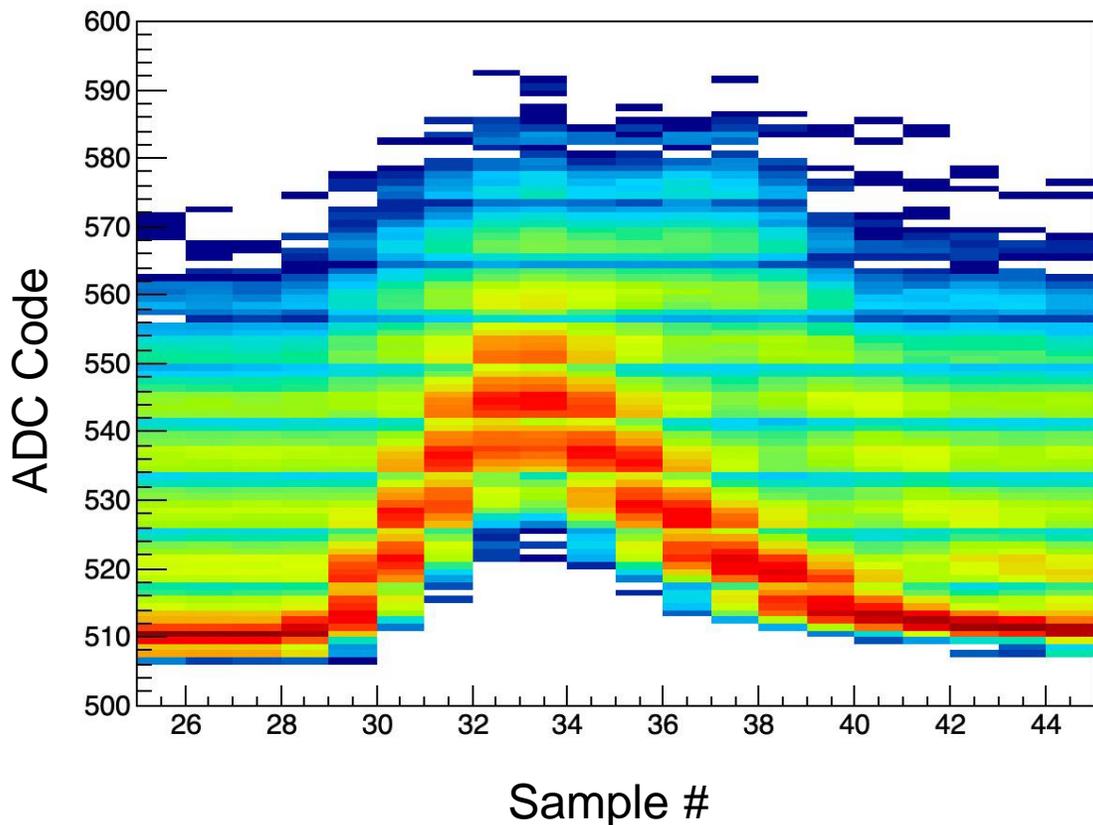
- ・現象が再発するまでの時定数が通常のアンプの応答では考えられないくらい長い
→現象が起きているノードは高抵抗、もしくはフローティング
- ・正電荷入力と負電荷入力では非対称の応答を示す(正電荷のみで問題が起きる)
→NMOS、PMOSの相補構成になっていないノード



前置増幅器

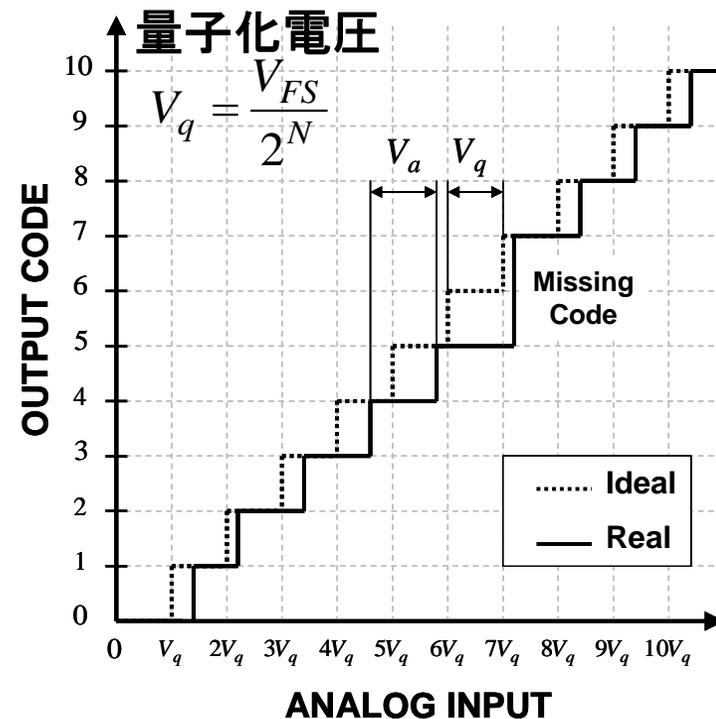


出典: 倉田, YAENAMI-RAYRAW TFミーティング資料



LEDを用いたADC読出し結果の一例

8LSB毎に濃淡が出る

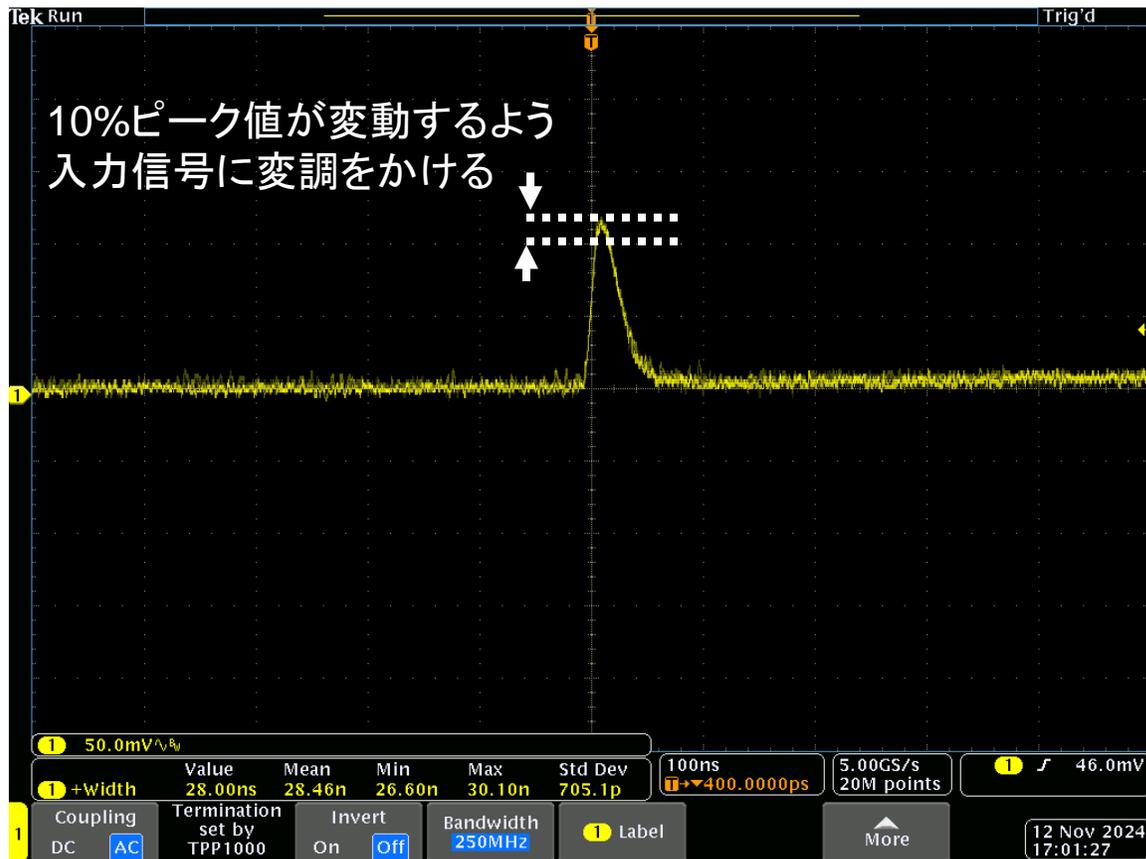


$$DNL(LSB) = \frac{V_a - V_q}{V_q}$$

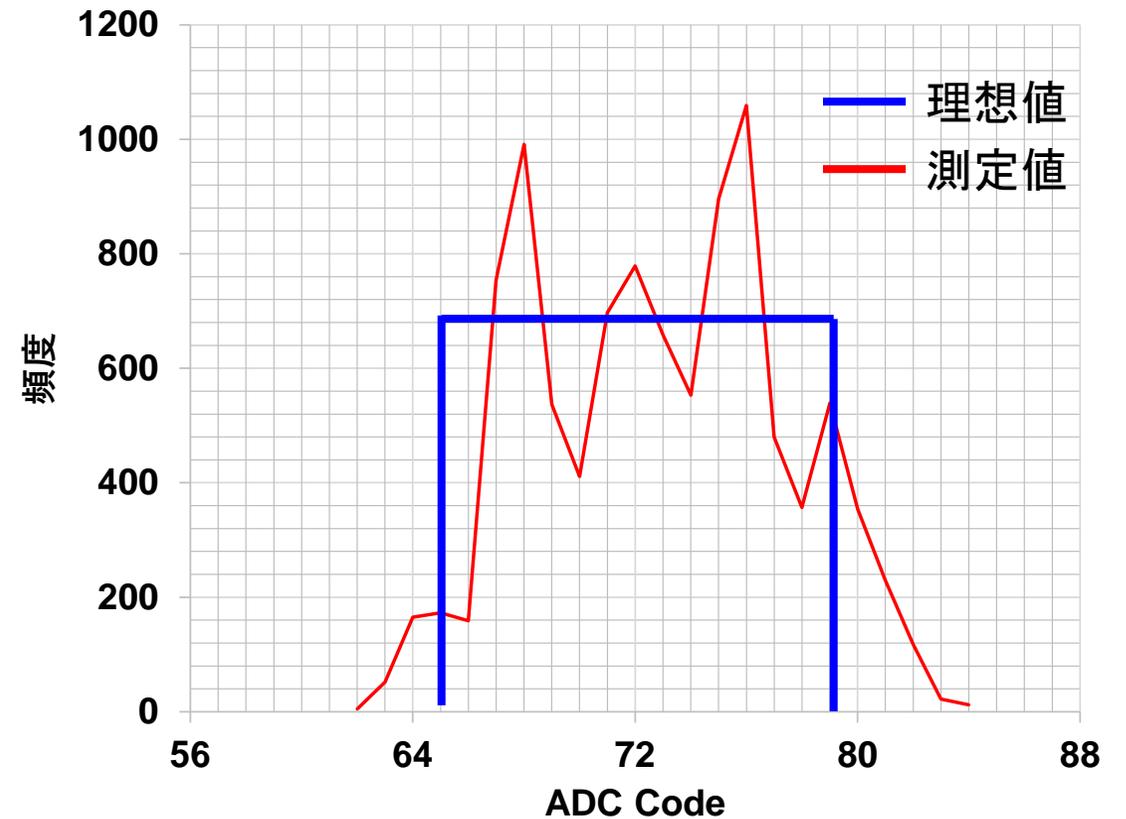
コードの頻出度の差でいうと
 DNL = ±0.5LSB → 3倍差
 DNL = ±0.75LSB → 7倍差

ミッシングコードがあるところまでは行っていないがそれなりにDNLが大きい

ピーク値でヒストグラムを取るとADCの非線形性に起因した疑似ピークが見える。
積分値で見ることで緩和はできるが解析の幅を狭めることになるので解消したい。

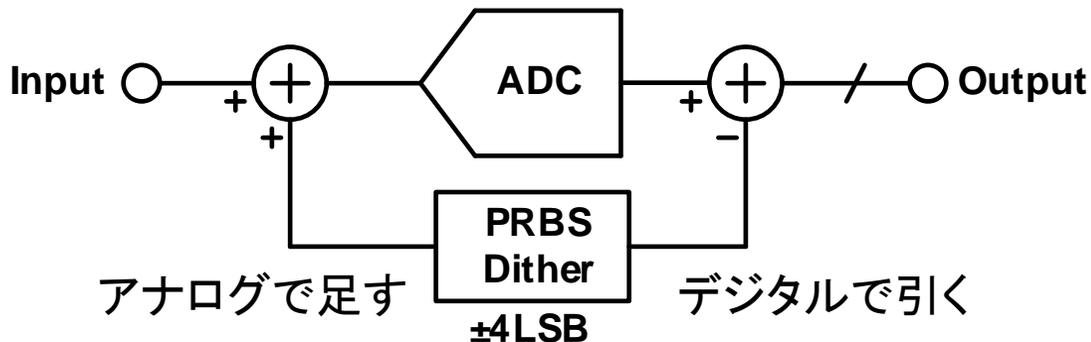


アンプ出力のオシロスコープ波形



10,000回測定時のピーク値のヒストグラム

色々な要因でDNLが劣化していると考えられ、想定要因を一つずつつぶしていくのは骨が折れるので、PRBS Ditherを入力して誤差を拡散して縞々が見えなくなるようにする。



1~8の入力に対して、
ADCが以下の誤差を持ち(平均は0)、
以降周期的に繰り返されるとする

1 : -0.2	5 : +0.4
2 : +0.5	6 : -0.2
3 : -0.6	7 : -0.6
4 : +0.3	8 : +0.4

例えば4の入力があった場合

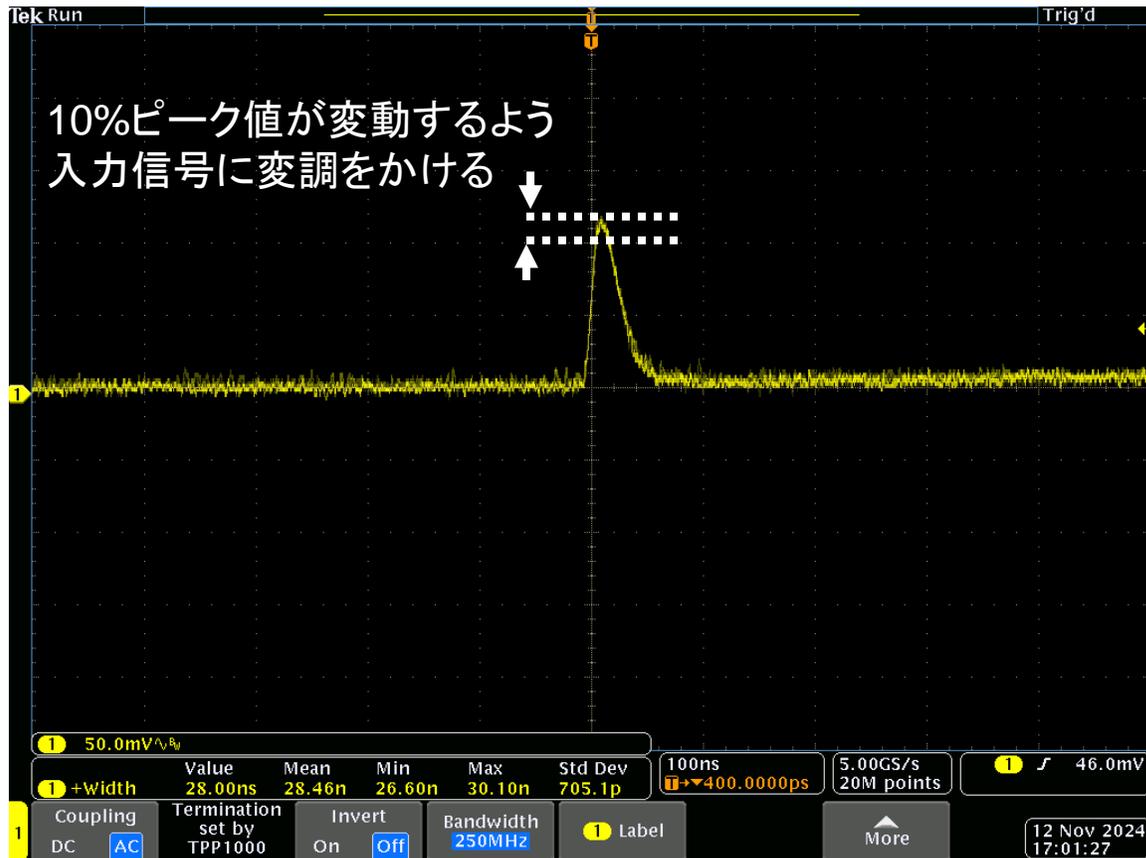
ディザなしの場合・・・常に誤差が+0.3

ディザありの場合・・・ディザの値によって誤差が変化

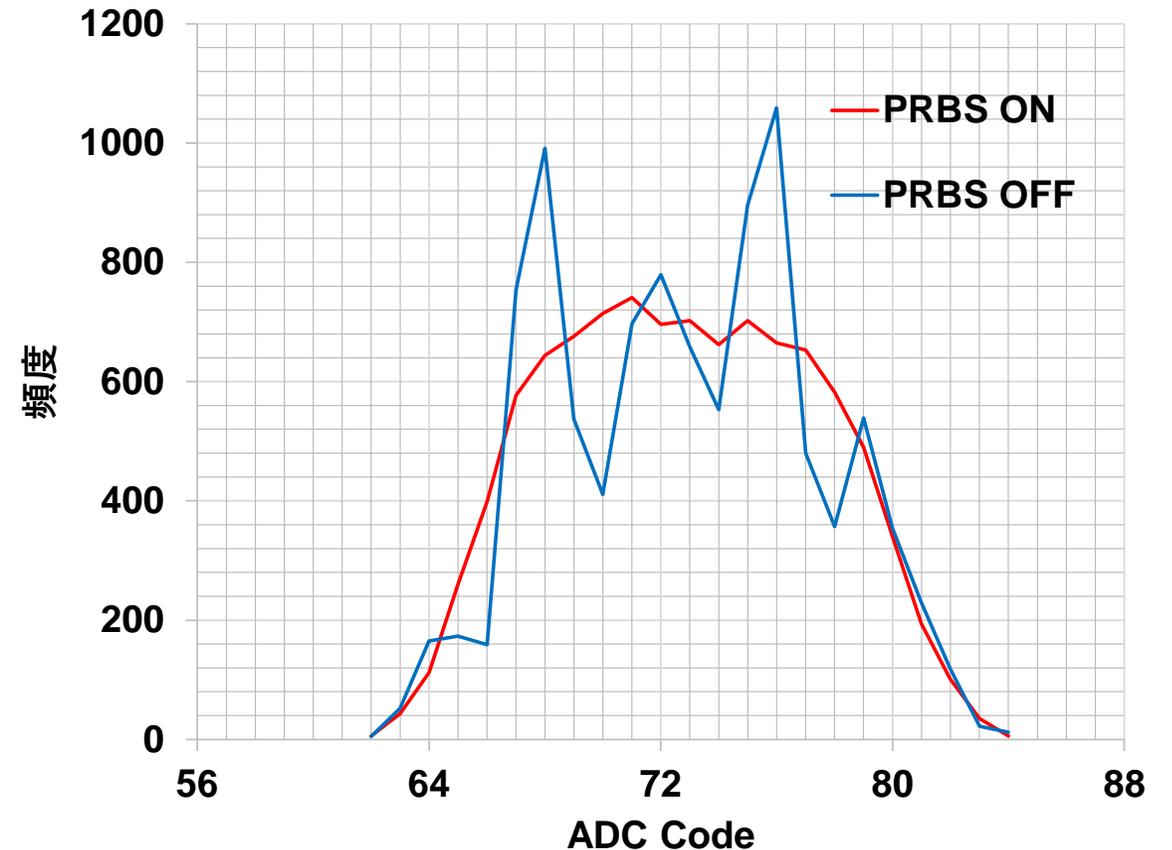
統計を増やすと誤差の平均はほぼ0になり、
見かけ上のDNLは大幅に改善、縞々は消える

デメリット: 入力範囲が狭まるが、上下4LSBのみ → 大きな支障はないと考えている
機能を有効化するかどうかはSPIから選択できるようにする

PRBS Ditherを有効にすることで疑似ピークを抑制可能であることを確認



アンプ出力のオシロスコープ波形



10,000回測定時のピーク値のヒストグラム

- **MPPC読出し汎用ASIC YAENAMI v.1の問題点のフィードバックを受け、修正を施したv.2を作成した。**
 - 2024/10/24 200個入手、1個評価用に消費
 - 今後追加で数個消費する見込み
- **アンダーシュート抑制、最小パルス幅補償の機能を以外の機能が正しく動作していることを確認した。**
- **アンダーシュートが起きる根本原因について再考察を行った。**
 - NMOSスイッチ+容量で構成された可変容量がOFF時にフローティングノードを作り出してしまうことが要因
 - フローティングノードとならないようにPMOSスイッチを追加することで抑制可能であることを確認
- **2024/12/4の便でv.2の問題点を修正したv.3を900個製造予定**