

J-PARC E16実験 シリコンストリップ検出器の 読み出しシステムの開発

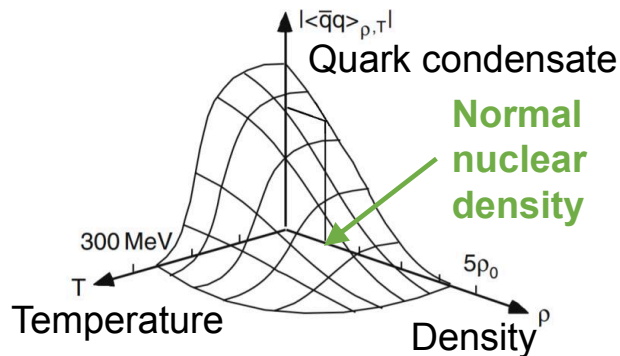
高橋智則

大阪大学核物理研究センター (RCNP)

はじめに：講演のまとめ

- J-PARC E16実験の最内層の飛跡検出器：Silicon Tracking System (STS)
 - GSI/FAIR CBM実験と共同開発
- STS読み出しシステム
 - SMX2 (セルフトリガー型ASIC) → GBTxEMU (FPGA-GBT) → GERI (PCIe) → PC
- E16実験向けの改造
 - 時刻同期
 - GBT linkのデータ最適化 (トリガー情報の追加, Elink数増加)
 - 外部トリガーとのマッチング処理によるデータ削減
- 2024年春のコミッショニングで正常に動作
- 2025年に物理測定(Run 1)を予定

- **目的: カイラル対称性の自発的破れによるハドロン質量の生成について実験的に検証**



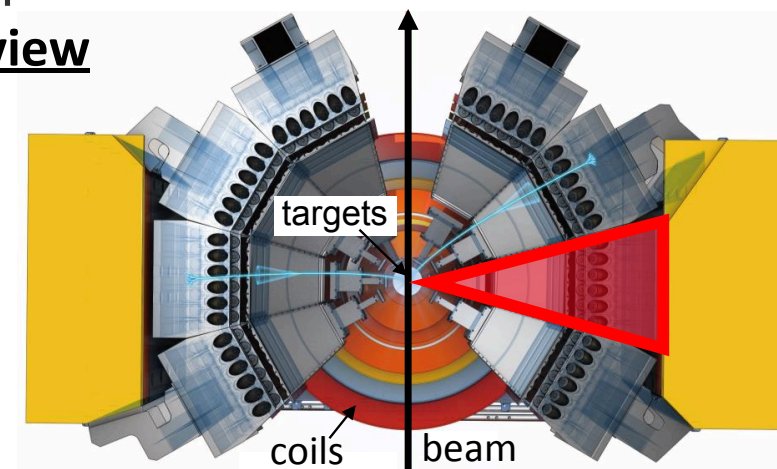
W. Weise et al., Nucl. Phys. A 553, 59(1993).

- **方法: 有限密度媒質 (= 原子核) 内におけるベクター中間子の質量変化の系統的な測定**

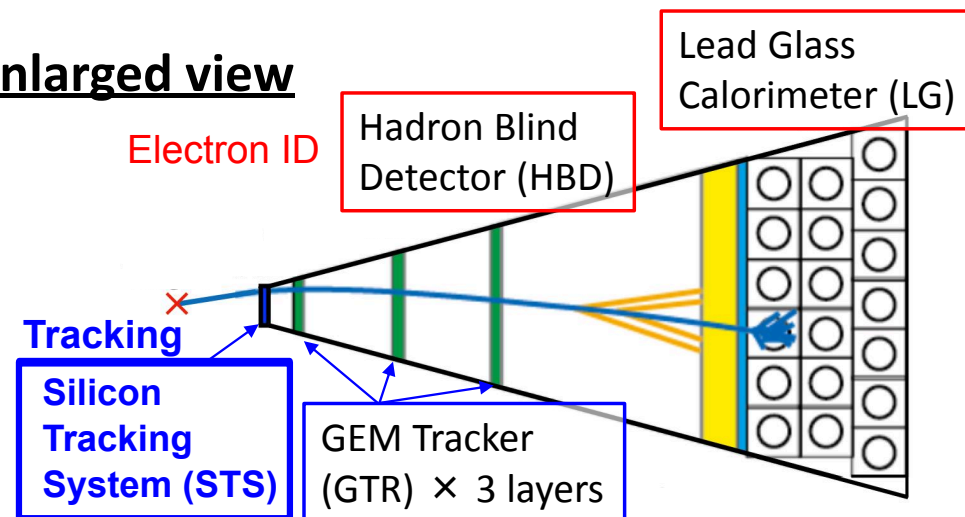
- J-PARC高運動量ビームライン
 - 一次陽子ビーム 30 GeV, 10^{10} /spill (2秒)
 - $p + A \rightarrow \rho, \omega, \phi \rightarrow e^+e^-$
- 原子核標的での反応レート: 10 MHz

E16 spectrometer

Top view

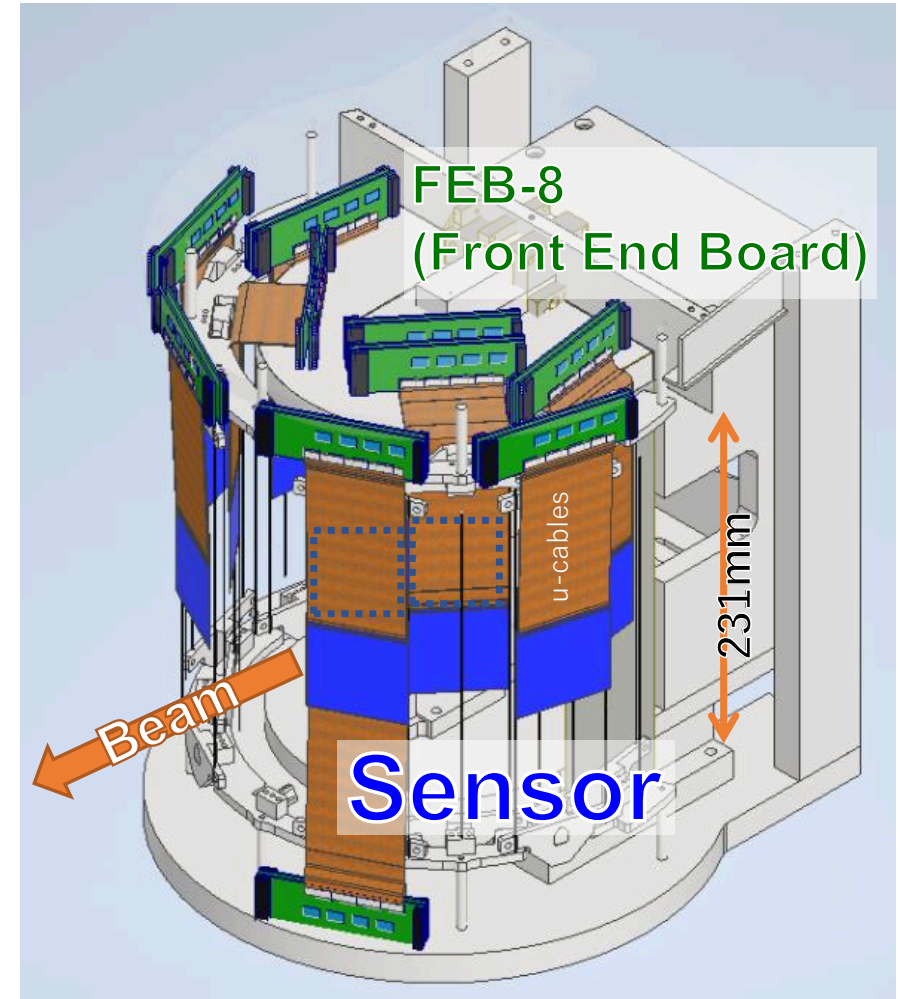
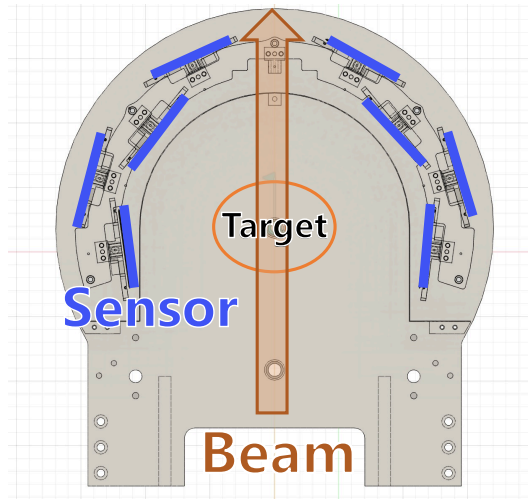


Enlarged view



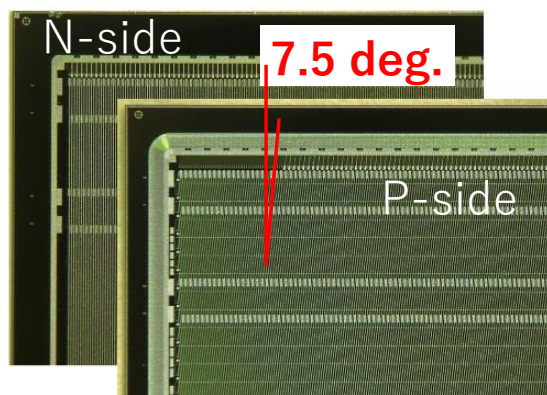
J-PARC E16実験 Silicon Tracking System (STS)

- GSI/FAIR CBM実験と共同開発
- E16検出器群で最内層の飛跡検出器
 - ビーム進行方向に対して $\pm 15^\circ \sim \pm 135^\circ$ に配置
- 3段(上・中・下)に合計26台 (53k ch)
 - 2025年予定のRun 1では8(中段) + 2(上段))



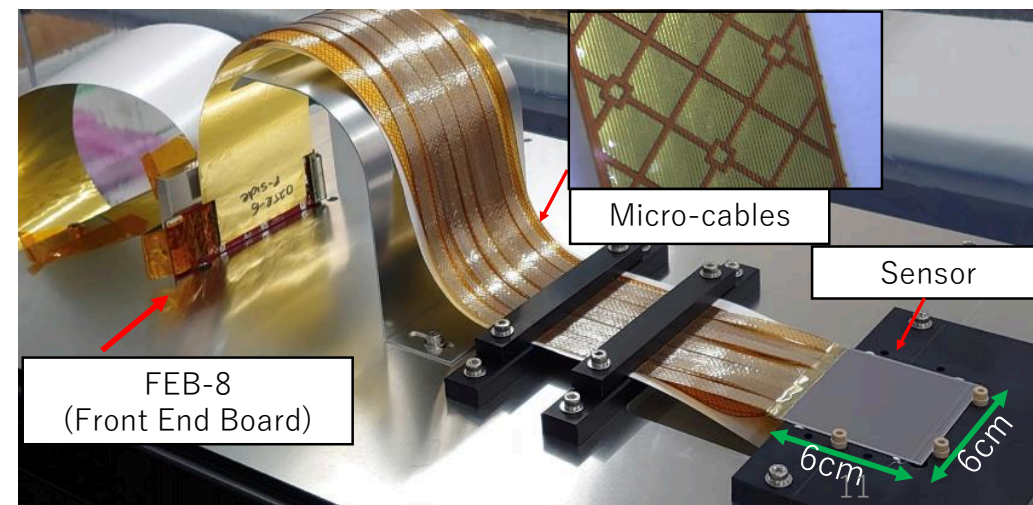
シリコンストリップ検出器センサー

- 浜松ホトニクス製
- 両面二次元読み出し
 - p側のストリップは7.5度傾斜



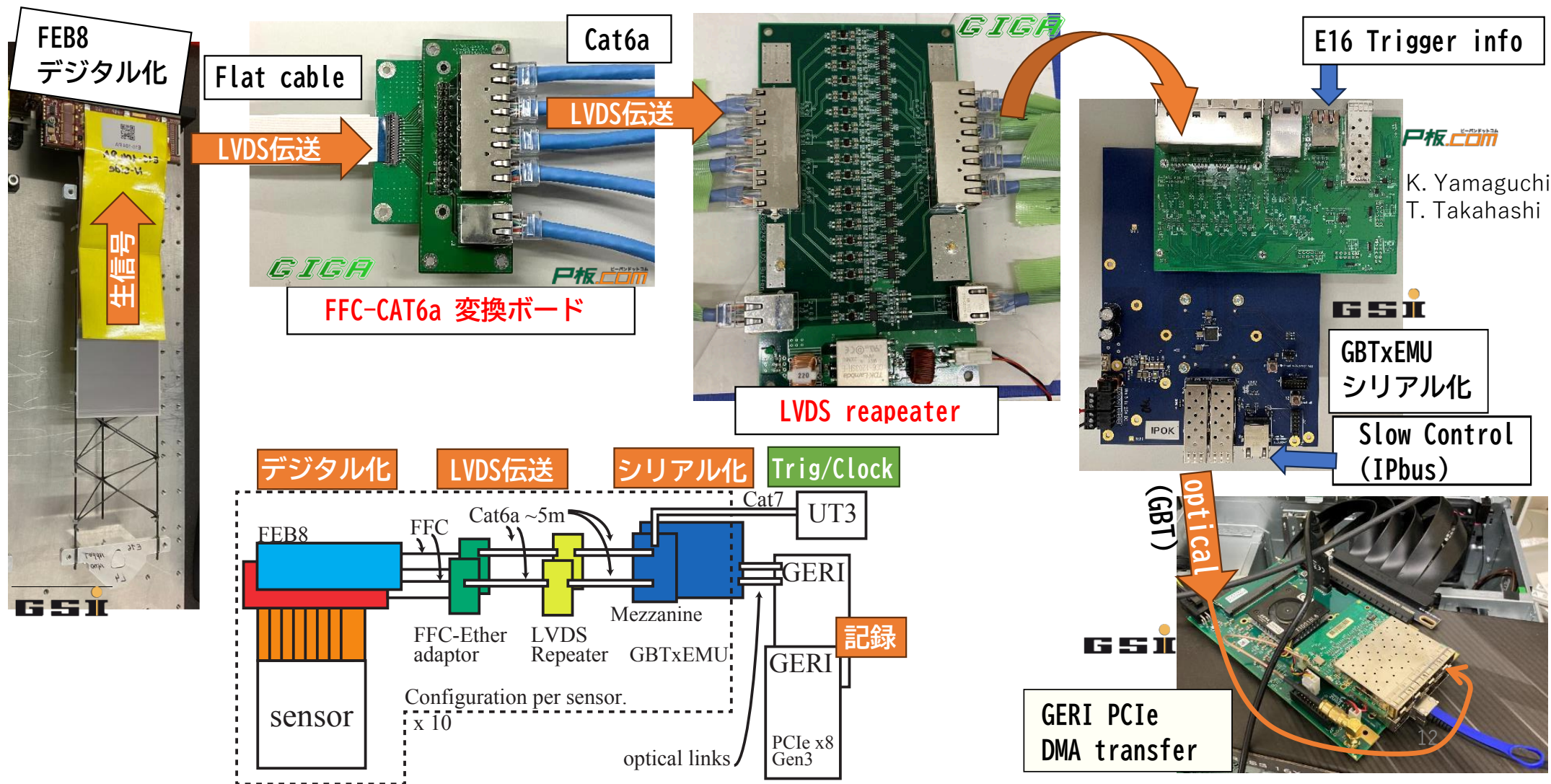
- マイクロケーブル
 - アナログ信号伝送, バイアス電圧供給

Parameter	Value
有感領域	60 × 60 mm ²
厚さ	320 μm (~0.37% X ₀)
ストリップ間隔	58 μm
ステレオ角	7.5 deg.
ストリップ数	1024 (各面)
位置分解能	(x)~30 μm, (y)~110 μm*
時間分解能	~5 ns*
逆バイアス電圧	150 V (p:-75V, n:+75V)



* J.M. Heuser "The CBM experiment at FAIR -Overview of detector and technologies," <https://sites.google.com/j-parc-hi-evening/>
計測システム研究会2024, 2024-11-19, 東京大学

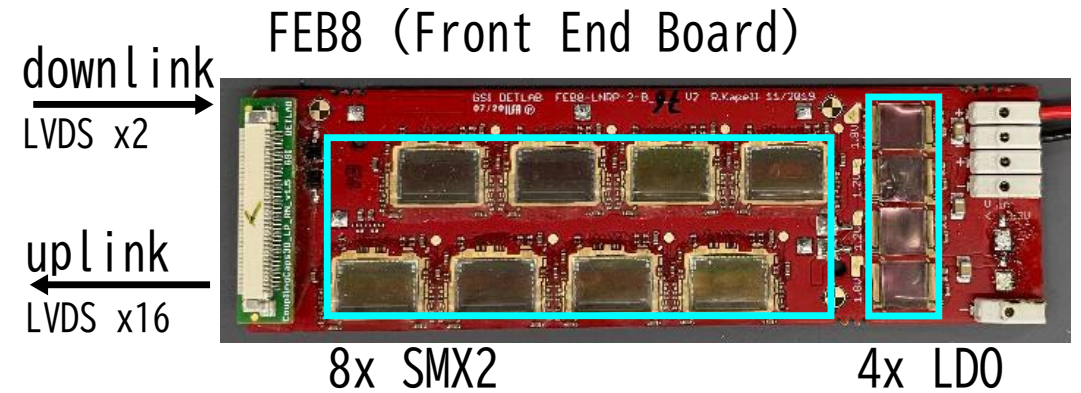
E16 STS読み出しシステム：全体概観



K. Yamaguchi
T. Takahashi

SMX2 ASIC

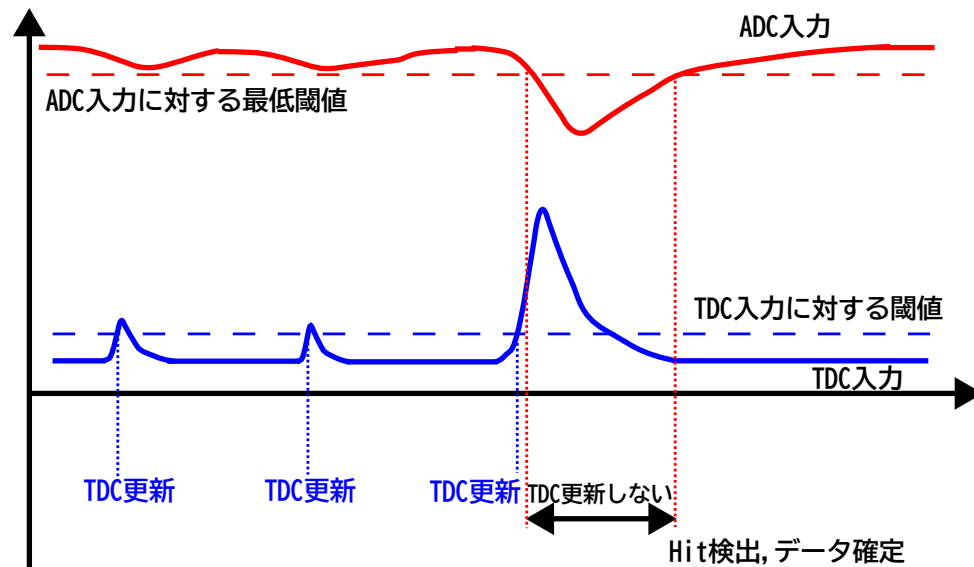
- STS-MUCH-XYTER v2
 - AGH (Krakow, Poland)が開発
 - STS : Silicon Tracking System (CBM)
 - MUCH : Muon CHamber (CBM)
 - XYTER :X-Y-Time-Energy-Readout
- **セルフトリガー(ストリーミング)読み出し**
- データ通信 (Elink)
 - 8b10b, AC結合LVDS
 - **downlink (to SMX2)**
 - クロック 160 MHz
 - 制御データ 160 Mbps
 - **uplink (from SMX2)**
 - データ (制御応答, Hit, alert, ...)
 - 320 Mbps/uplink
 - 最大 5 uplinks/chip
 - **E16では1 or 2 uplinksを使用**



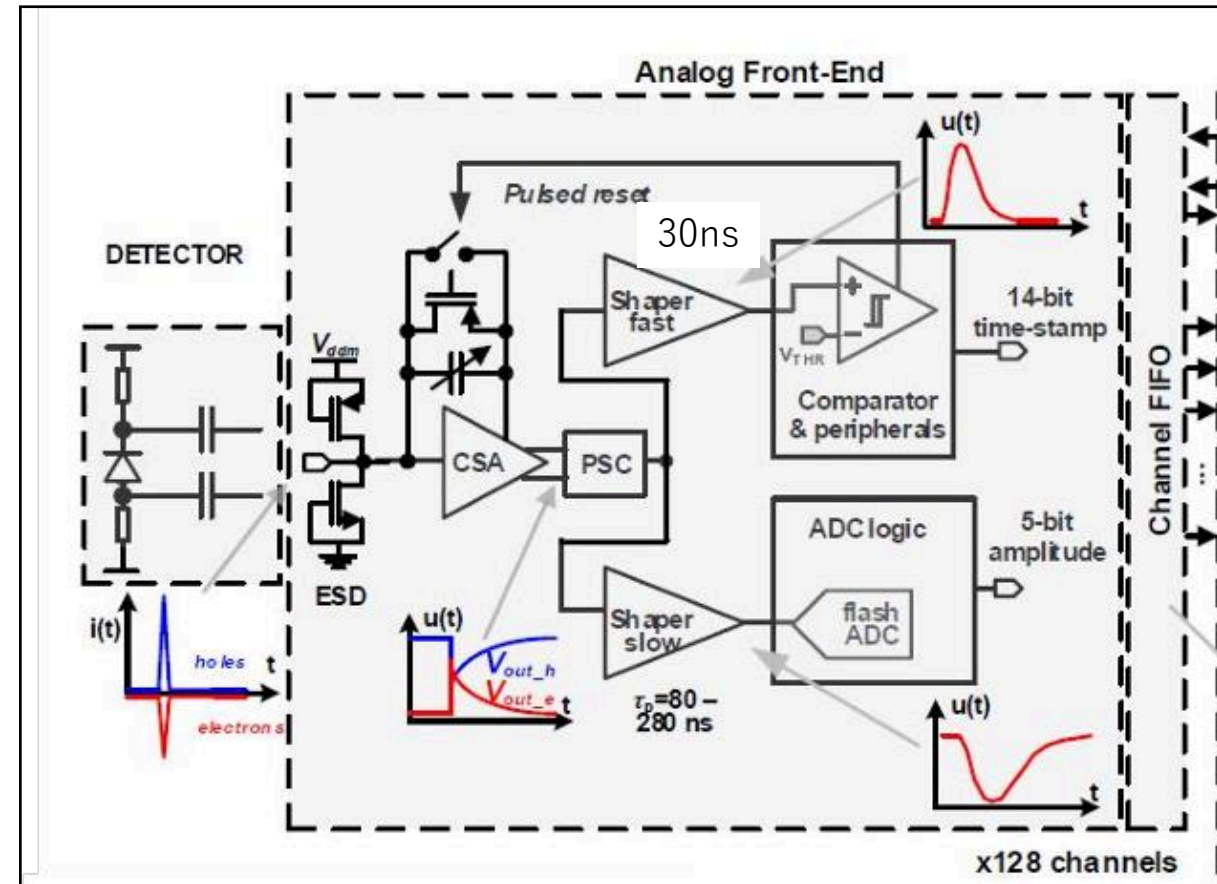
parameter	value
process	UMC CMOS 180 nm
die size	$10 \times 6.75 \text{ mm}^2$
input	128 + 2 (test)
ADC	5 bit, peak detect $\leq 15 \text{ fC}$ (STS-mode) $\leq 100 \text{ fC}$ (MUCH-mode)
TDC	14 bit (LSB 3.125 ns)
Power consumption	~1 W/chip

SMX2 ASICのTDC, ADC

- Fast shaper (30 ns) → TDC<13:0>
 - ch毎に閾値. 閾値を超えると160 MHz DDRでサンプル
- Slow shaper (90 ns) → ADC<4:0>
 - Flash型 = コンパレータ (+ trim DAC) 31個/ch
 - ピーク値を取得. 波形は取らない
 - ADC最低閾値でHit検出, FIFOに書き込み
- $(1 + 31)/ch \times 128 ch = 4096$ 個/chipのS-curve測定
- FIFO : 8 hits/channel + 4 hits/chip



SMX schematics (Taken from slides by K. Kasinski)

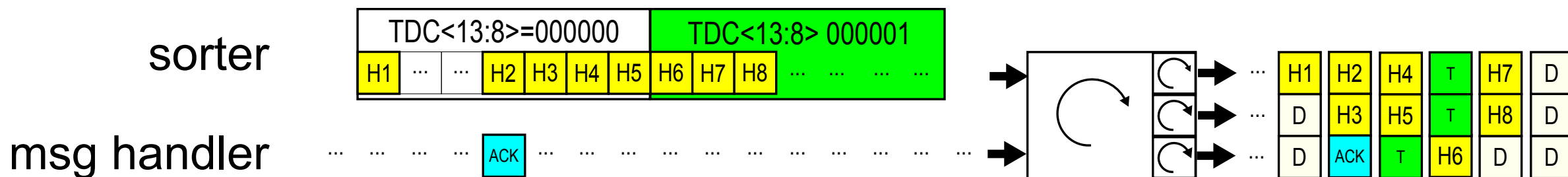


PSC: Polarity Selection Circuit

SMX2 ASICが出力するデータ

出力データは**24 bit/frame (8b10b符号化で30 bit/frame)**のフレーム単位

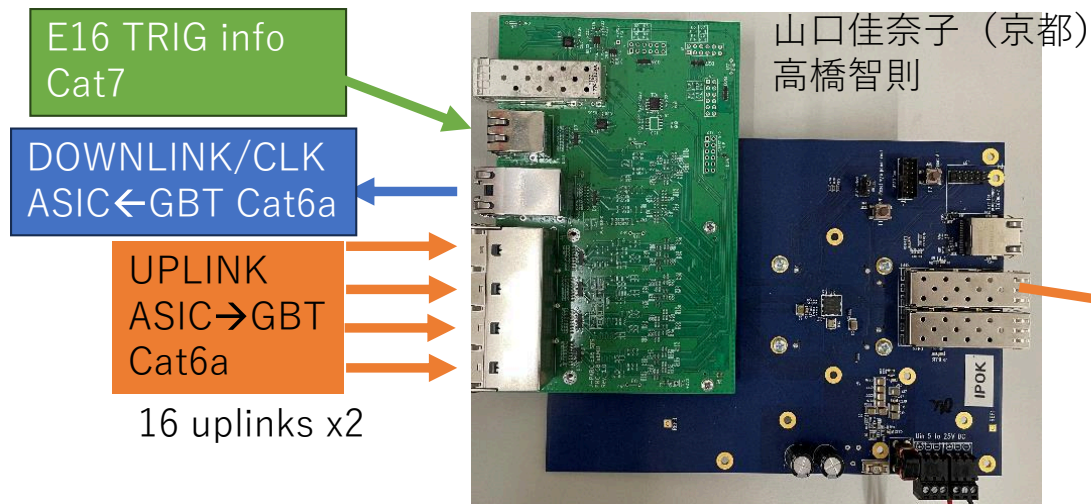
- 320 Mbps/uplink = 10.666 M frames/s/uplink
- **Hit** frame : channel address<6:0>, TDC<9:0>, ADC<4:0>など
 - データ転送帯域の有効活用のため、**TDC<13:0>**は**2つに分割 (2 bitのオーバーラップ)**
- **TS_MSB** frame : TDC<13:8>, CRC<3:0>など
 - uplink毎に出力するTDC<13:8>の値を監視し、値が変化するときに出力 (最短で800 ns間隔)
- これらに加えて、**ACK** frame, **Dummy** frame, ...



GBTxEMU, GERI

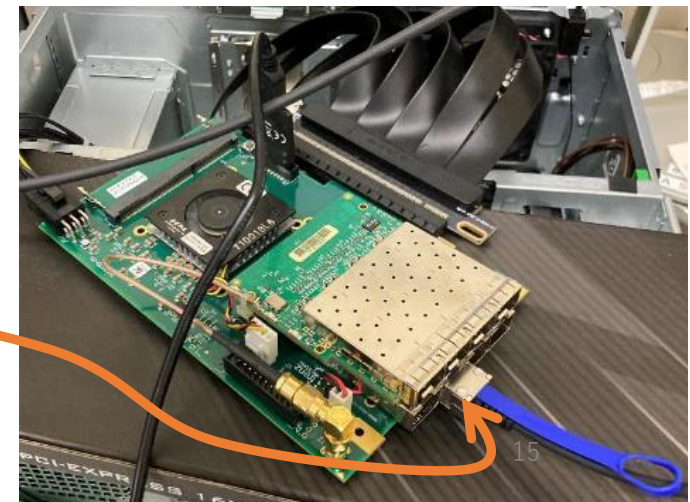
GBTxEMU

- FMC carrier: GSI設計の基板
 - SOM (Trenz Electronic TE0712, Artix-7)
- FMC: E16用にI/O周りを変更



GERI

- FMC carrier: Trenz Electronic TEC0330-4 (Virtex-7)
 - PCIe Gen3 x8, DMA
- FMC: FM-S18 (8 SFP+)
どちらも市販品だが、クロック周りをSTS用にGSIで改造
注意) PCIe 2 slot幅を専有するが、slot毎に仕切りのあるケースだと干渉する



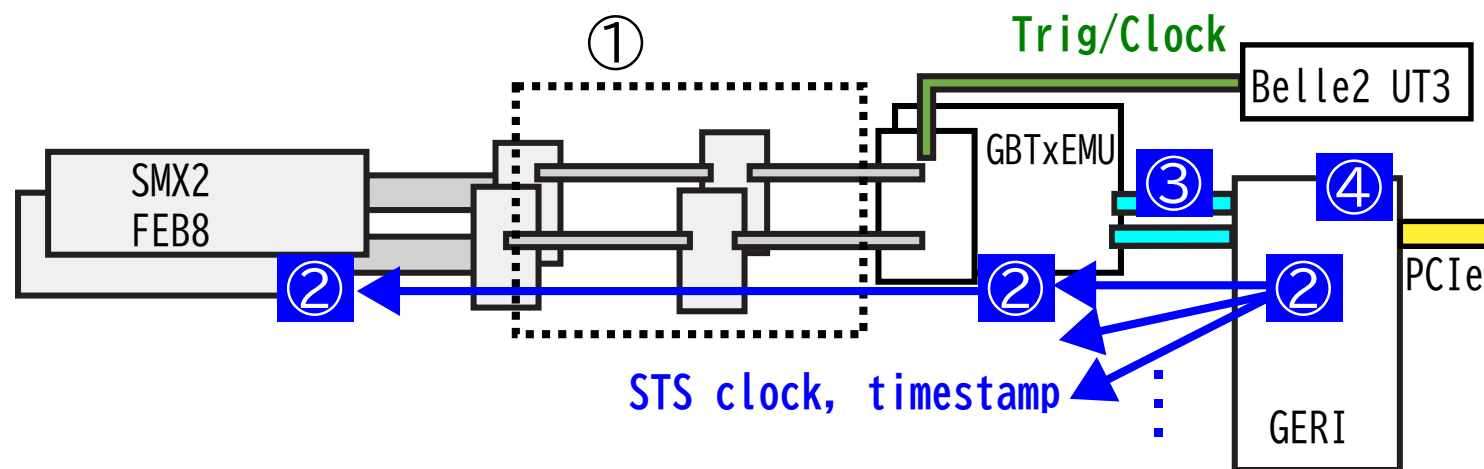
ここから本題

E16実験に向けた開発項目

1. FEB8 → GBTxEMUの伝送距離の延長 ▶ 済 (計測システム研究会2022で報告)

E16では、STS以外は共通トリガー方式のDAQ ⇒ STSのストリーミングデータと整合性をとる必要がある

2. **時刻同期** : GERI → GBTxEMU → FEB8
3. **GBTxEMU → GERIの転送データの最適化**
 - (a) 送信データ(Elink数)を増やす : 14x Elink → 16x Elink
 - (b) **トリガー情報** (トリガーの種類, event ID, spill ID, timestamp)
4. **トリガー時刻近傍のデータの選別 (データ削減)**



E16実験に向けた開発項目

1. FEB8 → GBTxEMUの伝送距離の延長 ▶ 済 (計測システム研究会2022で報告)

E16では、STS以外は共通トリガー方式のDAQ ⇒ STSのストリーミングデータと整合性をとる必要がある

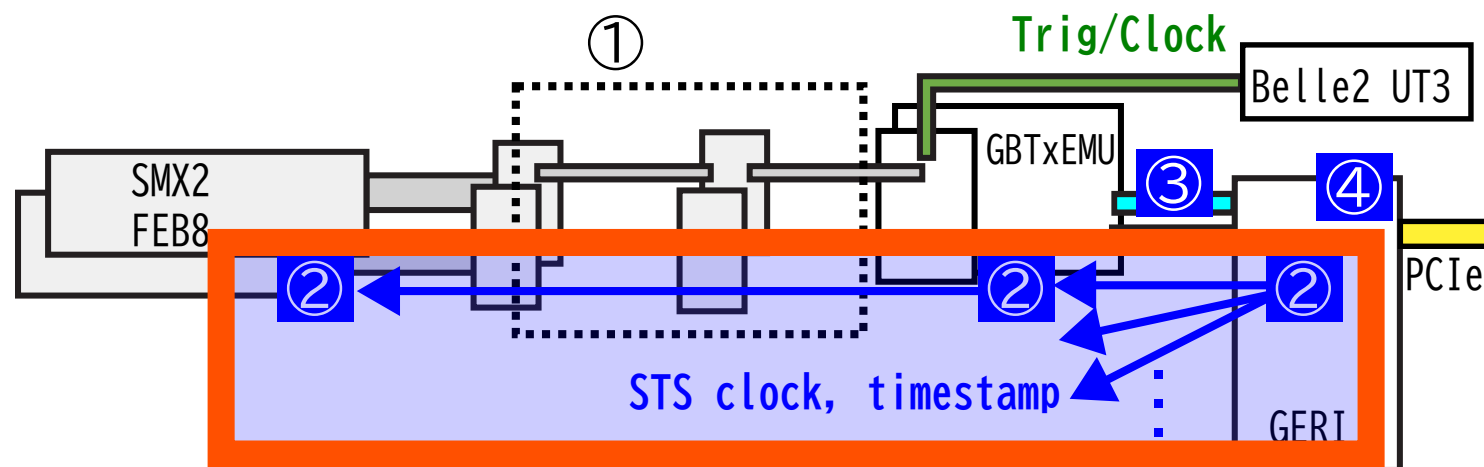
2. **時刻同期** : GERI → GBTxEMU → FEB8

3. GBTxEMU → GERIの転送データの最適化

(a) 送信データ(Elink数)を増やす : 14x Elink → 16x Elink

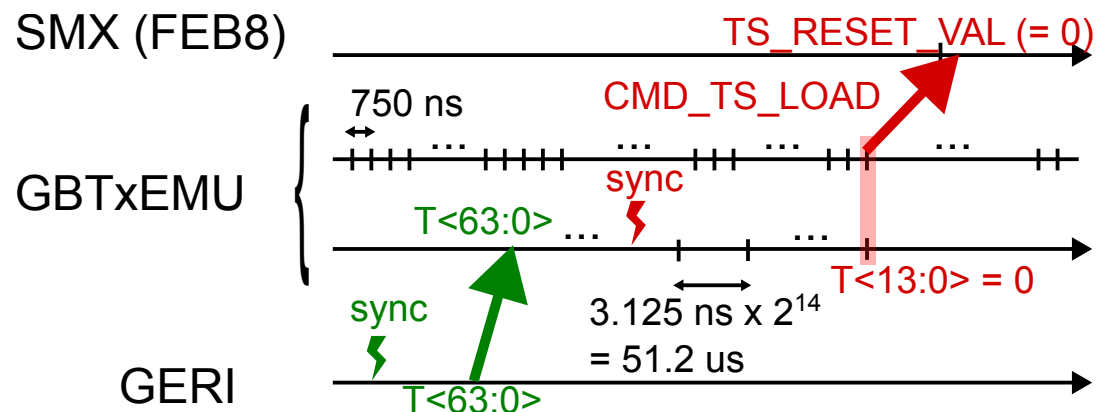
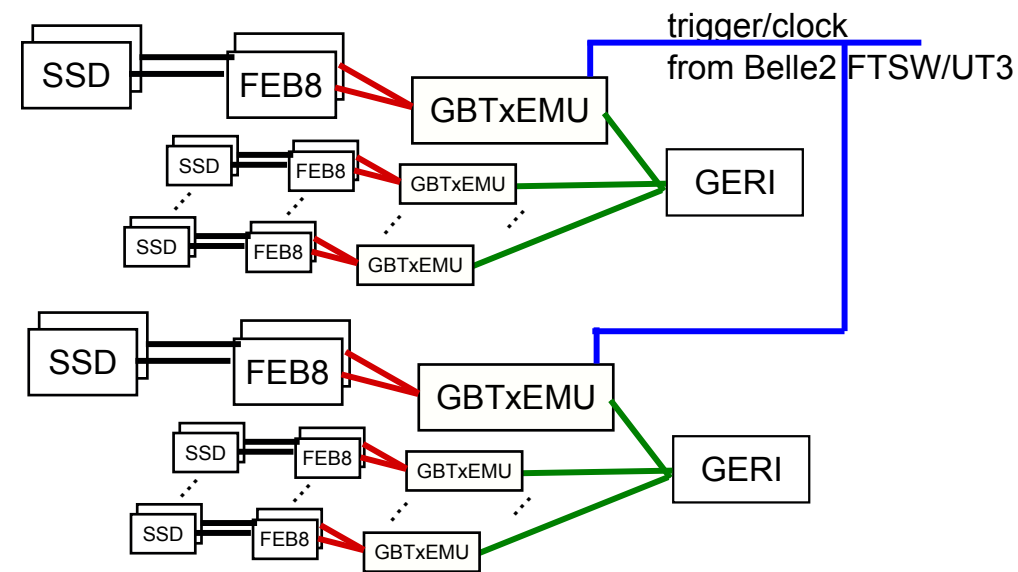
(b) トリガー情報 (トリガーの種類, event ID, spill ID, timestamp)

4. トリガー時刻近傍のデータの選別 (データ削減)



STS読み出し系の時刻同期

- **GERI ↔ GERIの同期**
 - clock同期は未実装
 - **GERI毎に外部トリガー/クロック受信用のGBTxEMUを1台**
 - タイムスタンプのオフセットはオフライン解析で合わせる
- **GERI ↔ GBTxEMUの同期**
 - 1-wayの同期コマンド送信
 - 64 bit timestamp
- **GBTxEMU ↔ SMX2の同期**
 - 1-wayの同期コマンド送信
 - 14 bit timestamp
- 経路長による遅延はオフライン解析で合わせる



E16実験に向けた開発項目

1. FEB8 → GBTxEMUの伝送距離の延長  済 (計測システム研究会2022で報告)

E16では、STS以外は共通トリガー方式のDAQ ⇒ STSのストリーミングデータと整合性をとる必要がある

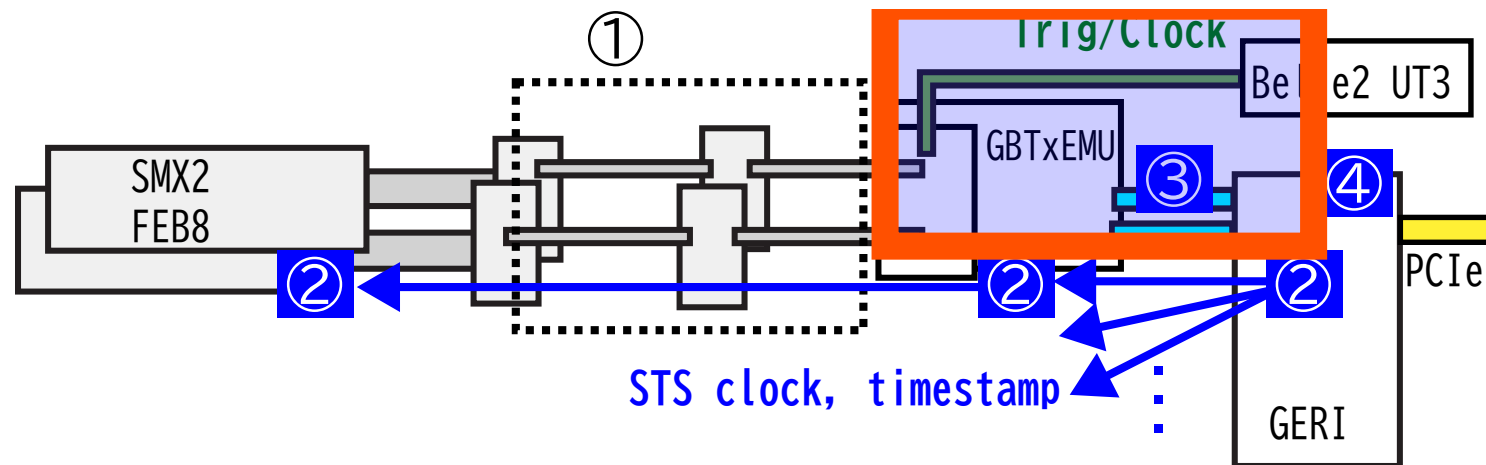
2. 時刻同期 : GERI → GBTxEMU → FEB8

3. **GBTxEMU → GERIの転送データの最適化**

(a) 送信データ(Elink数)を増やす : 14x Elink → 16x Elink

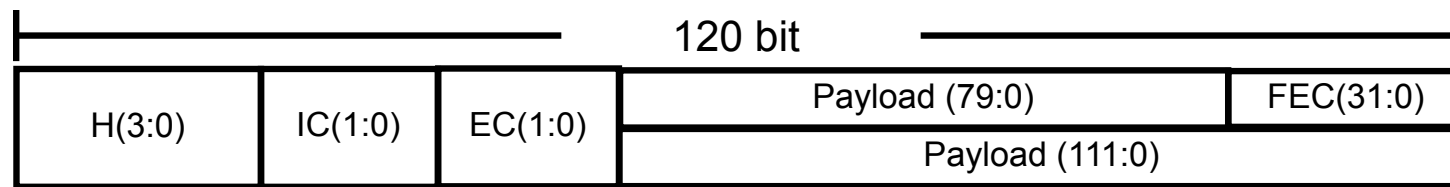
(b) トリガー情報 (トリガーの種類, event ID, spill ID, timestamp)

4. トリガー時刻近傍のデータの選別 (データ削減)



GBTxEMU → GERIの転送データの最適化(1)

- **FPGA-GBT** : CERN開発のGBTXというrad-hard高速SerDes ASICの機能を、FPGAで実現するIPコア
 - **4.8 Gbps ↔ 120 bit x 40 MHz**
 - ヘッダ(4 bit) + スロー制御 (2 + 2 bit) + **payload (80 bit)** + FEC parity(32 bit) : **GBTxEMU ← GERI**で使用
 - ヘッダ(4 bit) + スロー制御 (2 + 2 bit) + **payload (112 bit)** : **GBTxEMU → GERI**で使用



slow control

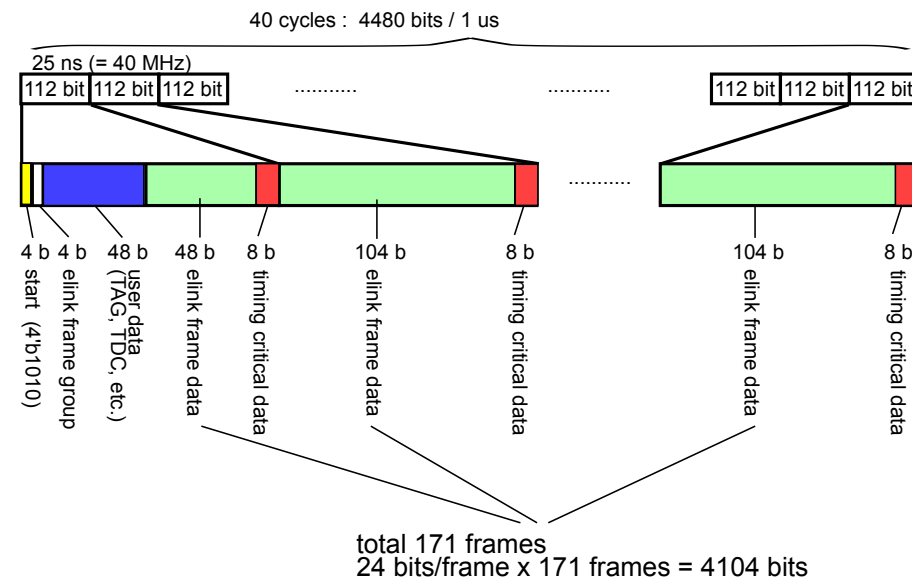
- IC: internal control
- EC : external control

- GBTxEMUの本来の設計(CBM)ではGBTX ASICと互換性のある使用方法
 - **320 Mbps/Elink x 14 Elinks = 8 bit x 40 MHz x 14 = 112 bit x 40 MHz = 4.48 Gbps**
- **E16では、より多くのデータをFPGA-GBTで送信したい**
 - トリガー情報など
 - **16x Elinkのデータ 5.12 Gbps**

➡ FPGAでデータ削減を行い、payload部分のデータフォーマットを変更

GBTxEMU → GERIの転送データの最適化 (2)

- トリガー情報など
 - 低遅延が必要なデータ = 毎サイクル転送 → 8 bit
 - UT3 (FTSW)からのtrigger_type<3:0>, run gate, reset
 - 遅延を許容するデータ = データを分割して40 cycle(= 1 μs)毎に転送 → 48 bit
 - UT3 (FTSW)からのevent<31:0>, spill<15:0>, timestamp<47:0>
 - GBTxEMUでのトリガー受信時刻 : timestamp<63:0>
- 16x Elinkのデータ
 - 5.12 Gbps (170.666 M frames/s)
 - SMX2からのフレームに対して8b10bデコード
 - 30 bit → 24 bit
 - 24 bit/frameを104 bit/cycleに埋め込む
 - 171 frameを40 cycle (= 1 μs)で送信
 - 24 bit x 171 M frames/s = 4.104 Gbps



- 最大で~200 kHzのトリガー情報を転送可能
- 16 Elinkの全フレーム(170.666 M frames/s)を転送可能

E16実験に向けた開発項目

1. FEB8 → GBTxEMUの伝送距離の延長  済 (計測システム研究会2022で報告)

E16では、STS以外は共通トリガー方式のDAQ ⇒ STSのストリーミングデータと整合性をとる必要がある

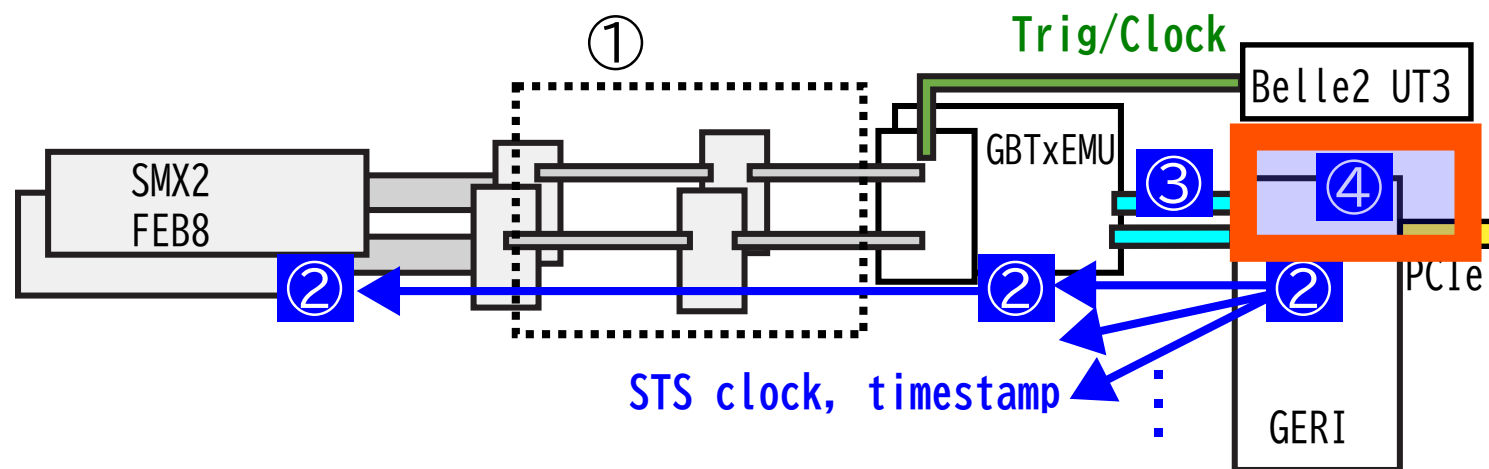
2. 時刻同期 : GERI → GBTxEMU → FEB8

3. GBTxEMU → GERIの転送データの最適化

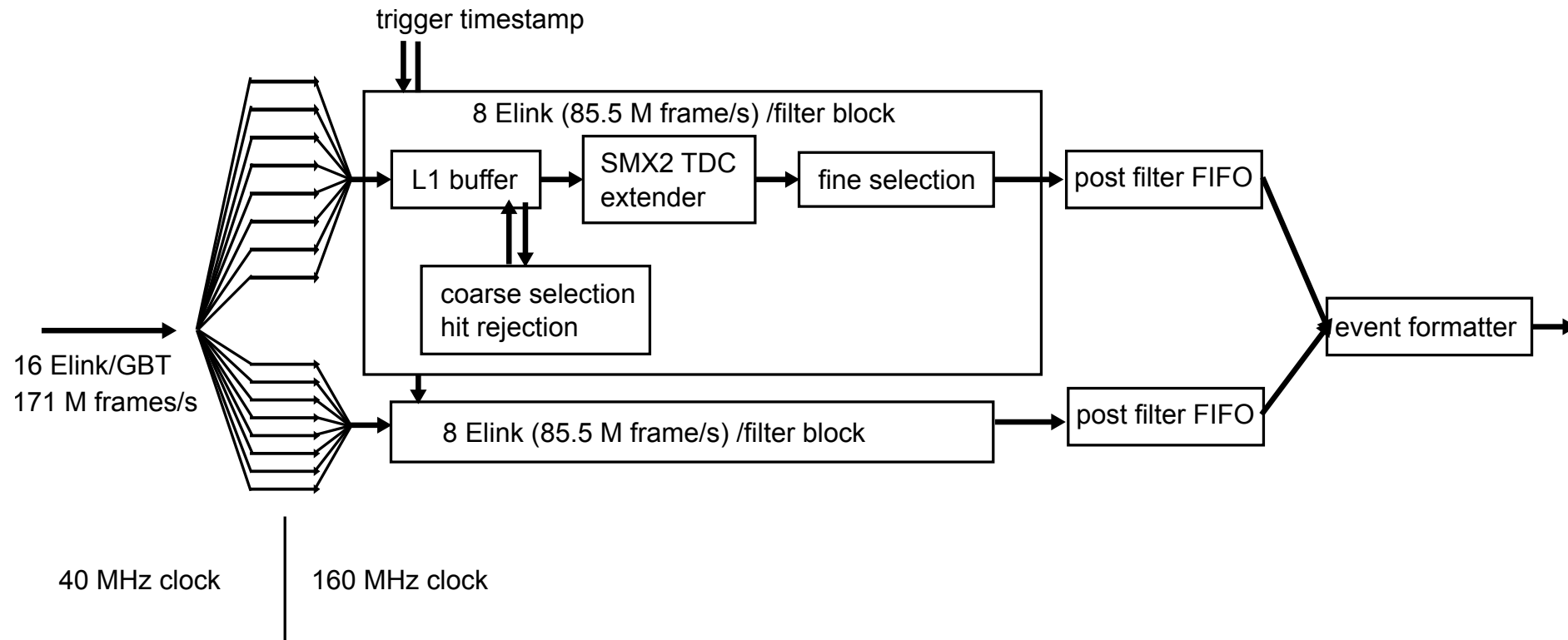
(a) 送信データ(Elink数)を増やす : 14x Elink → 16x Elink

(b) トリガー情報 (トリガーの種類, event ID, spill ID, timestamp)

4. **トリガー時刻近傍のデータの選別 (データ削減)**



GERIでトリガー時刻近傍のデータの選別 (1): 概要



- TS MSB frame, Hit frameはGERI到着時刻のtimestampをつけて **L1 buffer**に書き込む
- 外部トリガー待機中: L1 buffer内の**古いHitとTS_MSBの除去**
- 外部トリガー受信時: **分割状態で受信したHitのTDCを14 bitに再構築し, トリガー時刻近傍のデータのみ選別**して出力へ

GERIでトリガー時刻近傍のデータの選別 (2): L1 bufferの実装

SMX2からのHit frame出力順は厳密な時間順序になっていない

▶ FPGAで時間順序を並べ直さない方針でファームウェアを実装

L1 buffer: simple dual port RAMを使ったread addressの巻き戻し機能付き巡回バッファ

- **Write address (書き込み位置)**

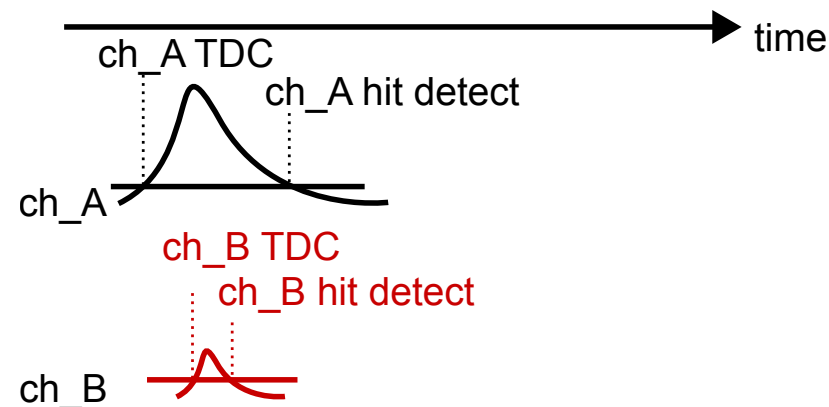
- 新しいHitの受け入れを許可する場合に+1

- **Read start address (巻き戻し位置)**

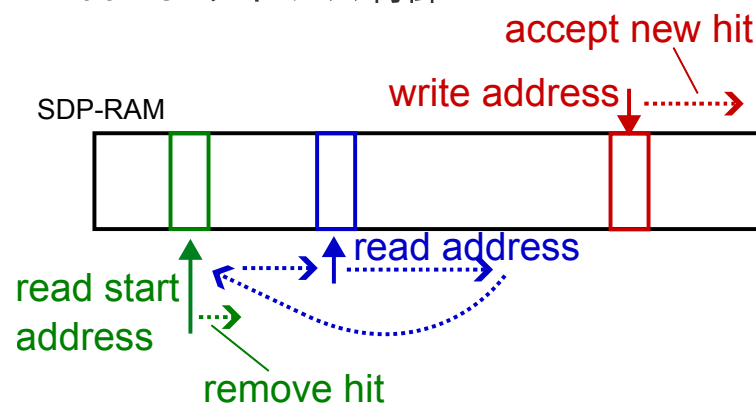
- write addressとの差 ⇒ buffer fullの判定
- 外部トリガー待機中: 古いHit, TS_MSBを削除する場合に+1
- 外部トリガー受信時 (選別処理中): 移動なし

- **Read address (読み出し位置)**

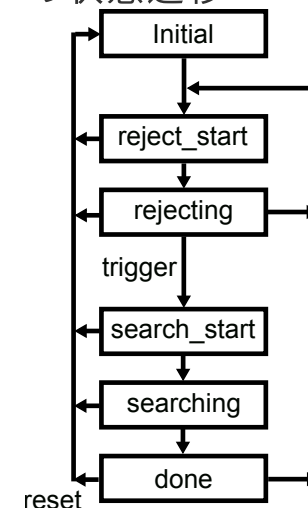
- write addressとの差 ⇒ buffer emptyの判定
- 外部トリガー待機中: read start addressから移動開始し, 古いHit, TS_MSBを探索.
 - 探索速度維持のために、buffer emptyでない限り連続で+1. read start addressからある程度離れたらread start addressに戻る
- 外部トリガー受信時 (選別処理中): read start addressから移動開始し, 選別対象のHit, TS_MSBを探索.
 - buffer emptyならtimeoutまで新しいHitの到着を待つ



L1 buffef アドレス制御



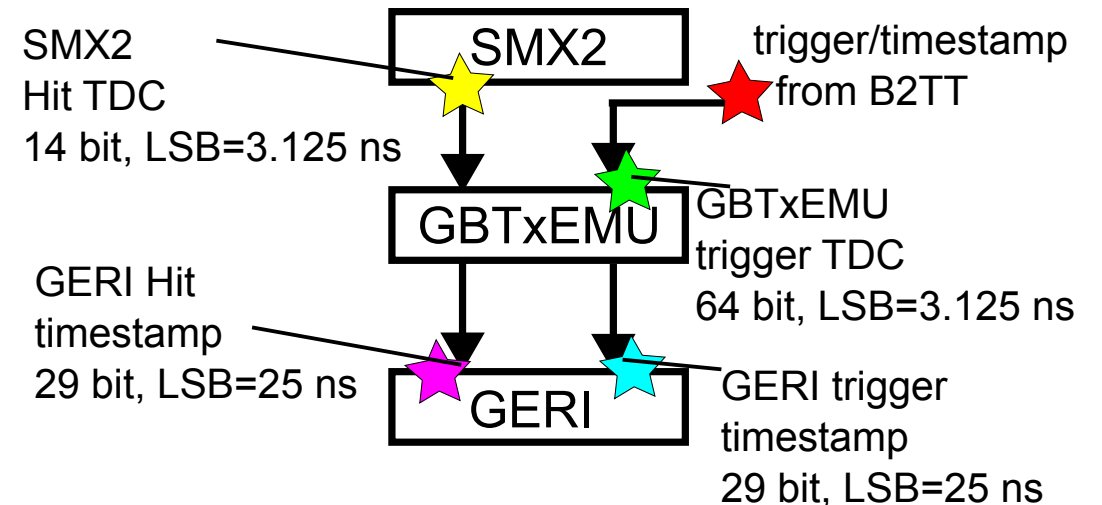
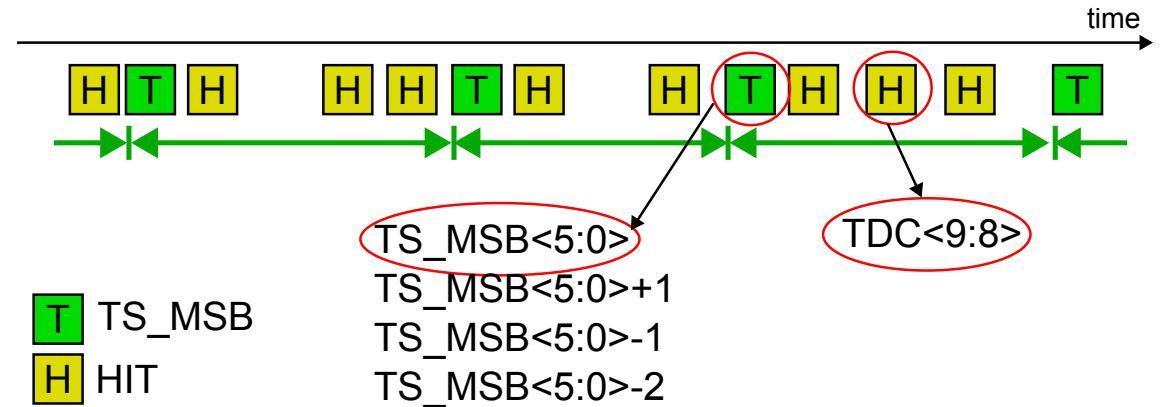
L1 buffer制御の状態遷移



GERIでトリガー時刻近傍のデータの選別 (3): TDCのbit拡張

SMX2 TDCのbit数の不足

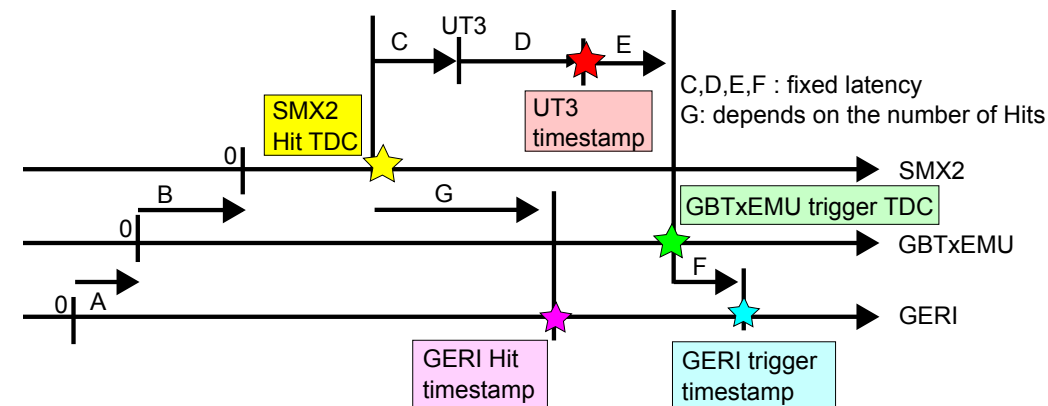
- Hit frameは**TDC下位10 bit (= 3.125 μ s)**しかない
 - ▶ トリガー時刻との比較のために**14 bitに再構成**
 - TDC上位6 bit(TS_MSB)から4通りの候補を生成
 - オーバーラップ2 bitがTDC<9:8>と一致するものを下位10 bitに結合
- Hitが無い期間が長いときに、rolloverしたHitと区別がつかなくなるのを避ける必要がある
 - ▶ **FPGA(GBTxEMU, GERI)で51.2 μ sより長いtimestampをつける**
 - 以下の時刻データをFPGA内で使用(→次頁)
 - SMX2 Hit TDC** : Hit信号発生時刻
 - GERI Hit timestamp** : **SMX2 Hit TDC** がGERIに到着した時刻
 - GERI trigger timestamp** : 外部トリガーがGERIに到着した時刻



GERIでトリガー時刻近傍のデータの選別 (4): 時刻データでのHit選別

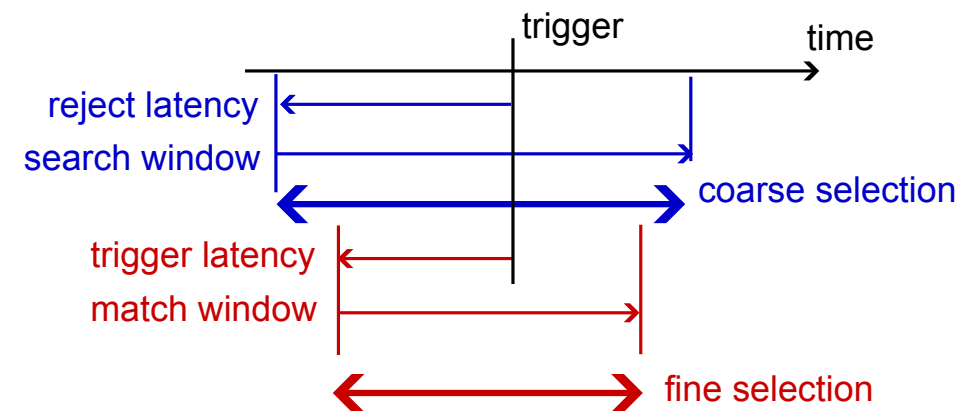
Hit frameが外部トリガーより遅れて到着する可能性

- HitがGERIに到着するまでの時間(右図の **G**)はHit数(Hit rate)に依存
 - Elink 320 Mbps, 30 bit/frame → 93.75 ns/frame
 - チップ内バッファ
 - SMX2から出力されるまでに**数 μ s - 数10 μ s**かかる可能性



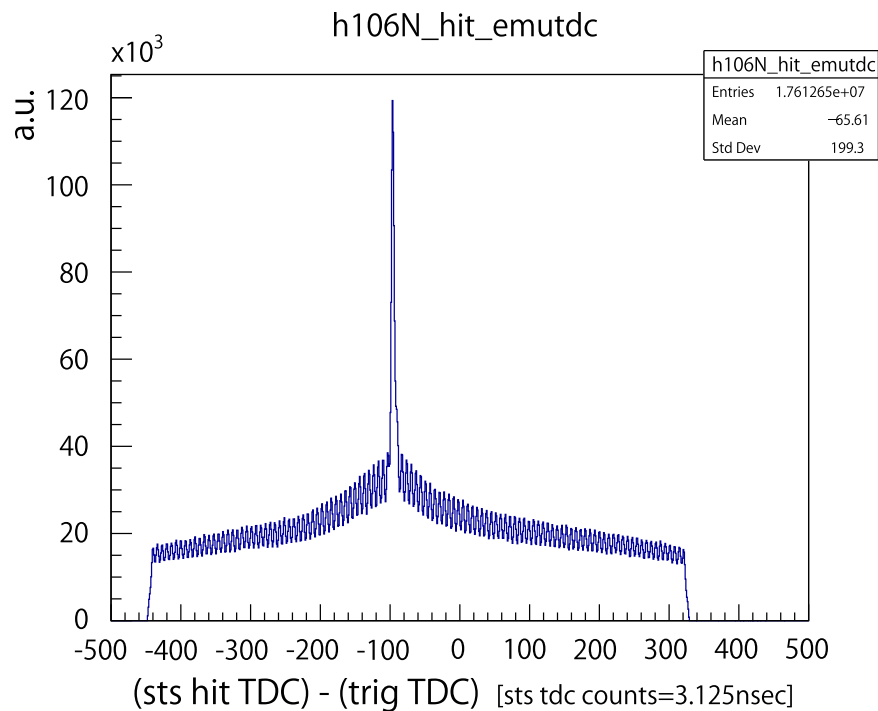
Hit選別の探索範囲を2種類

- **coarse selection** (window幅 = 数 μ s - 数10 μ s)
 - **古いデータを探索し、バッファから除去**
GERI Hit timestamp と GERIの現在のtimestamp を使用
 - **triggerより後のデータ到着待ちの終了判定**
GERI trigger timestamp と GERIの現在のtimestamp を使用
- **fine selection** (window幅 数100 ns - 数 μ s)
 - **トリガー近傍のデータを探索**
 - SMX2 Hit TDC と GERI trigger timestamp を使用

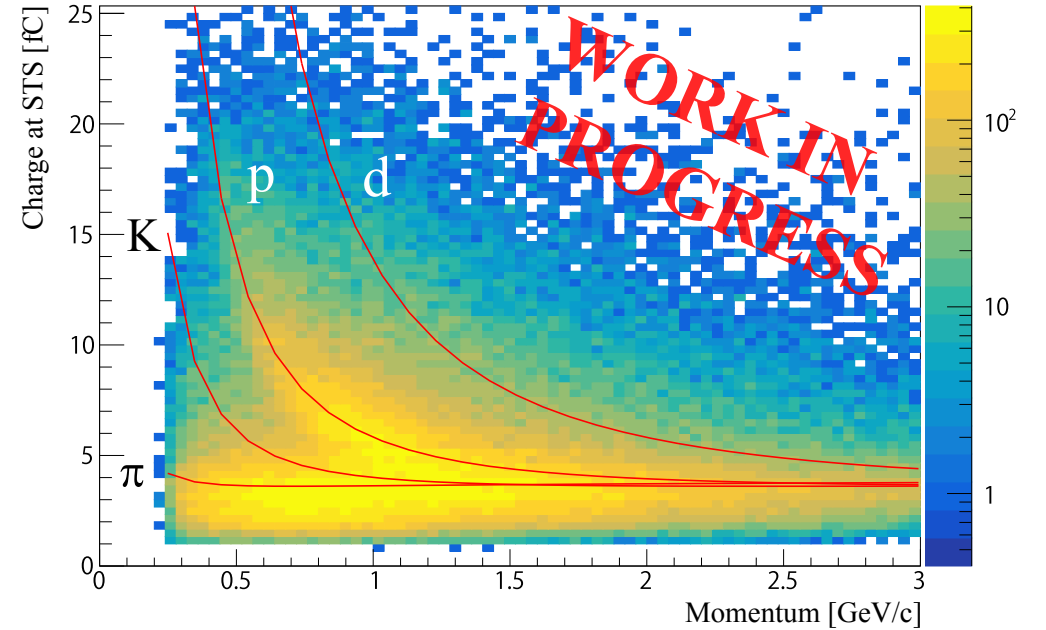


2024年春のコミッショニング

- SMX2 TDCとトリガー時刻の時間差
 - トリガータイミングに対応するピーク
 - Transverse RFの21 ns周期構造



- STSで検出した電荷と荷電粒子飛跡の運動量



➔ STS読み出しシステムの動作に成功

まとめ (再掲)

- J-PARC E16実験の最内層の飛跡検出器 : Silicon Tracking System (STS)
 - GSI/FAIR CBM実験と共同開発
- STS読み出しシステム
 - SMX2 (セルフトリガー型ASIC) → GBTxEMU (FPGA-GBT) → GERI (PCIe) → PC
- E16実験向けの改造
 - 時刻同期
 - GBT linkのデータ最適化 (トリガー情報の追加, Elink数増加)
 - 外部トリガーとのマッチング処理によるデータ削減
- 2024年春のコミッショニングで正常に動作
- 2025年に物理測定(Run 1)を予定