

# HyperKamiokandeのための TDCの開発

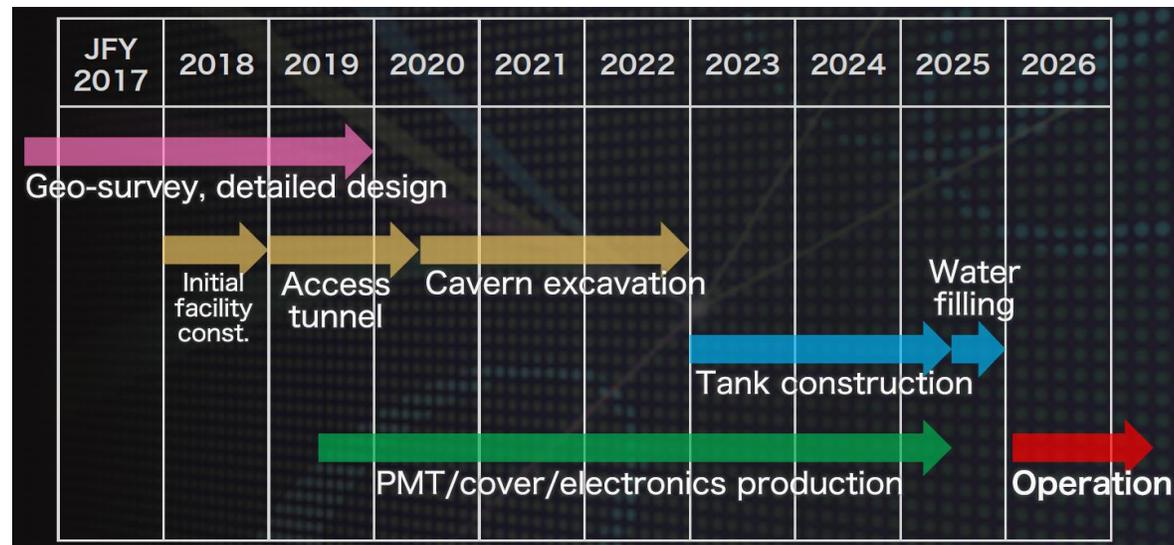
片岡洋介  
(東大素粒子センター)

# HyperKamiokande実験

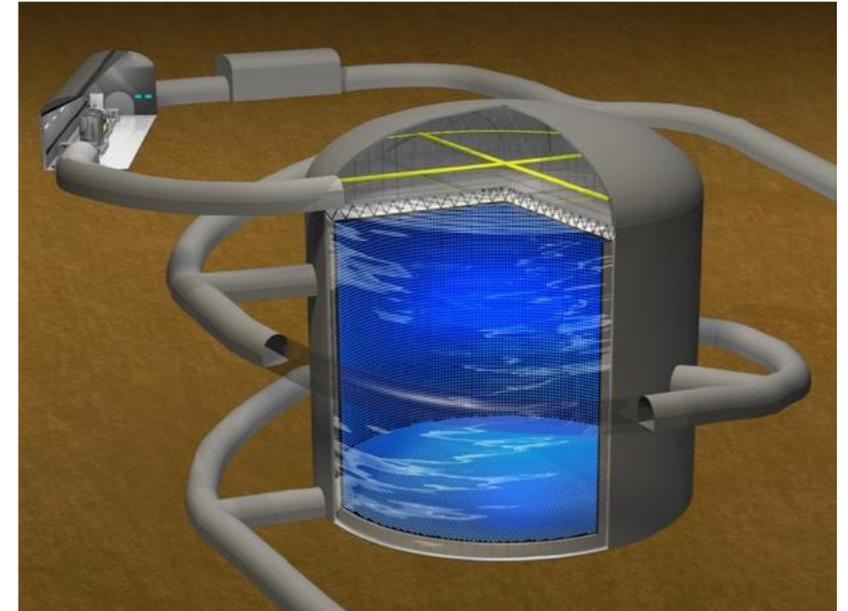
## HK ~ SKの次期計画

- 10倍の有効質量をもつ水タンク2基
- 光感度2倍の新型20インチPMT
- 2026頃一基目の稼働を目指す
- 核子崩壊やCP非対称性の破れの発見などを目指す

## HKスケジュール



HKタンク図(一基目)



20インチPMT



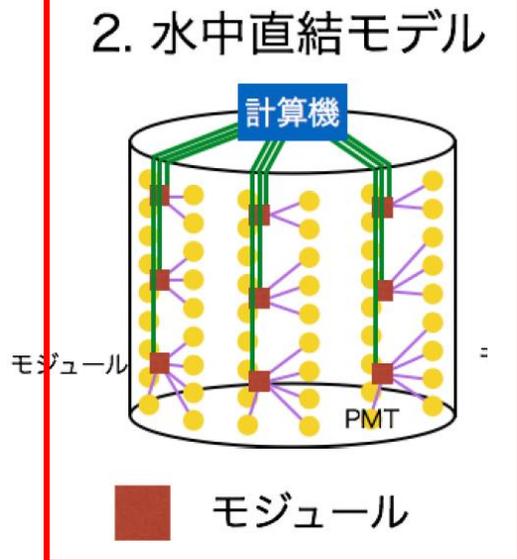
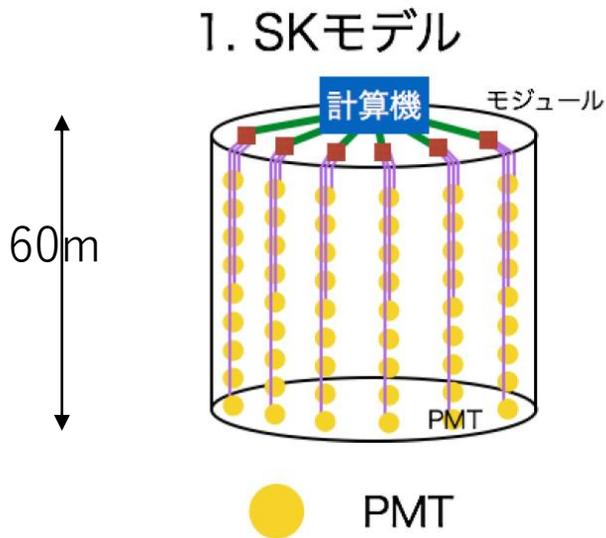
タンク:  
高さ 60m x 直径 74m  
容量 26万トン  
(有効質量 18.6万トン)  
センサー:  
感度 2倍, 4万本(50cm)

# HK Electronics

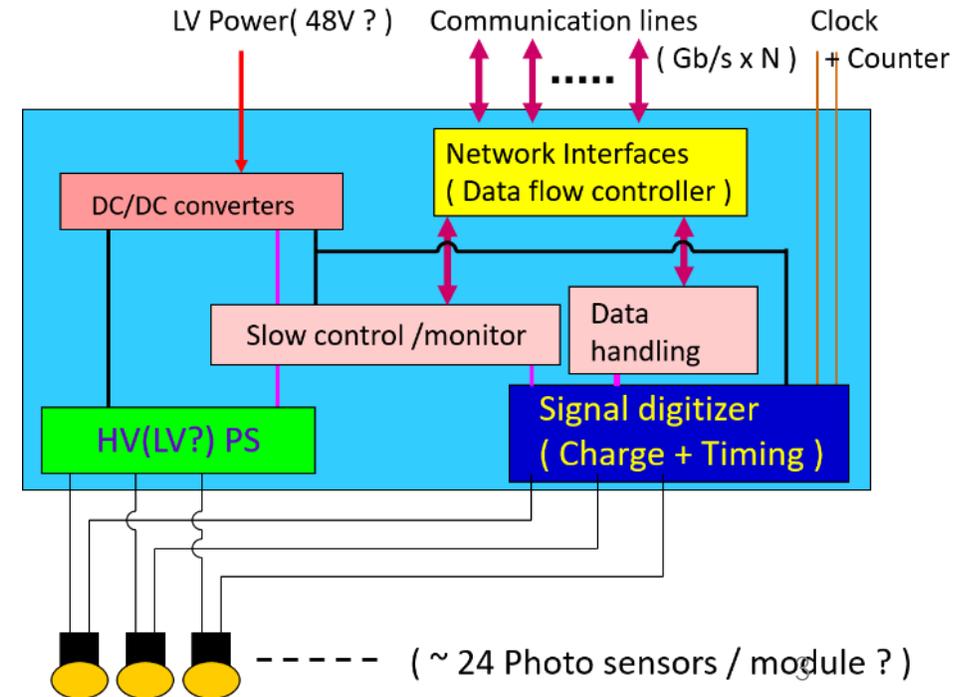
## HKエレキの要請

- 4万本のPMT信号を処理
- タンク外部までの距離が長く (~150m) フロントエンドエレキは水中に設置
- 対水圧、非溶出、発熱対策、外部とのCommunication/Control
- 実験期間中 (~20yr) の連続稼働

## HK



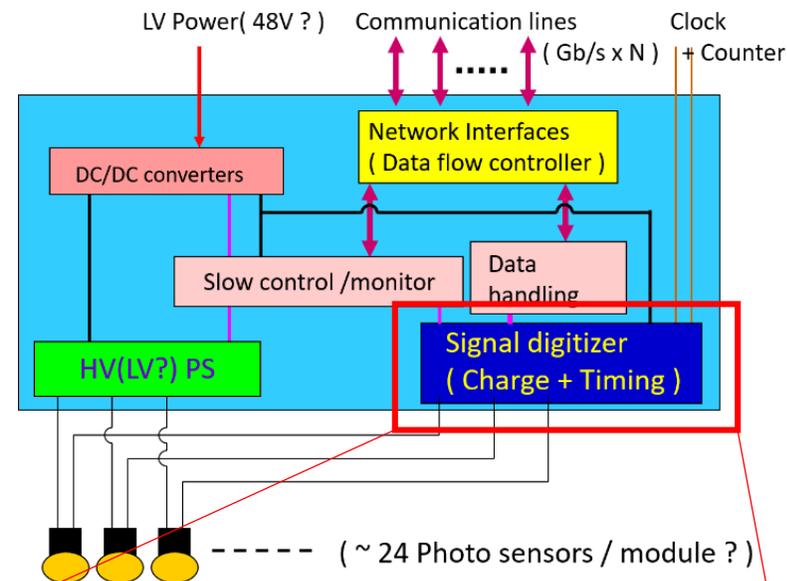
## フロントエンドエレキ概念図



# Signal Digitizer

- SK現行機(QTC+AMT)

- QTC(Charge to Time Converter) ASIC  
グループ開発、電荷を時間幅として出力(~900ns)  
3スケールで0.2pC ~ 2500pCの広いレンジ
- AMT3(ATLAS Muon TDC ver.3) ASIC  
0.52ns bin width  
0.2ns resolution



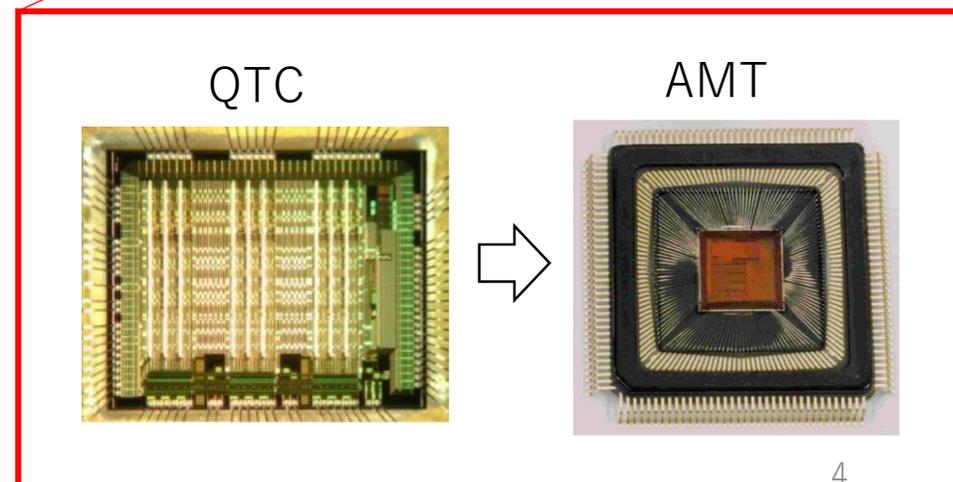
SK現行機

- HK

AMTは既に生産ラインを中止  
現行機の性能を維持したい

QTC + FPGA(TDC)

のsolutionを検討中。

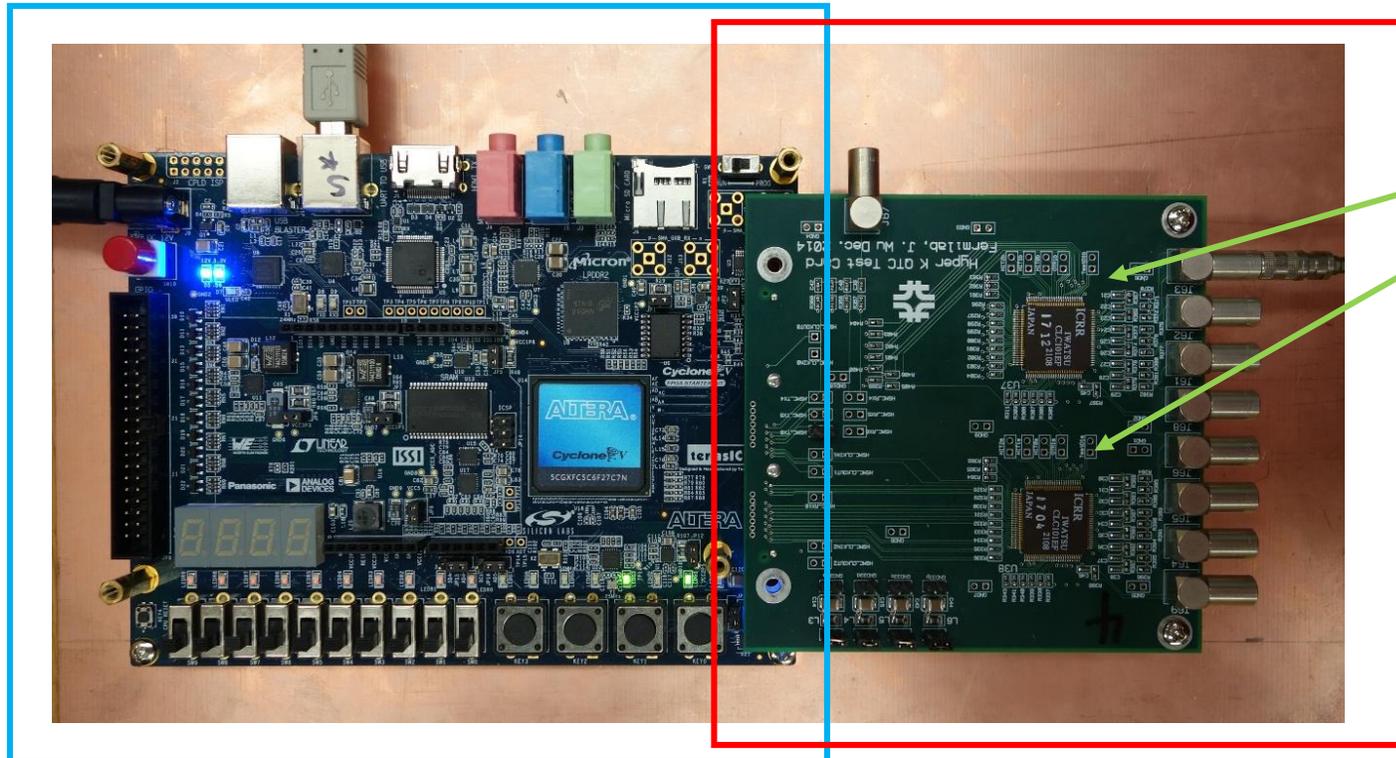


# R&D Test board

- QTC ASICを搭載したTest boardに市販のFPGA評価ボードを接続してTDCを開発
- **Multi phase**のTDCと**Delay chain**タイプのTDCの2つを試した

Altera Cyclone V 評価ボード  
(Terasic GX Starter Kit \$179)

QTC test board



- 2 QTC chip on board
- 6 PMT inputs (lemo)
- x 3 scale = 18 channel
- Test pulse from Charge Time Generator (Phillips 7120)

HSMC interface

# Multi phase TDC

- PLLでClockのphaseをずらし、各phaseでSignalをラッチ

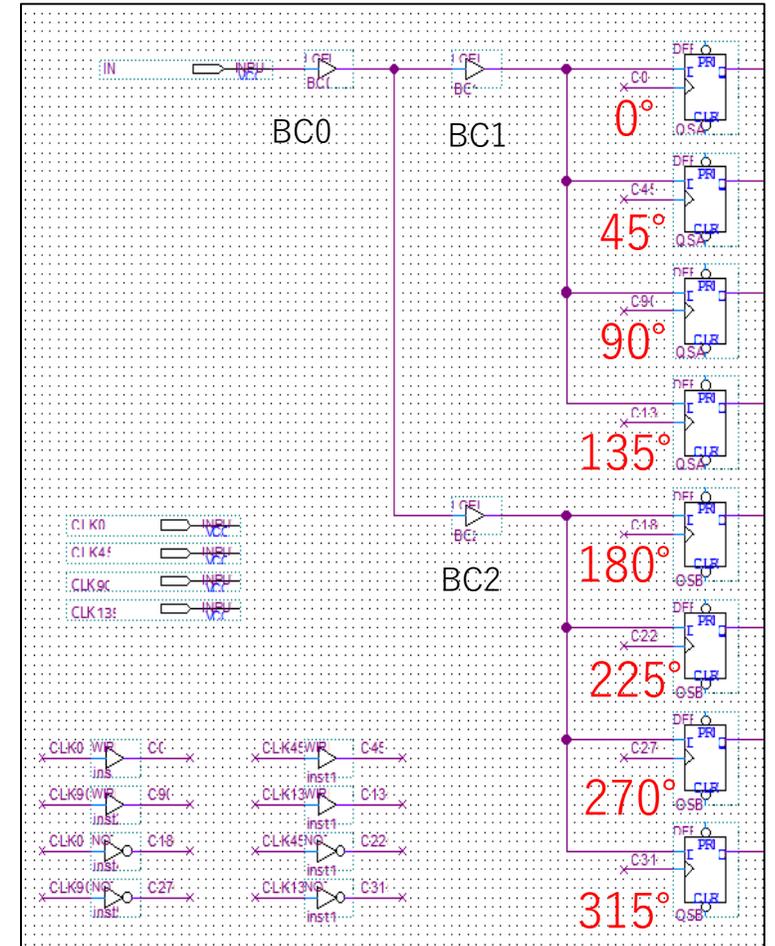
8 phase on 500MHz clock → 4GHz TDC (0.25ns)

- 500MHz .. time counterや通常の処理でそろそろTimingきつい
- 8 phase .. おそらくこれ以上も可能、  
0.25nsですでに十分、DNLが効くので意味がない  
Clockの等長配線が難しくなる

- 利点

- シンプルな構造、リソース小さい
- パフォーマンスはほぼPLLで決まり、高精度、安定

Design of 8 phase TDC

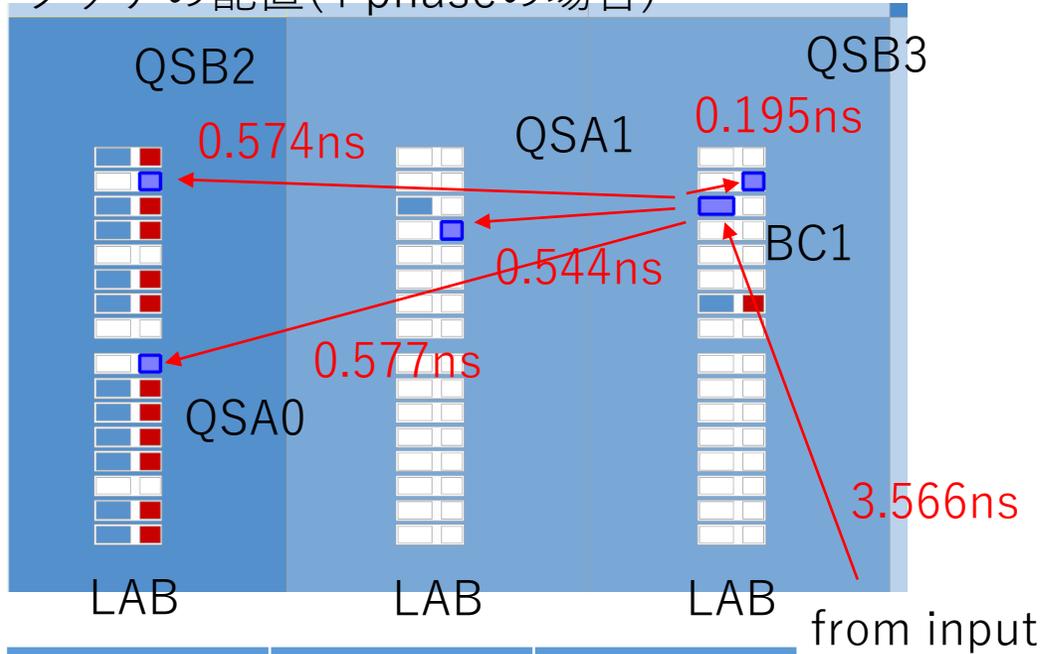


# 各ラッチまでの遅延

- DNL(Differential Nonlinearity)のためには等長配線が重要
- 自動で合成/配置すると数100psオーダーの遅延差が発生

## 1. 配線による遅延差

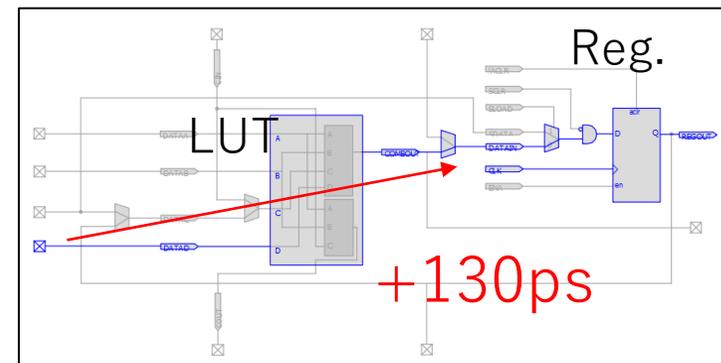
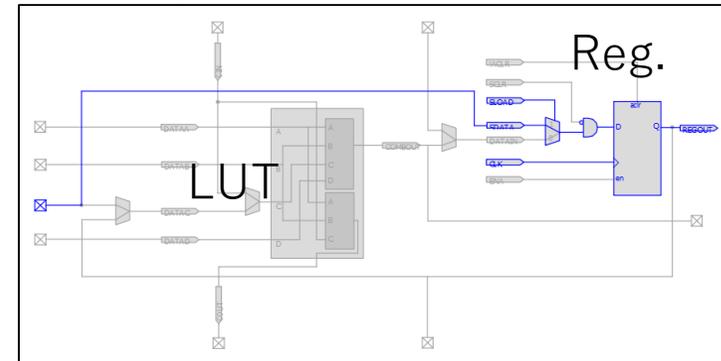
ラッチの配置(4 phaseの場合)



	Clock(ns)	Data(ns)
QSA0	0.991	0.577
QSA1	1.001	0.544
QSB2	0.991	0.574
QSB3	1.000	0.195

## 2. LUTをパスしたりしなかったり

Logic element of FPGA

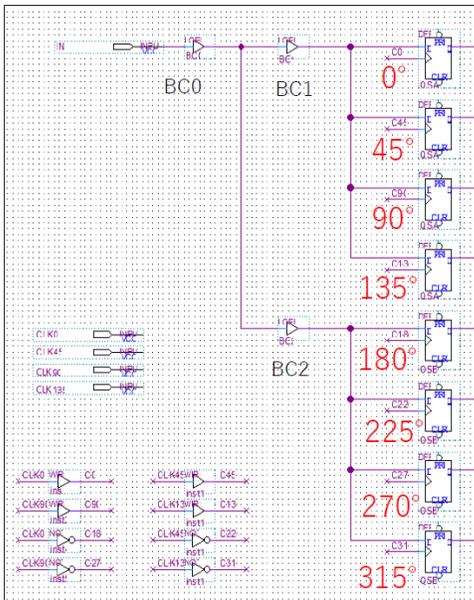


いずれの場合も手動(ECO)もしくはConstraint(LogicLock)でコントロールする手段がAltera(Quartus II)から提供されている

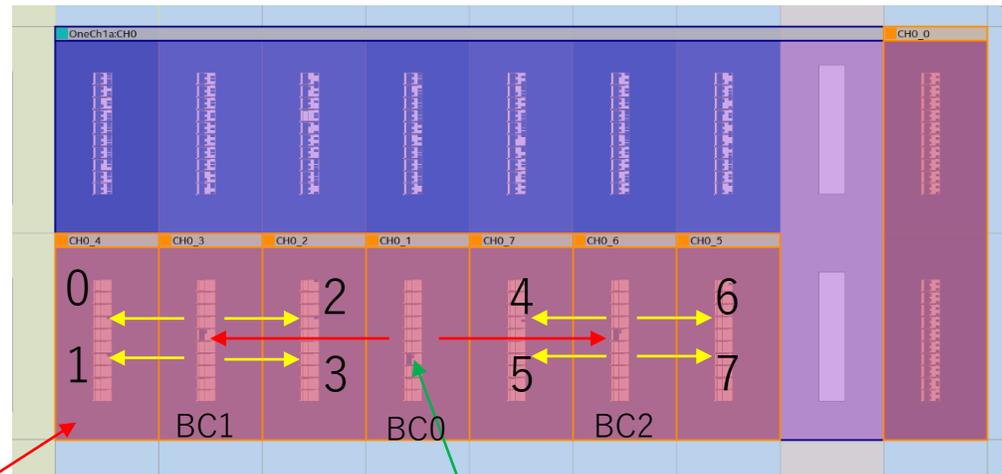
# 8 phase ラッチの配置

18 ch 実装 on Cyclone V

- Signal側は配置を制限(LogicLock)することで可能
- Clock側はグローバルクロックネットワークによりJitter小

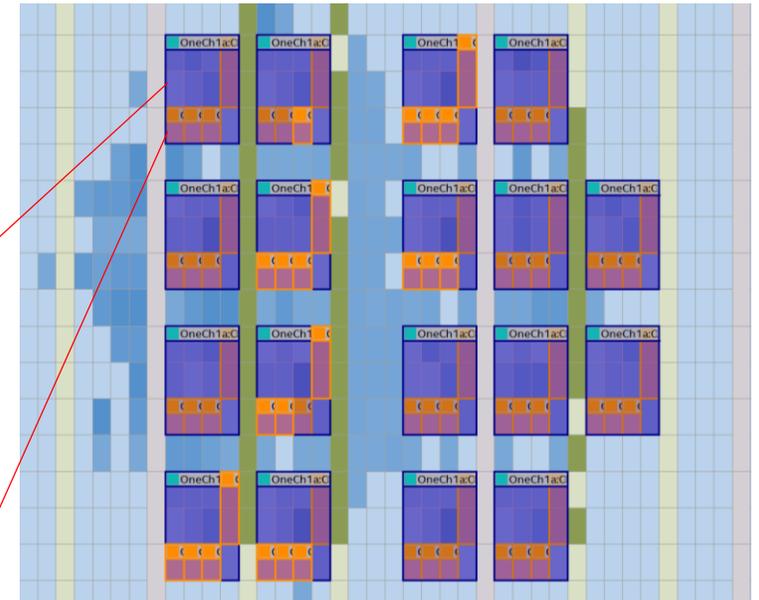


8 phase ラッチの配置



LAB(10cell)

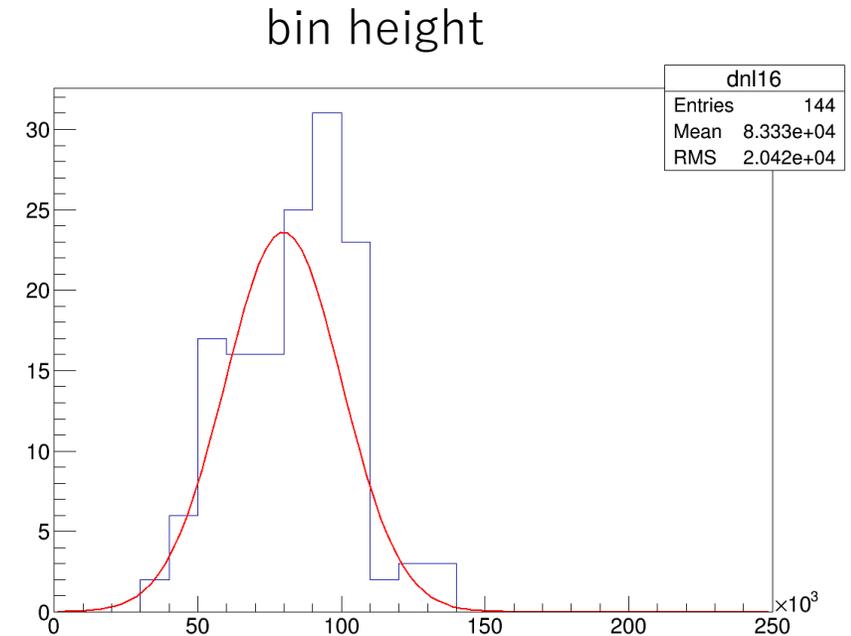
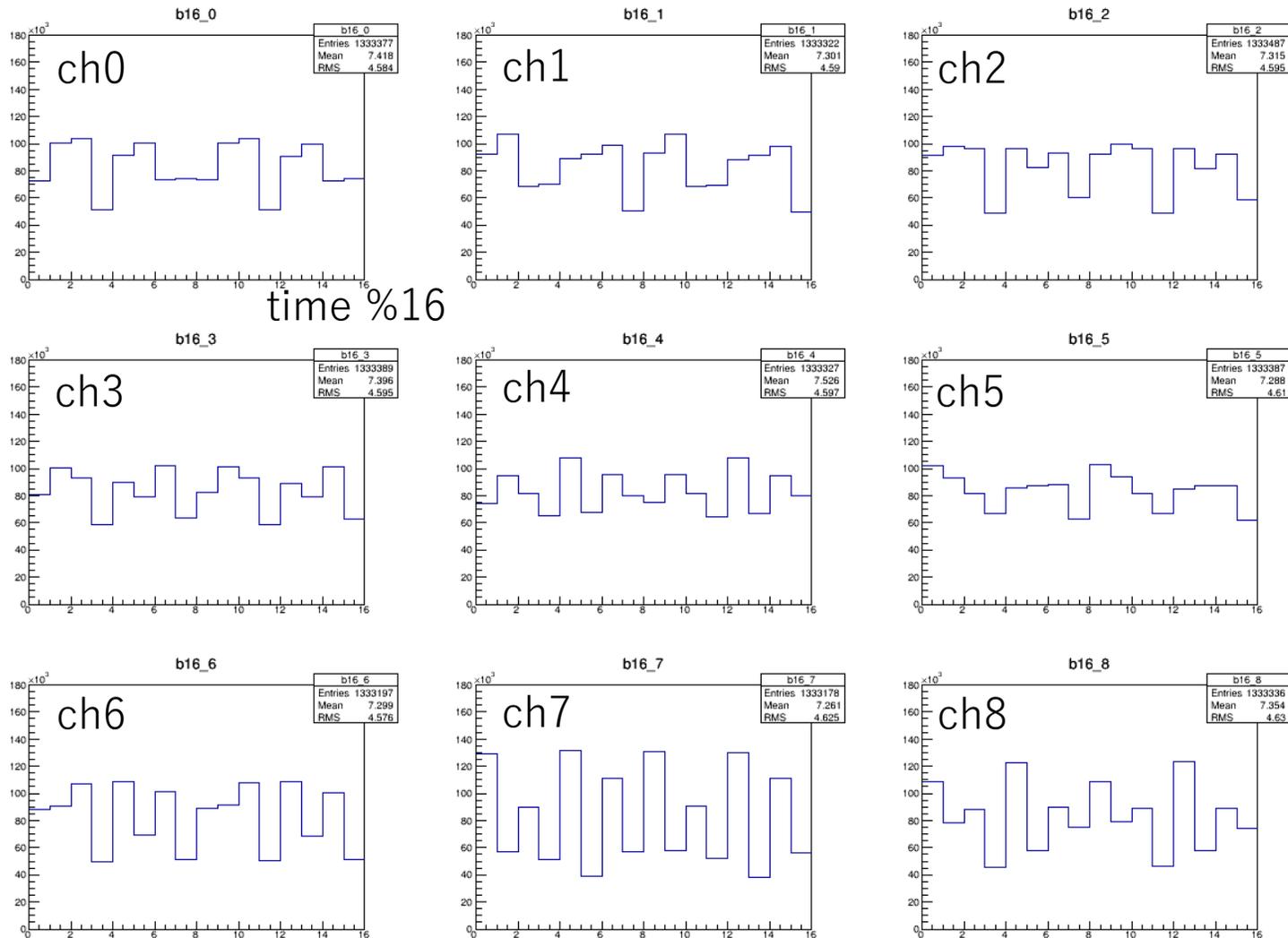
from  
input



- LAB毎に2clock lineの制限
- 横方向の高速/安定なinter connection
- 高々数十psのばらつきでcontrol<sub>8</sub>

# Differential Nonlinearity

- ランダム入力で各bin幅をチェック

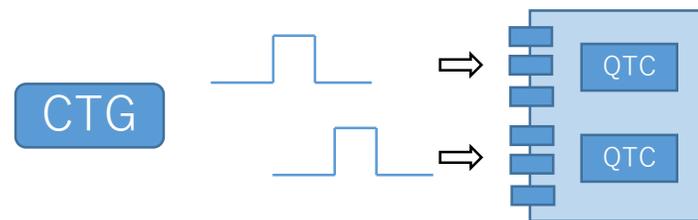


Time bin = 250ps  
RMS = 60ps (24%)

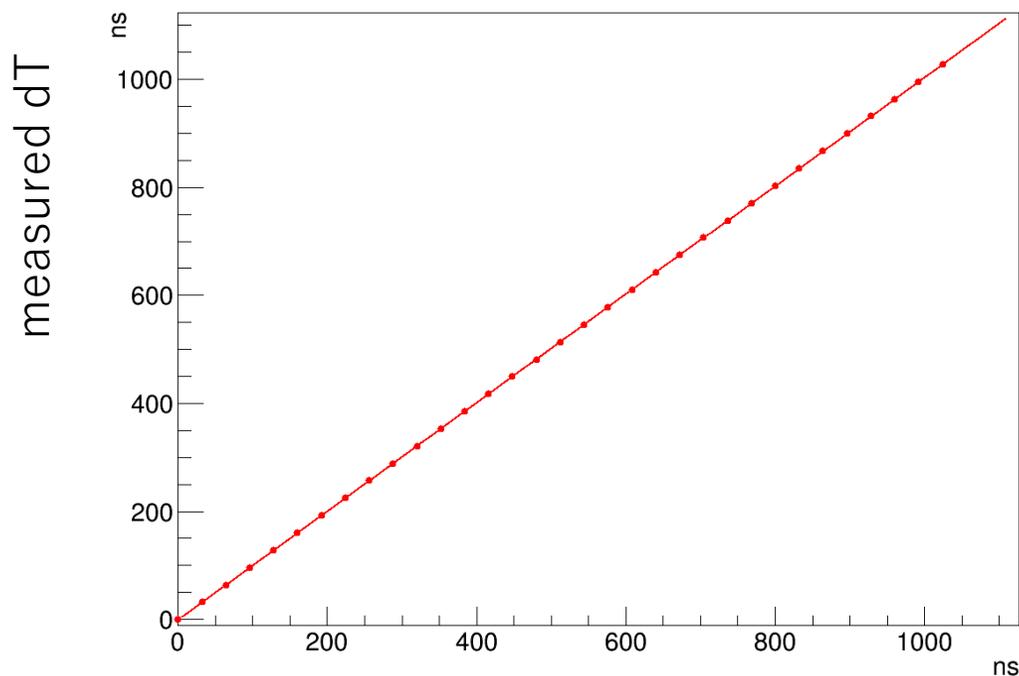
- Time resolutionに効くが十分な性能
- Clockを変えても(250MHz)絶対値は同程度、等長配線の不一致からきているのだろう

# Integral Nonlinearity

- 時間差を与えた2パルス入力  
 $\Delta T = 0 \sim 1024 \text{ ns}$  (by CTG, phillips 7120)

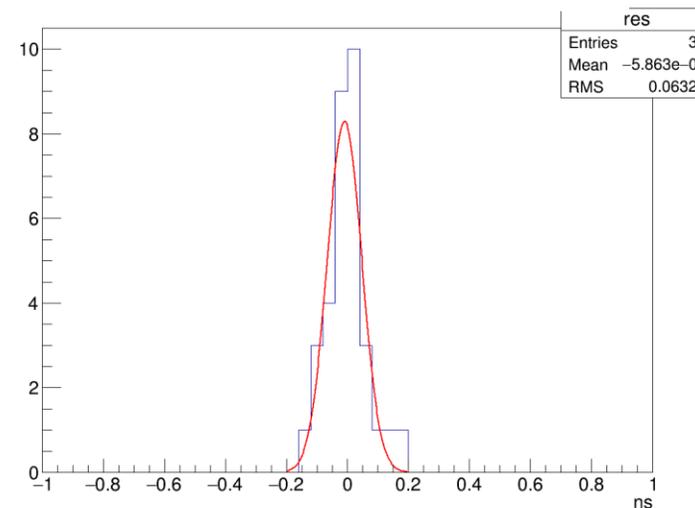


Graph



Input dT

residual

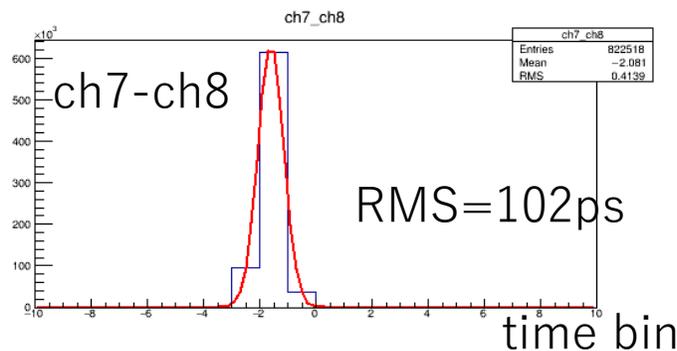
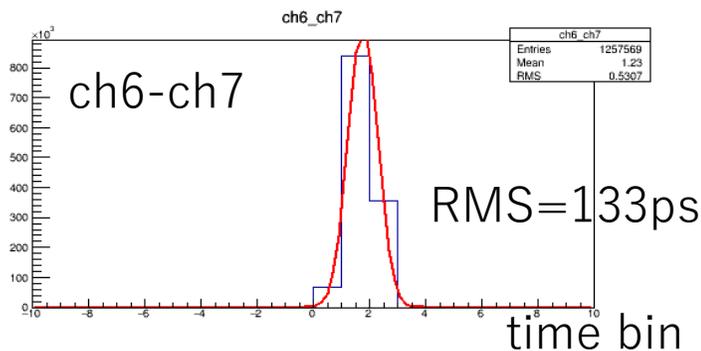
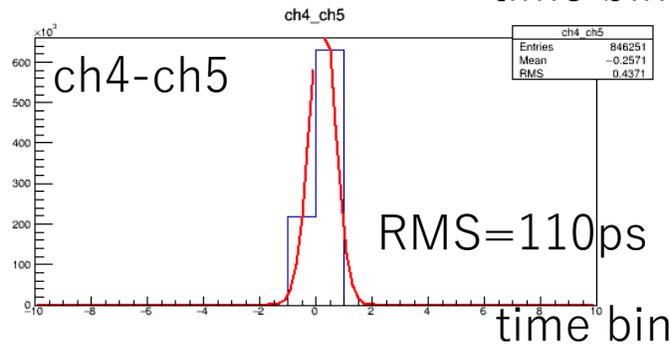
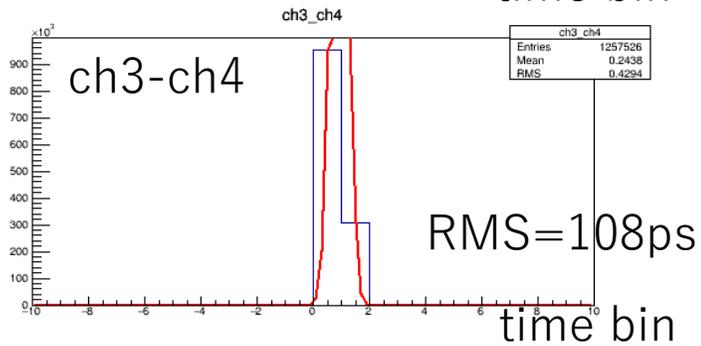
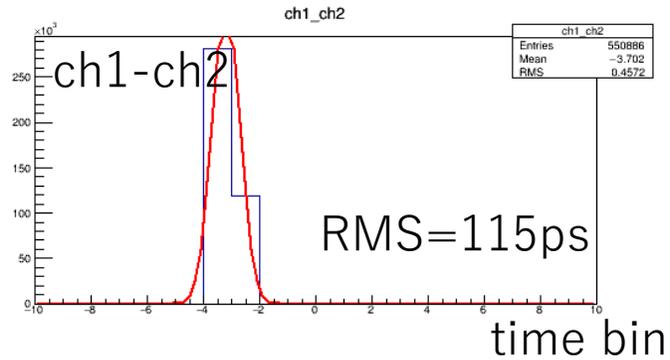
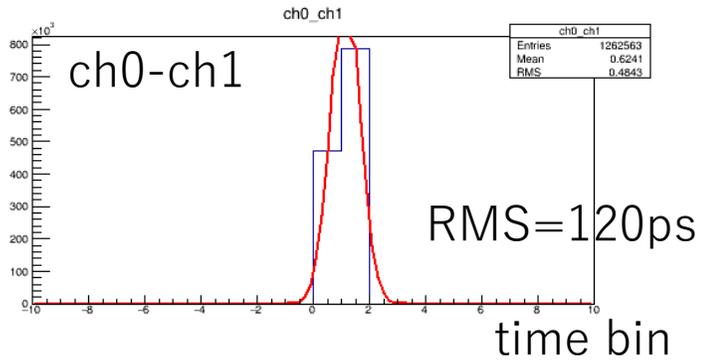


Sigma ~ 60ps

Long termのパフォーマンスはPLLにより安定  
TDCのデザインにはよらない

# Time resolution

同時入力で計測された時間差

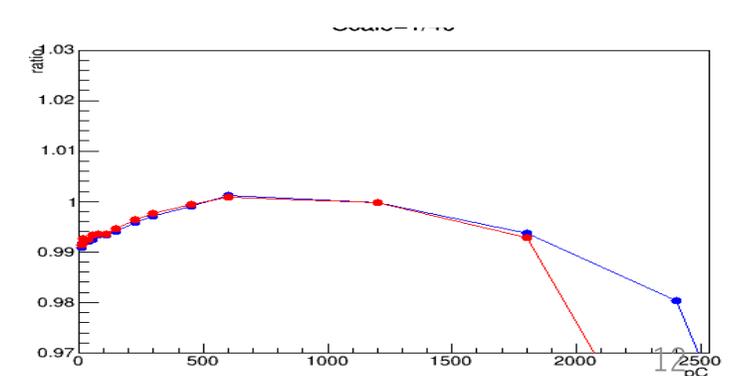
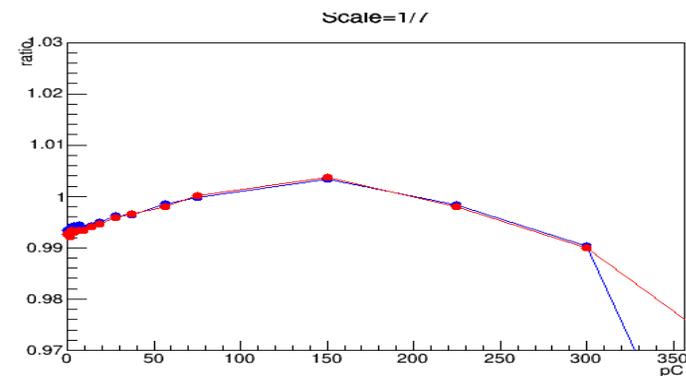
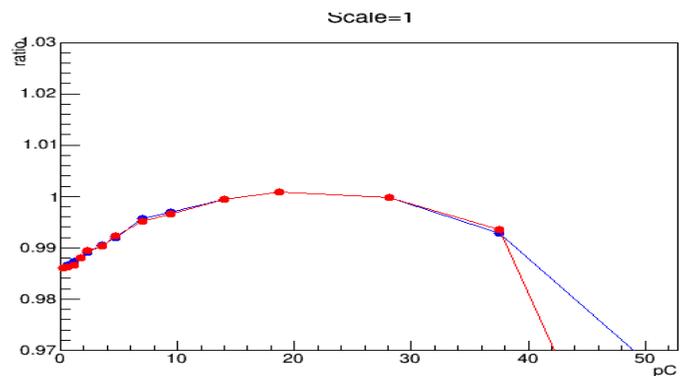
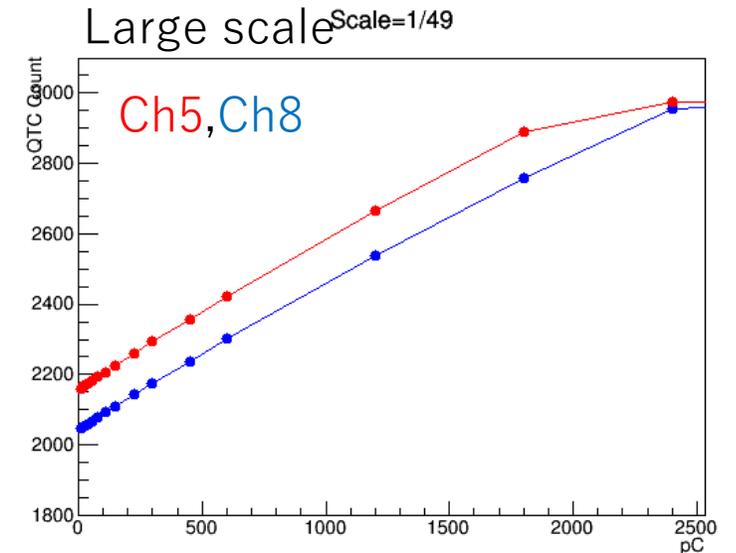
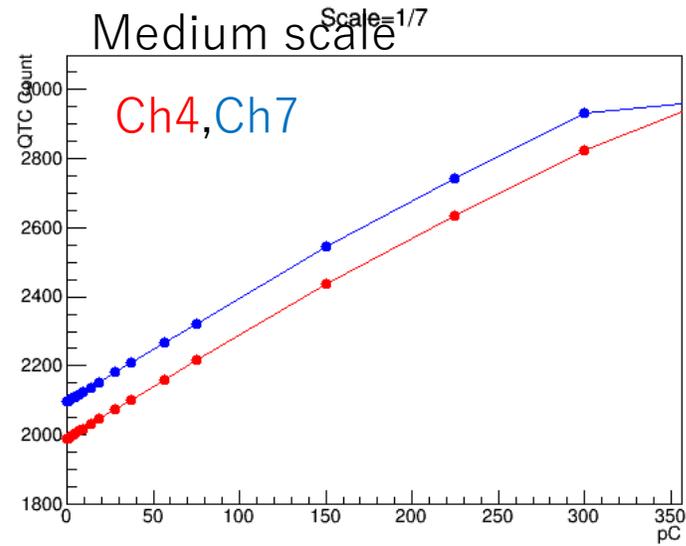
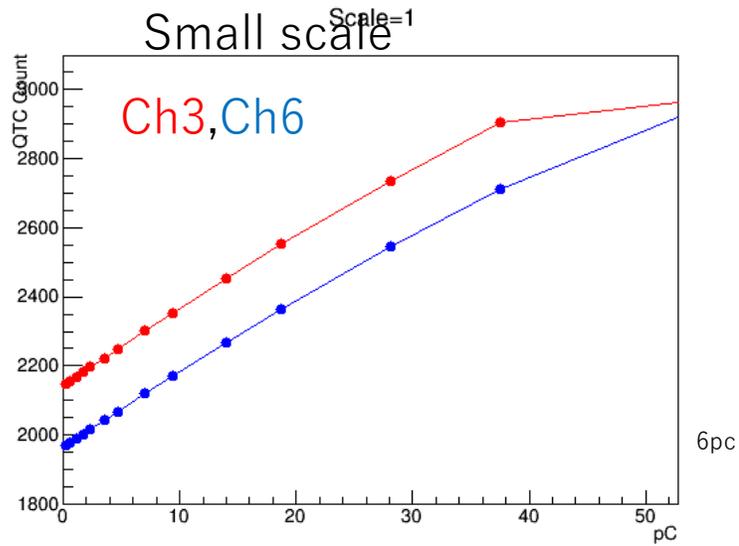


- Time bin = 250ps
- Resolution( $/\sqrt{2}$ ) ~80ps

- Requirement(0.5ns bin,  $\sigma \sim 0.2$ ns)を上回るパフォーマンスを得た
- bin幅(DNL)をcalibrateすればさらに改善する可能性(?)

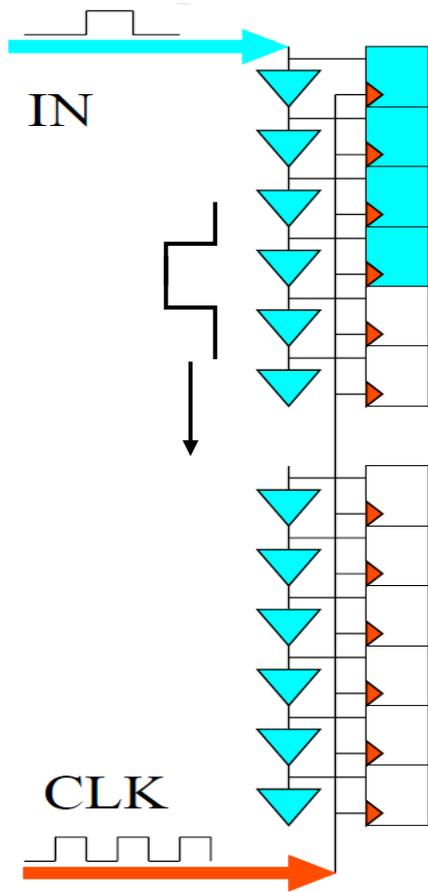
# Charge linearity

- QTC→FPGA(TDC)で電荷測定 (TDCのパフォーマンスは電荷測定にも効く)
- 全てのダイナミックレンジ(0.2~2500pC)で期待するパフォーマンス(nonlinearity<1%)を得た

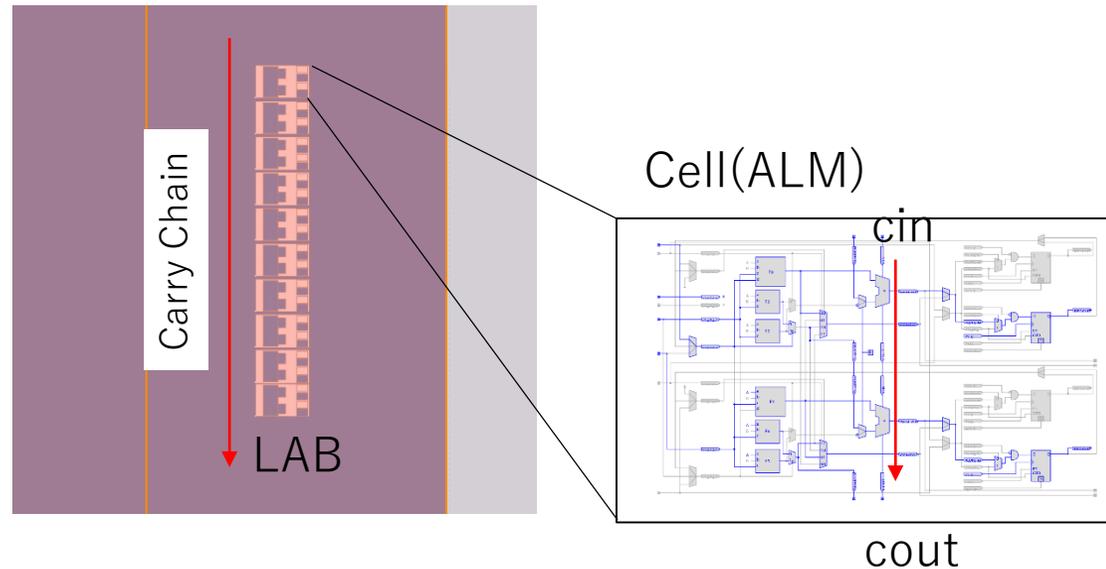


# Delay Chain TDC

Delay Chain概念図



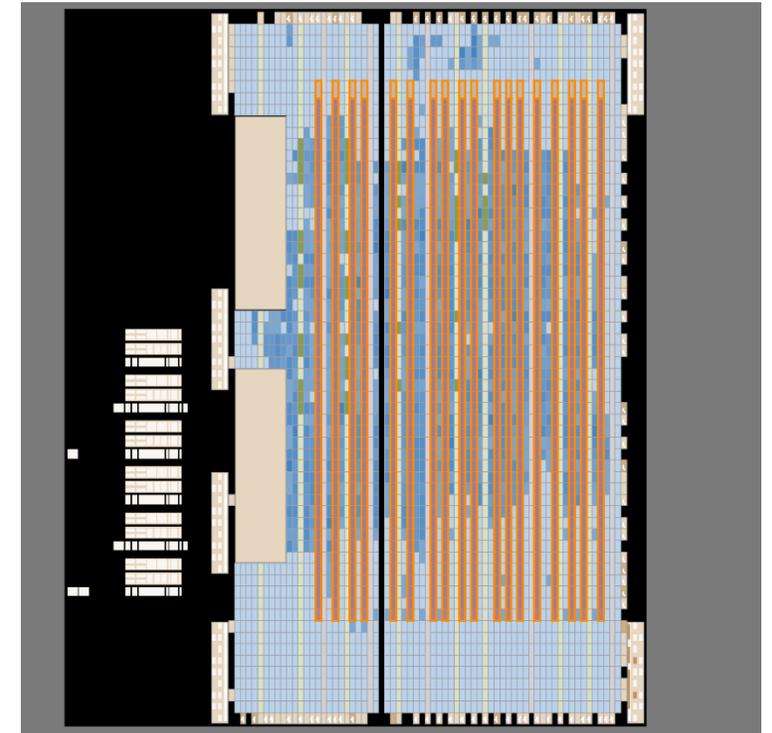
- Delay CellをChainし、信号が到達した位置からTimingを計測
- Timingに最適化されたCarry Chainがよく利用される
- 数10ps / Cell の細かなDigitが可能
- ただしClockと異なり時間軸は物理量(calibrationが必須)



# Carry Chain TDC

- Cycloneに実装
  - Cyclone III (65nm) ~50ps / LCELL
  - Cyclone V (28nm) ~10ps /ALM(2LCELL)
- Carry In/Outはテクノロジーの向上に伴い高速化されてきてるようだ。
- 細かなbin幅がとれる反面、長いChainが必要  
4ns(250MHz)のdelayを得るのに縦幅一杯のChainを使った→

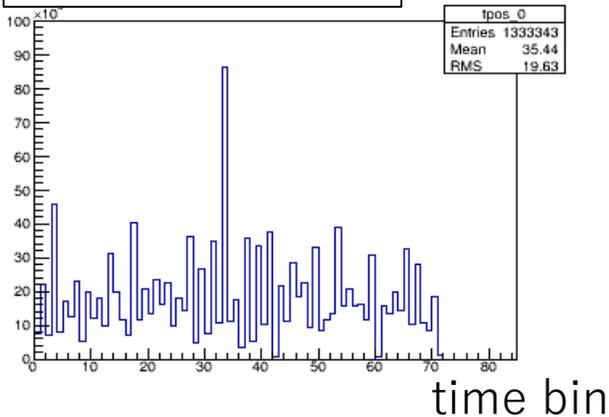
Cyclone V (5CGXFC5C6)



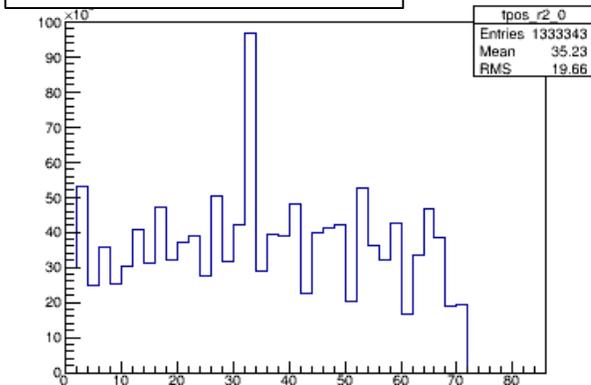
# Differential Nonlinearity

- 出力をサンプリングすることでbin幅の調整が可能

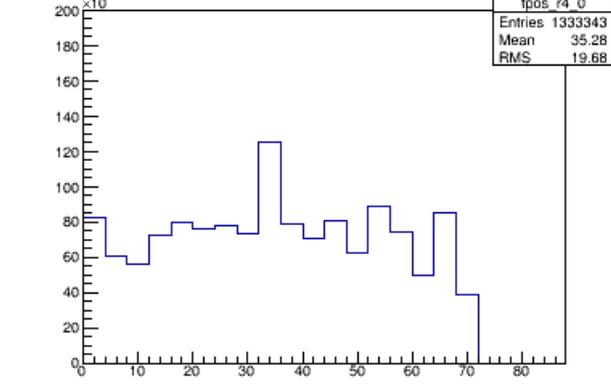
2 出力 for 1 LAB



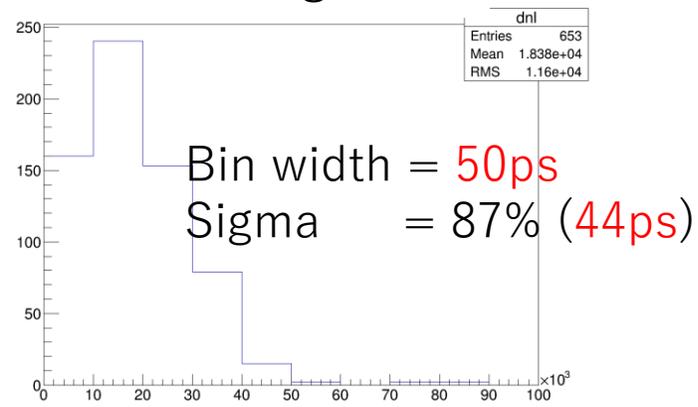
1 出力 for 1 LAB



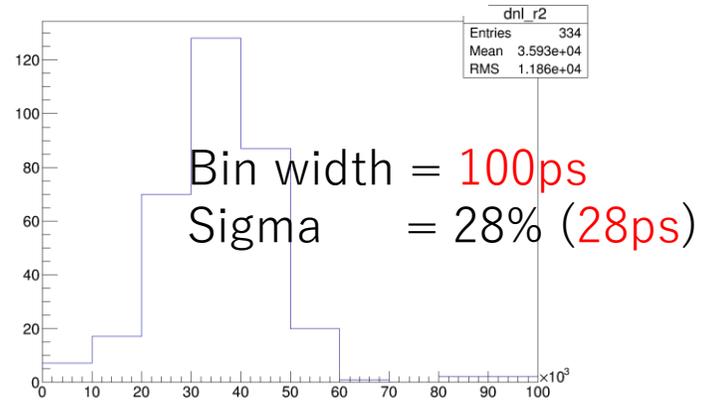
1 出力 for 2 LAB



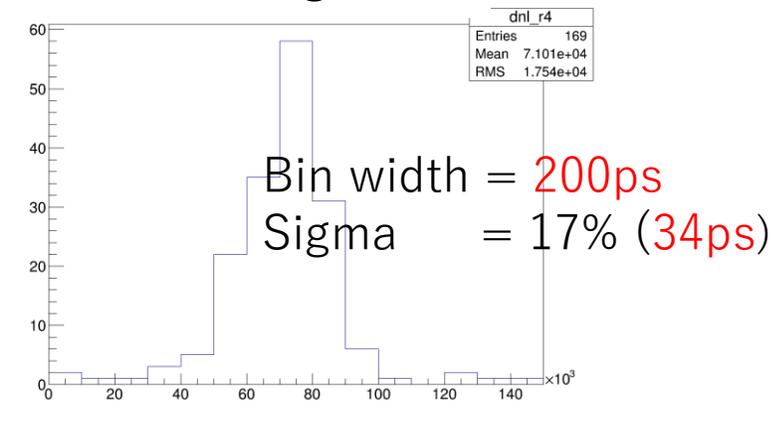
bin heights



bin heights



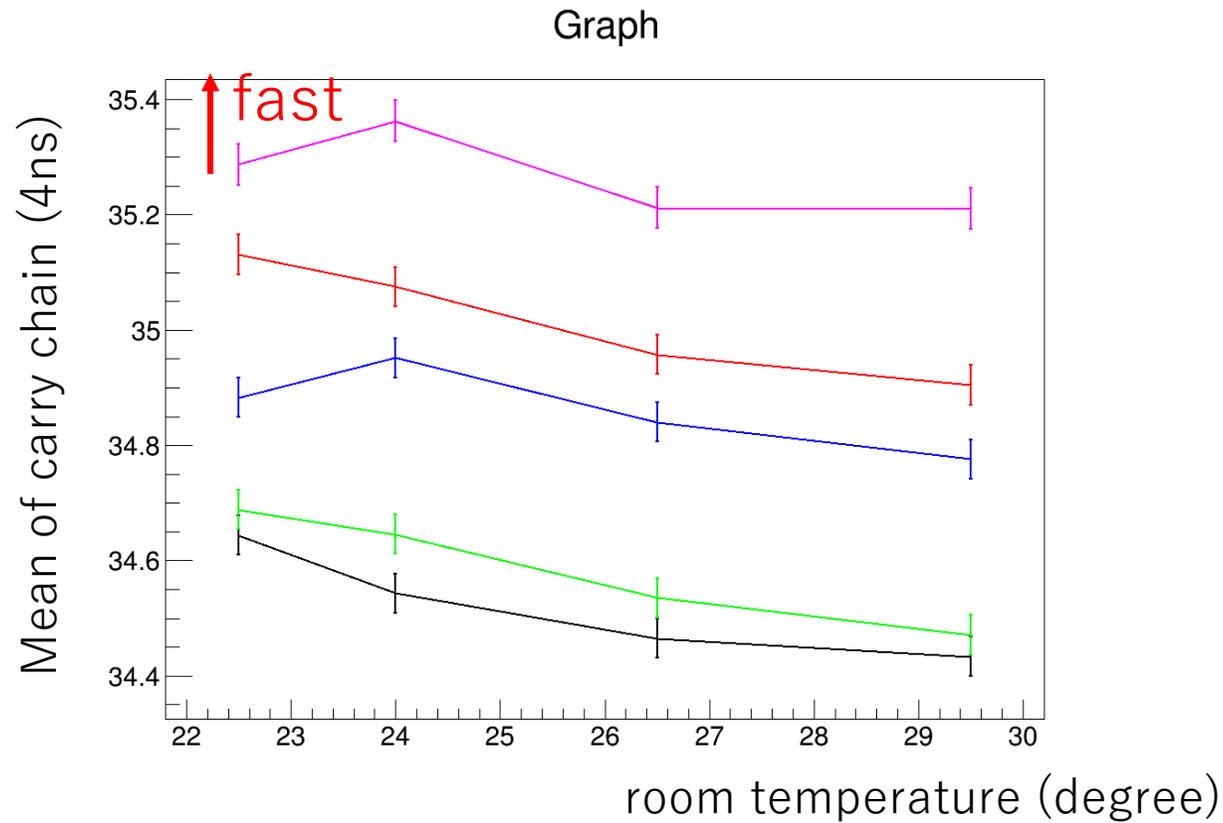
bin heights



- 基本的にはMulti phaseより細かなbin幅/よいDNL
- FPGAの構造からくる大きなDNLがみられる

# Carry Chainの時間依存性

- Carry Chainのスピードはある種の物理量なので温度/電圧などに依存



- 温度係数  $\sim -0.1\% / 1^\circ$   
(低温で速い)

# リソースとコスト

- リソースのラフな見積もり  
1 frontend boardで24PMT(72ch)を処理
  - 8 phase TDC .. 1900 LAB  
(25 LAB for 1ch + 100 LAB)
  - Carry Chain TDC .. 4780 LAB for 72ch  
(65 LAB for 1ch + 100 LAB)
- Altera Cyclone V GX
  - 5CGXC5 .. 2900 LAB \$180
  - 5CGXC7 .. 5600 LAB \$280
  - 5CGXC9 .. 11400 LAB \$480

比較的安いFPGAで数十チャンネルのTDCを実装することができる → 量産にも現実的

# まとめ

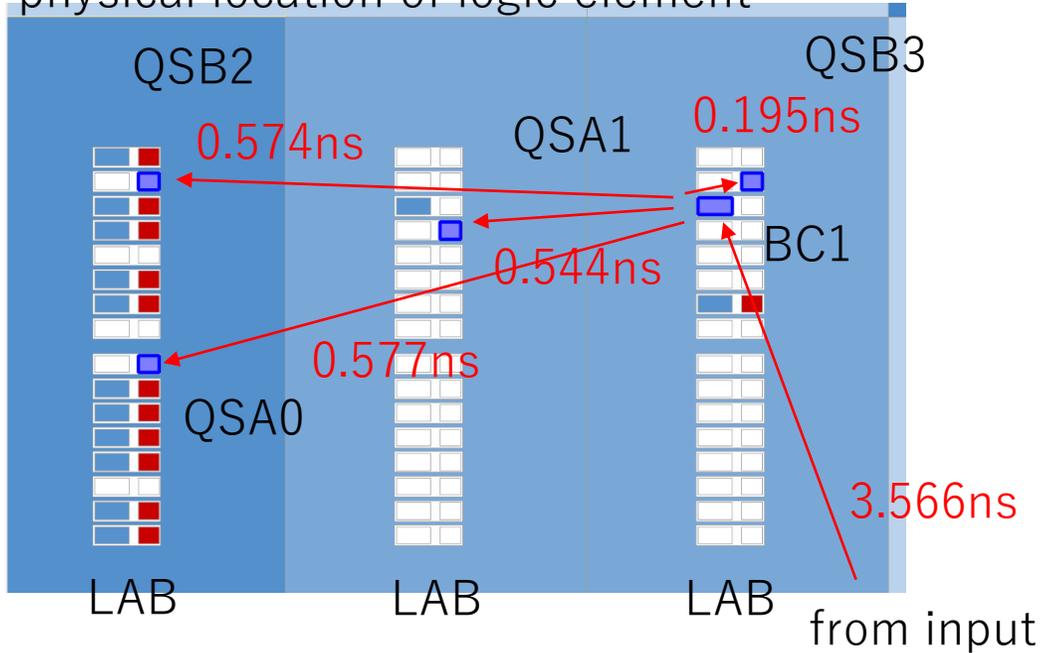
- HyperKamiokandeに必要なTDCをFPGA上で開発している
- LogicLockなどを駆使してDNLをコントロール、  
HKとして期待するパフォーマンスを得ることができた(on Cyclone V)
  1. Multi phase TDC(8 phase x500MHz) … 0.25ns bin幅, DNL 60ps, Resolution 80ps
  2. Delay chain TDC(250MHz) … ~10ps bin幅, DNL 30ps
- リソースも軽量、安いFPGA(~2万)で数十Ch、量産にも最適
- HKとしては扱い易さ(Calibration)の点でMulti phase TDCが有利、  
これをベースにフロントエンドボード全体を開発していく予定

backup

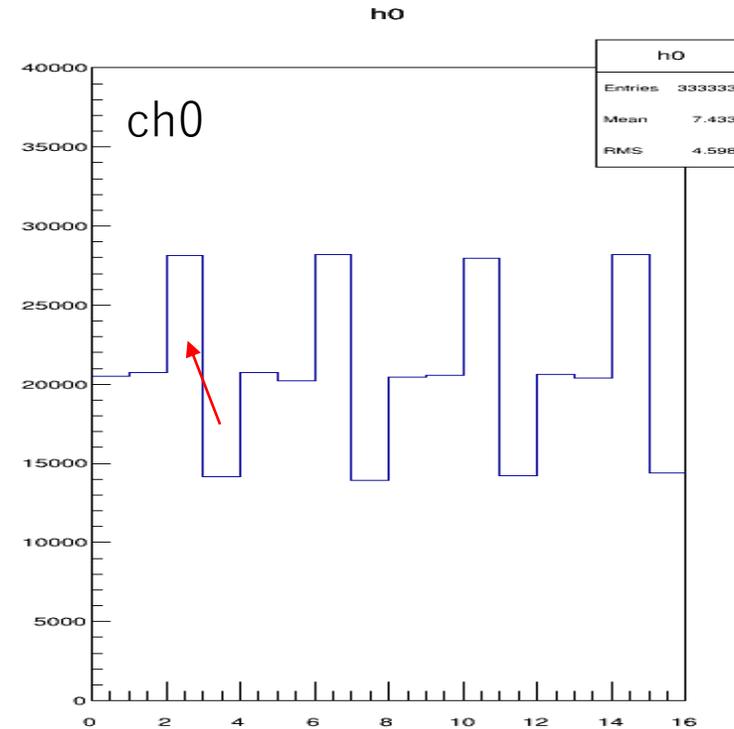
# Origin of nonlinearity 2

after fitting,  
D-FFs are located in the different Logic Array Block(LAB)

physical location of logic element



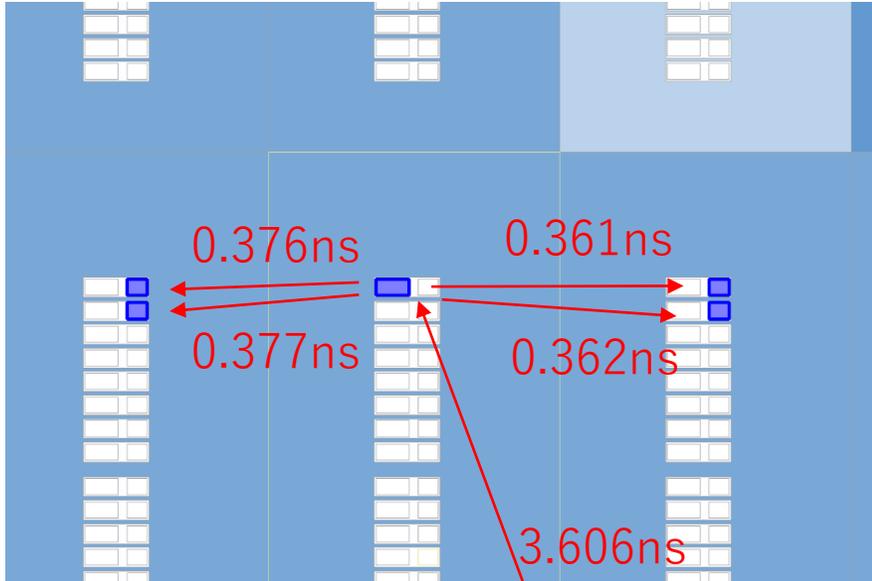
	Clock(ns)	Data(ns)
QSA0	0.991	0.577
QSA1	1.001	0.544
QSB2	0.991	0.574
QSB3	1.000	0.195



- Latency from intermediate point is different ~ 400ps
- Clocks are delivered almost simultaneously

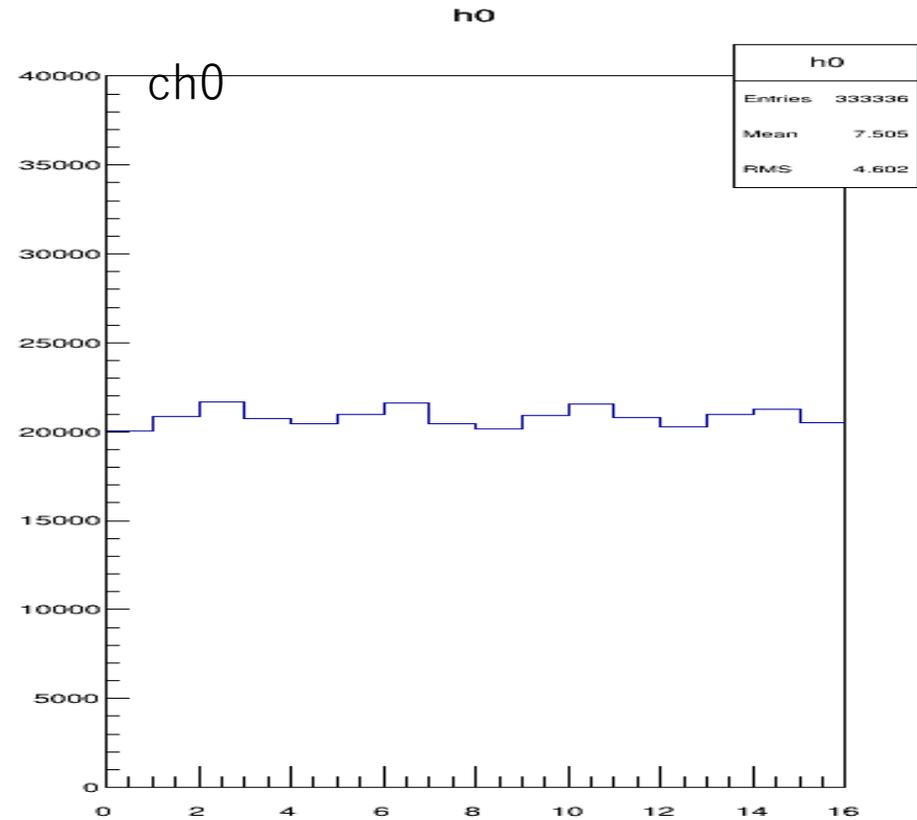
# manual allocation

manually allocate D-FFs  
with the same latency as possible



\* I couldn't fit all into 1LAB  
due to the limitation of clock  
lines (max. 2)

	Clock(ns)	Data(ns)
QSA0	1.002	0.361
QSA1	1.002	0.376
QSB2	1.002	0.362
QSB3	1.002	0.377

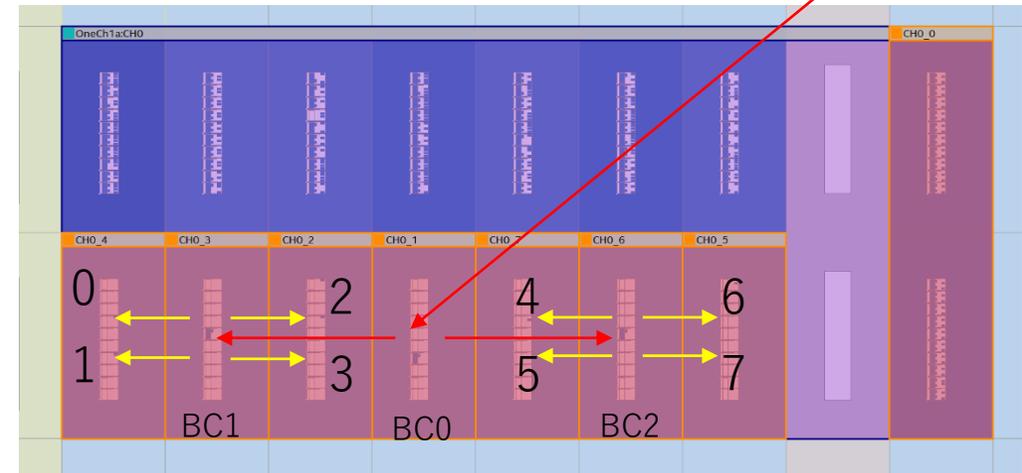
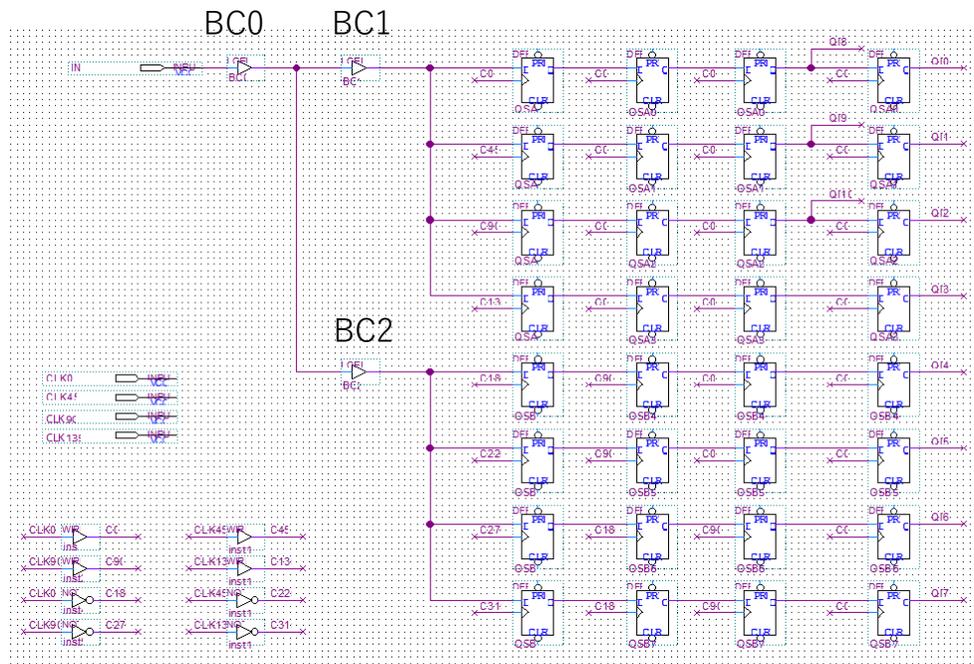


- latency difference < 20ps
- nonlinearity < 5%

# 8 phase TDC

- 8 phase at 250MHz can achieve 0.5ns time bin width ( $\sim$ AMT)
- Placed 8 latches at the same distance as possible

from input



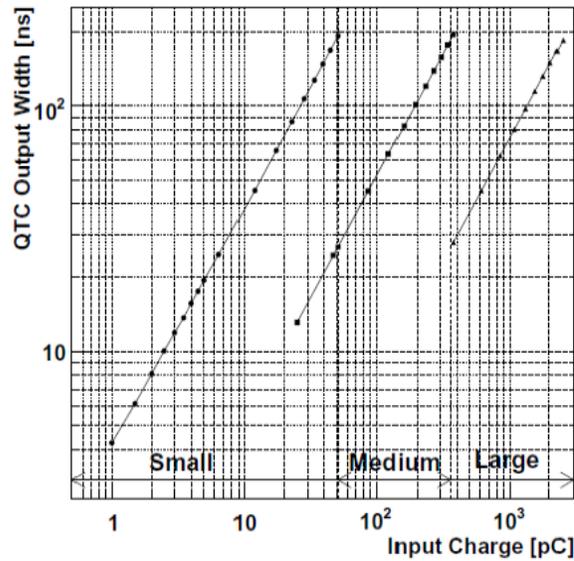


Fig 45 Charge responses of the three ranges

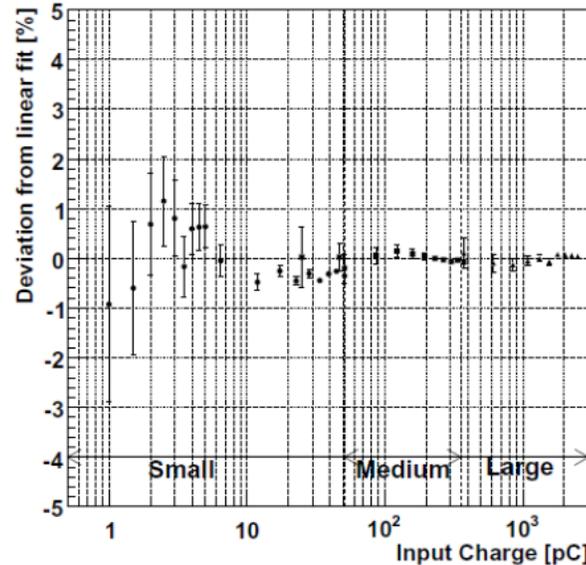


Fig 46 Charge linearity of 3 gain stage

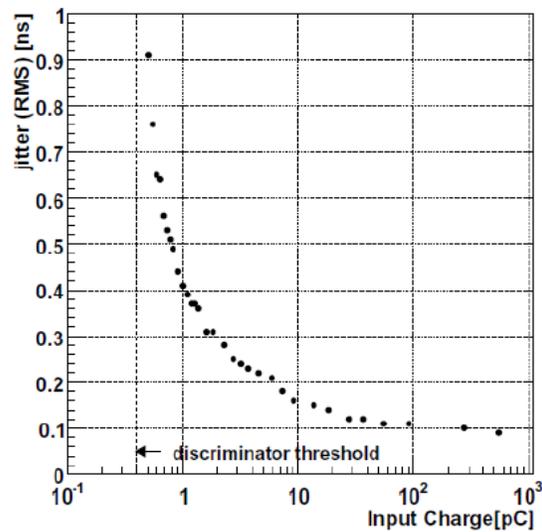


Fig 47 Timing resolution of the QTC

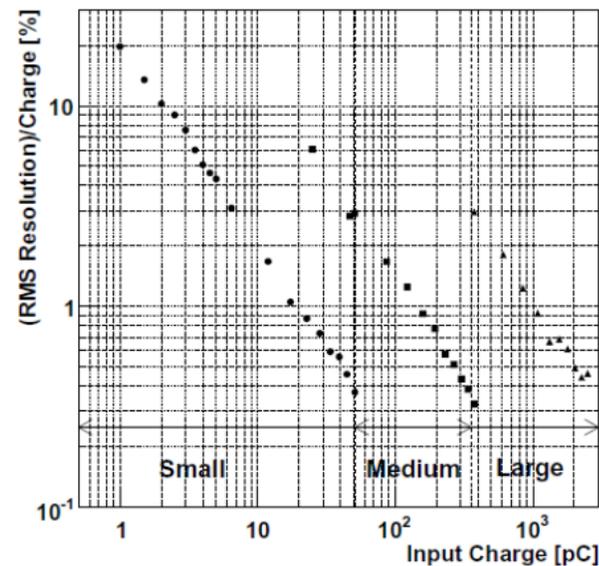


Fig 48 Charge Resolution of the 3 gain stages

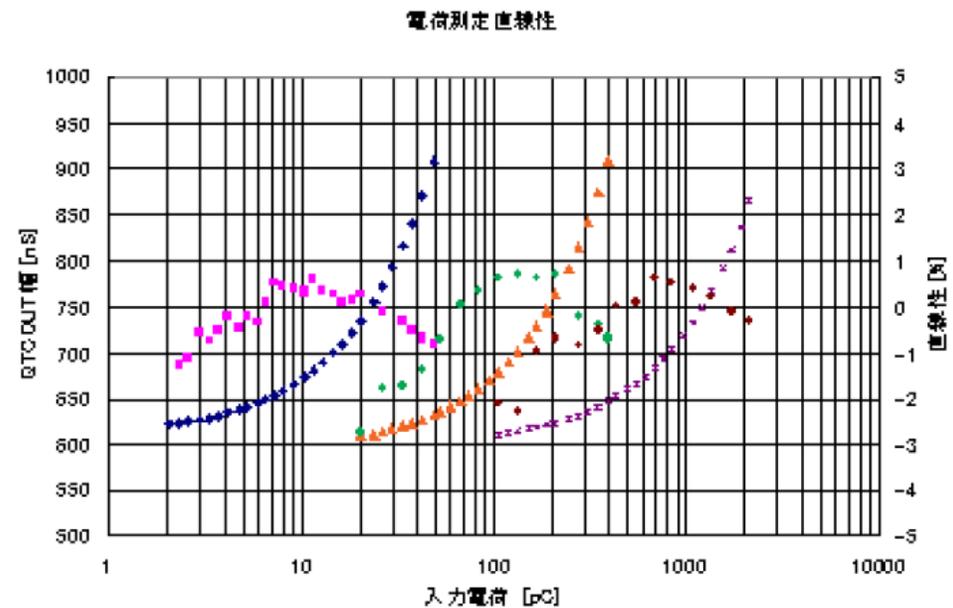


図 5-19 電荷測定直線性