

J-PARC E16における トリガーシステムの開発

京大理/理研仁科センター
市川真也,

阪大RCNP
高橋智則

for the J-PARC E16 collaboration

目次

- Introduction
 - J-PARC E16 実験概要
 - 検出器群
 - データ収集システム
- トリガーシステム
 - TRG-MRG
 - トリガーレイテンシ
- Run0に向けて
- Summary

J-PARC E16

目的: 原子核密度中におけるカイラル対称性の部分的回復の検証

@J-PARC 高運動量陽子ビームライン(**high-p**)

(**2019年度末**までに完成予定)

ビーム: 30GeV, $\sim 1 \times 10^{10}$ proton/2s (\rightarrow **5GHz**)

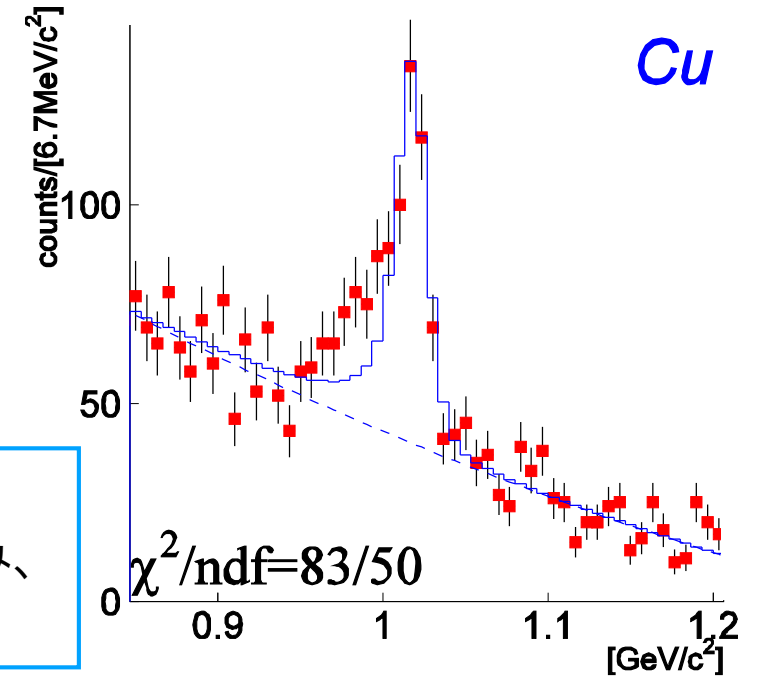
- 30GeV $p+A \rightarrow (\phi, \omega, \rho) + X$
- **e+e-**崩壊チャンネル(**分岐比** $\sim 3 \times 10^{-4}$)の不変質量を組み、原子核中+真空中でのメソンの質量スペクトルを測定

分岐比の小さな反応、大統計

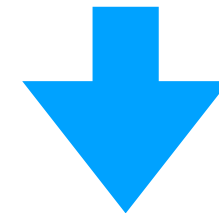
\rightarrow 大強度ビームの使用

\rightarrow レート耐性の高いデータ取得システムが必要

(最大シングルレート \sim 1MHz)



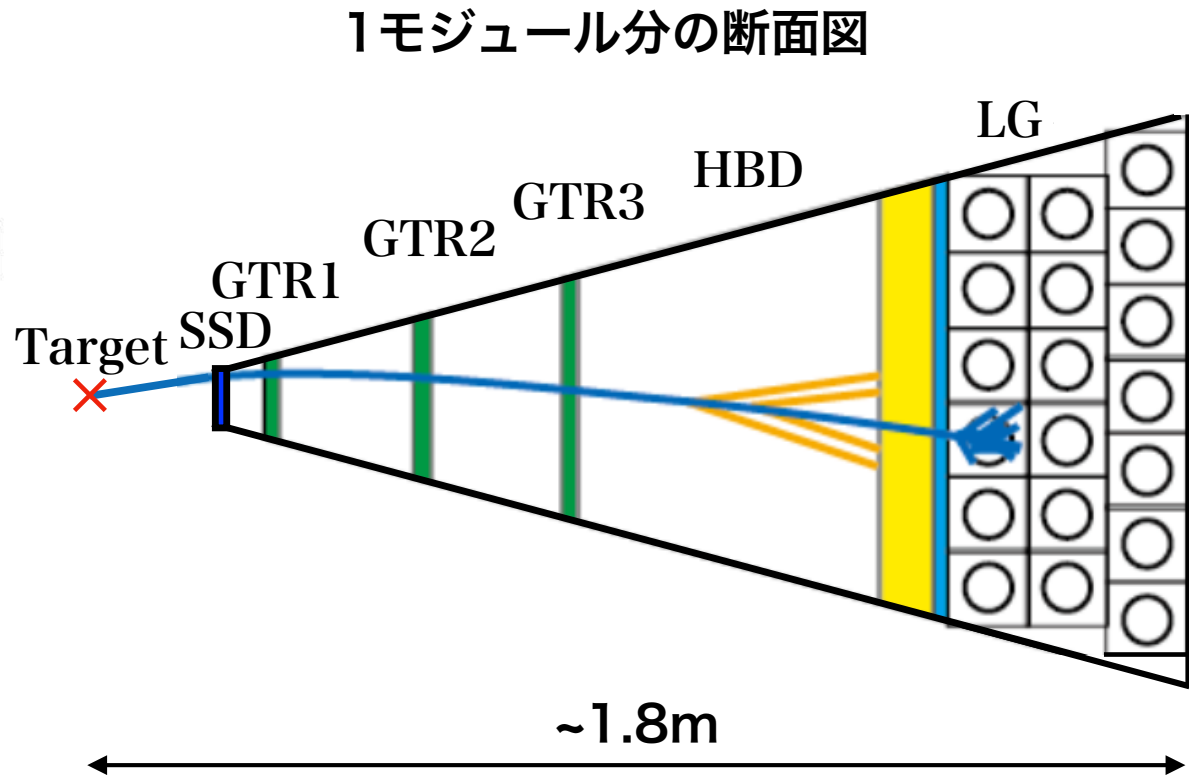
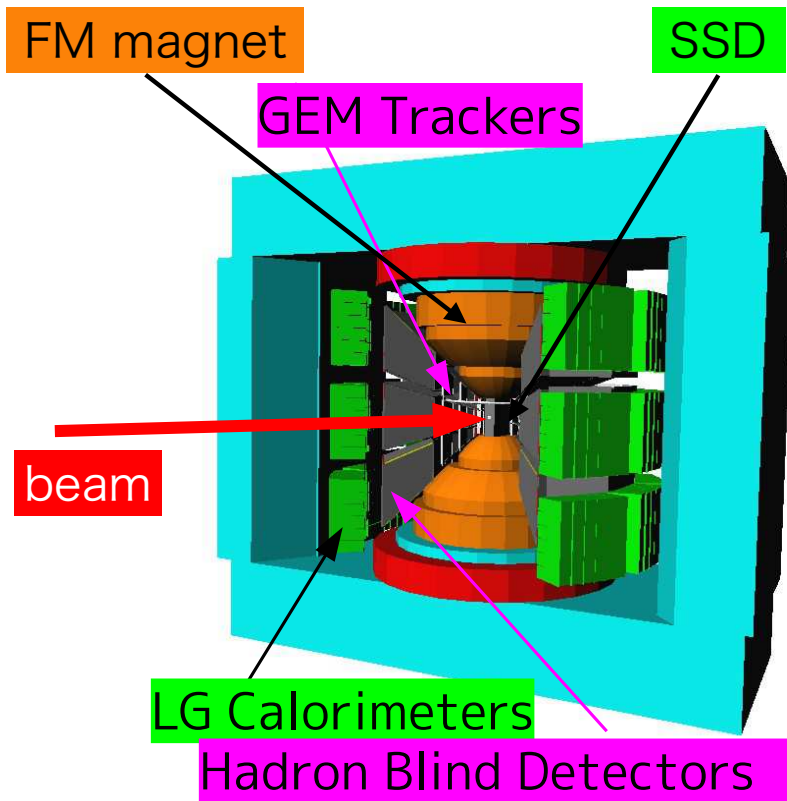
KEK E325で測定された
 ϕ の質量スペクトル



J-PARC E16

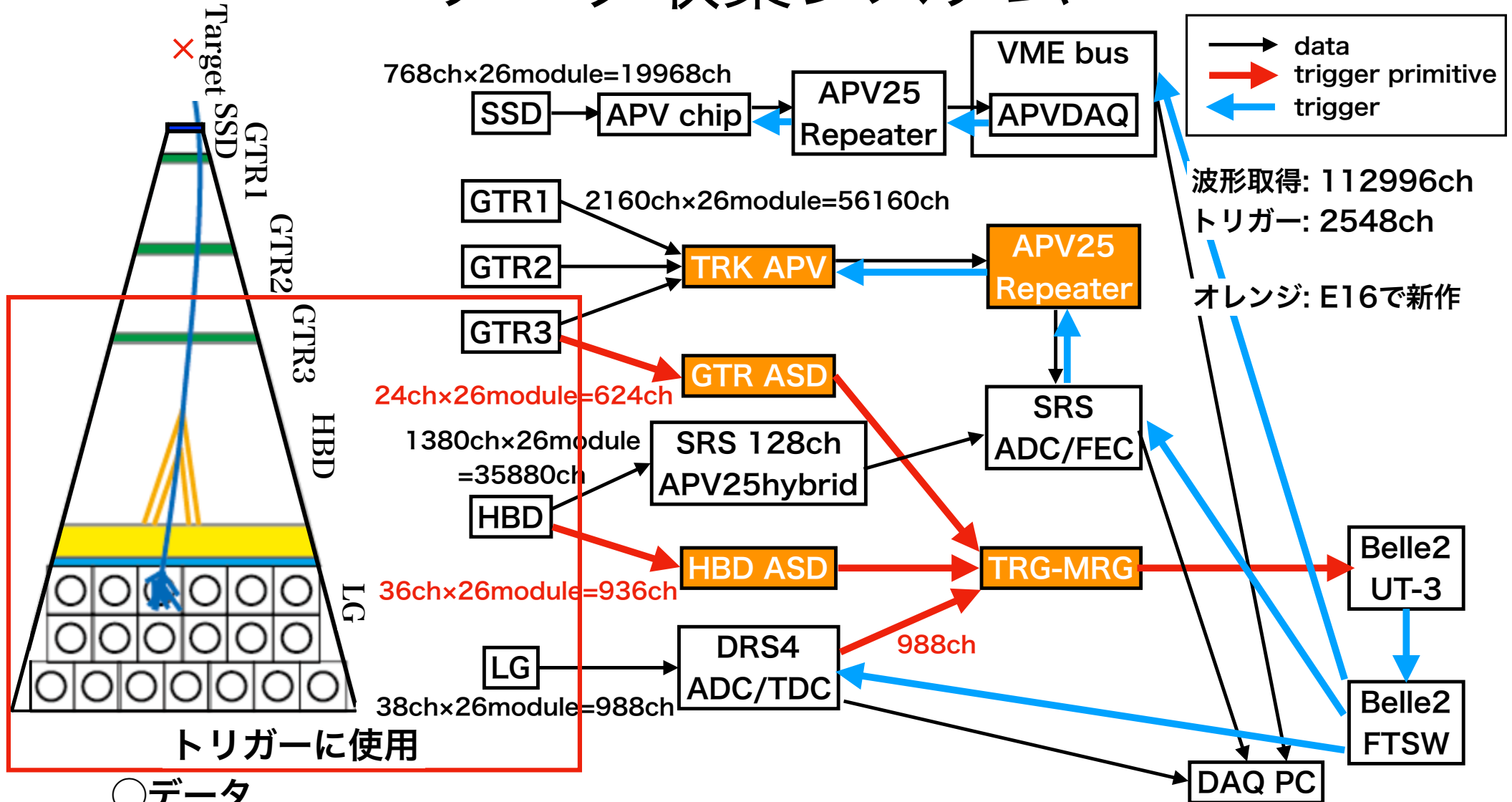
統計量100倍、 $\Delta M \sim 5$ MeV

検出器



- FM magnet, SSD, GEM Tracker(GTR)
 - 運動量測定用検出器
- Hadron Blind Detector(GC型検出器, HBD), Lead Glass Calorimeter(LG)
 - 電子識別用検出器
- 中段8モジュール、上段・下段各9モジュールの計26モジュール
- 水平方向に $\pm 135\text{deg}$ 、鉛直方向に $\pm 45\text{deg}$

データ収集システム



○データ

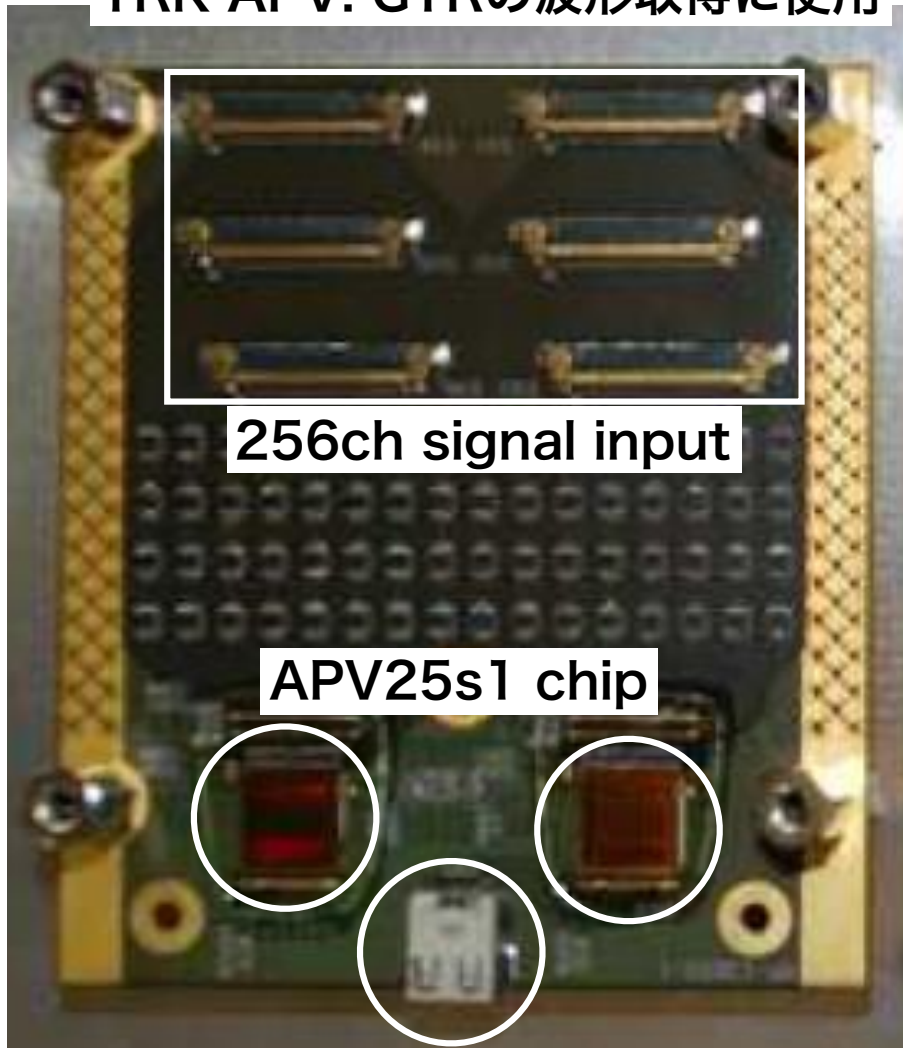
- ・全検出器で波形取得(高レートによるpile upの識別)

○トリガー

- ・検出器からのdiscr outを取得
- ・データのbuffering timeに間に合うようにトリガーを生成、分配

データbuffering用ASIC(SSD, GTR, HBD)

TRK APV: GTRの波形取得に使用



256ch signal input

APV25s1 chip

micro HDMI

データ出力, 電源供給等

○SSD, GTR, HBD

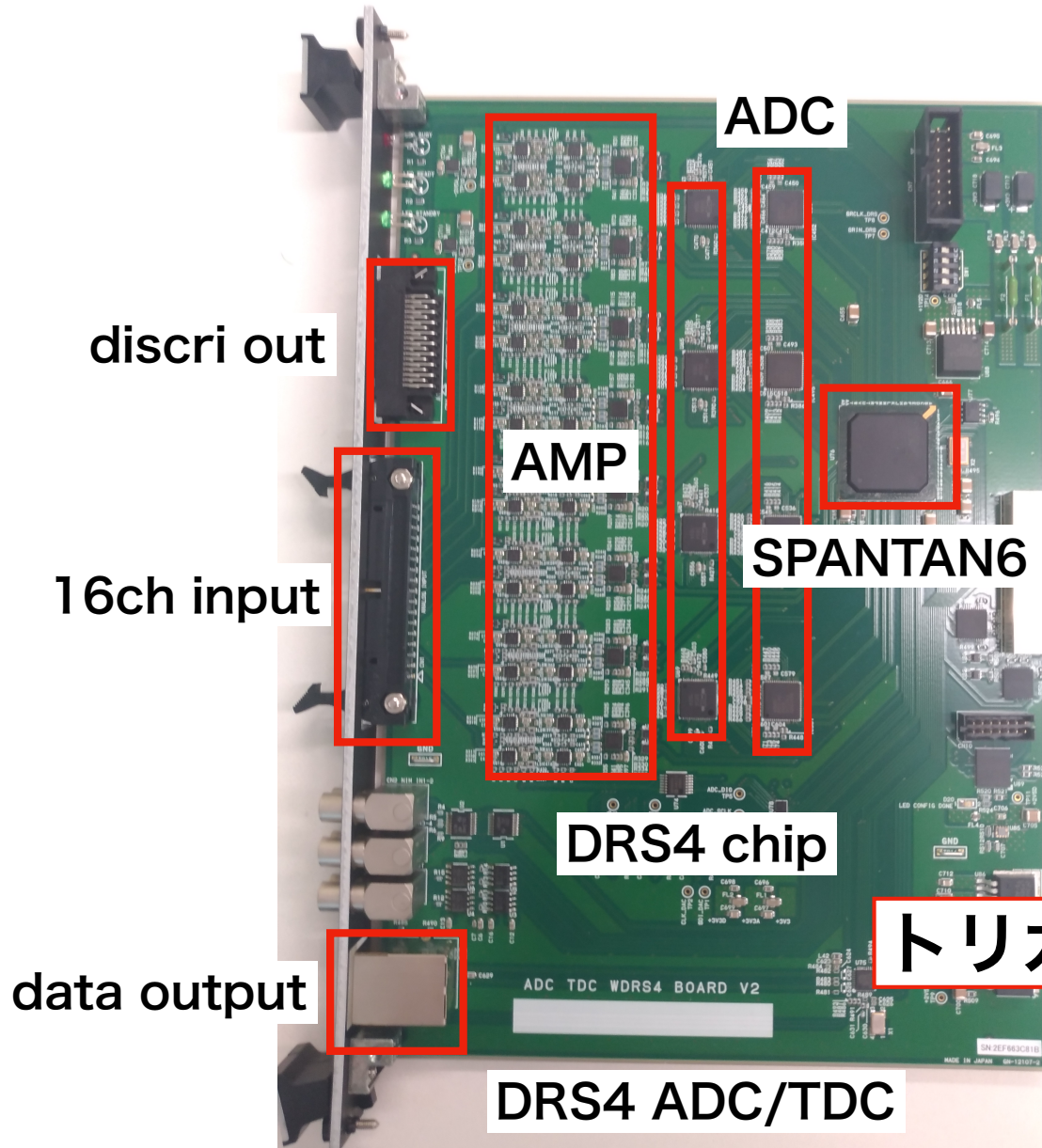
APV25s1 chip

- 40M SPS
- 128ch×160cell
->buffering time: $4\mu s$
- 全chをシリアライズして差動出力
- E16では最大18点読み出し



Open source consortium of Instrumentation

データ buffering用ASIC(LG)



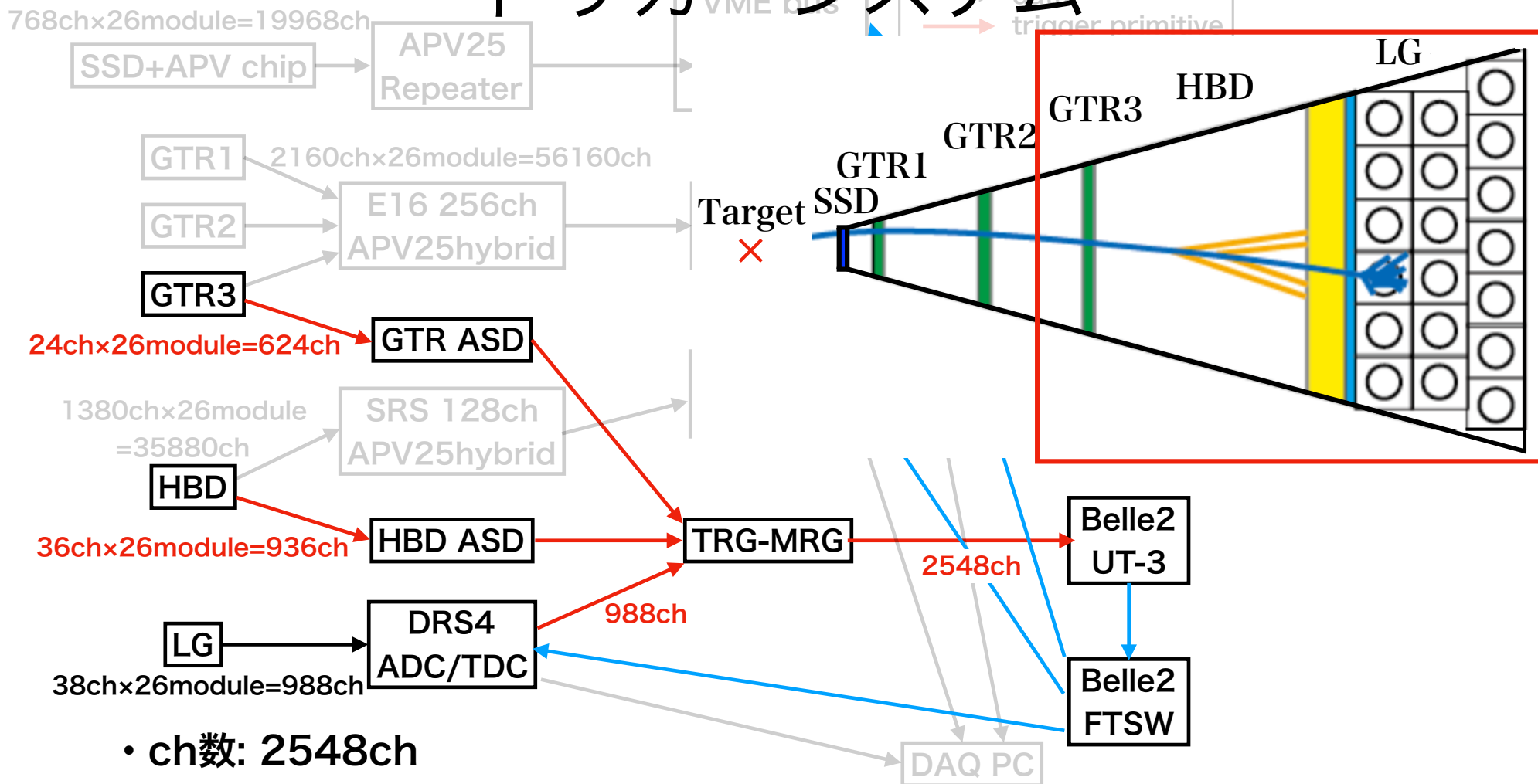
○LG

DRS4 chip

- E16では1G SPS
- 4ch×2048cell
- >buffering time: $\sim 2\mu s$
- chごとに平行で差動出力
- E16では ~ 100 点読み出し

トリガーレイテンシの上限は $\sim 2\mu s$

トリガーシステム



- ch数: 2548ch
- トリガー条件: (GTR3×HBD×LG)×(e+e-のopening angle>60deg)
(HBDのhit chで判断)

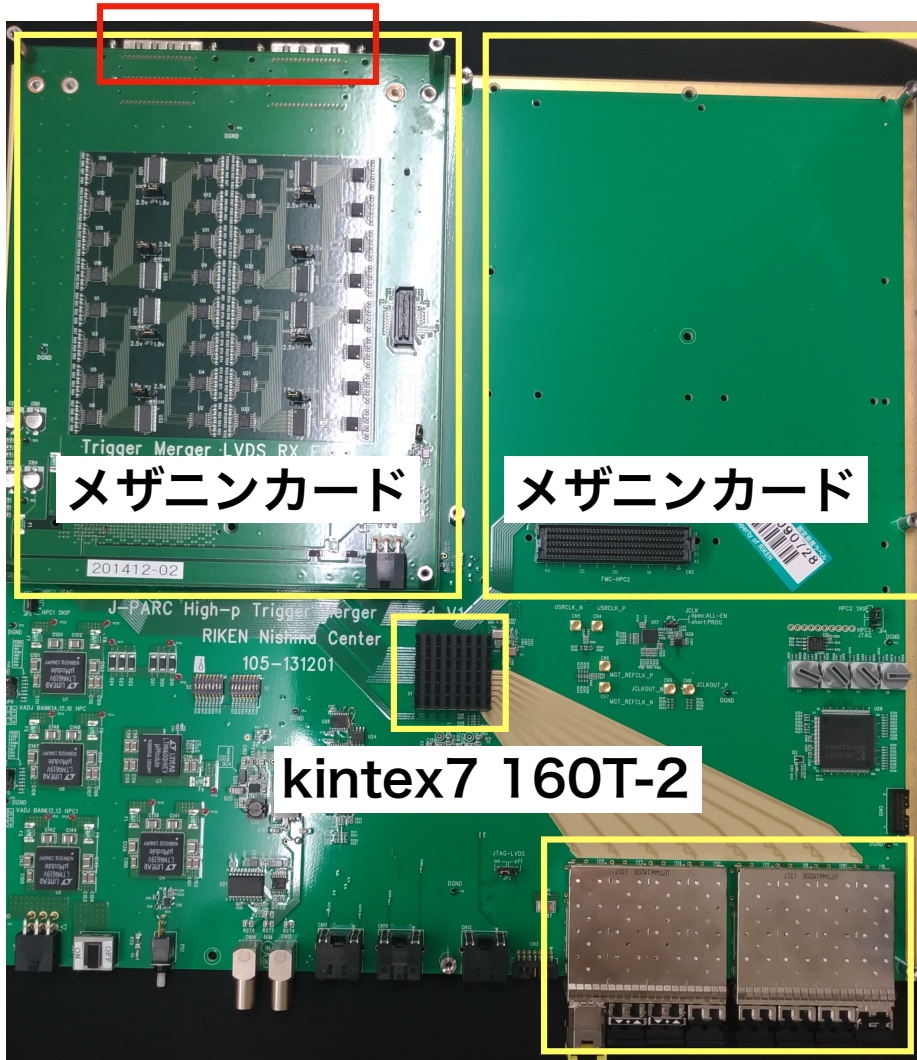
• トリガーレート~1kHz

要求性能

- トリガーレイテンシ<2μs
- 最大シングルレート~1MHzに耐性

TRG-MRG

128ch input



- トリガー中継用モジュール
- メザニンカード
 - discr outのレシーバー×2
 - ASDのslow control×2
- 256ch差動入力
- 8つの高速光通信ポート
(全て10Gbpsに対応)

高速光通信ポート (SFP+)

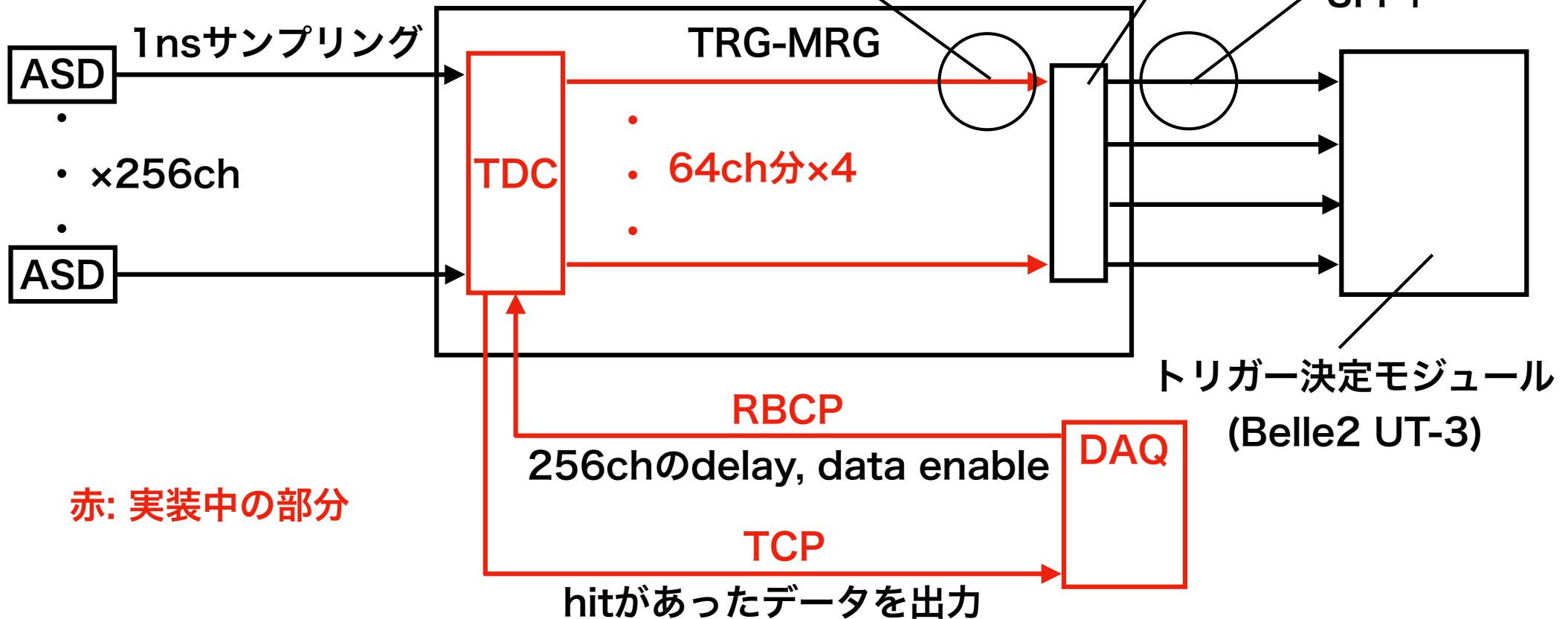
TRG-MRGの開発状況

データ量: $64\text{bit} \times 3\text{clk} / 64\text{ns}$

高速光通信

最大10Gbps

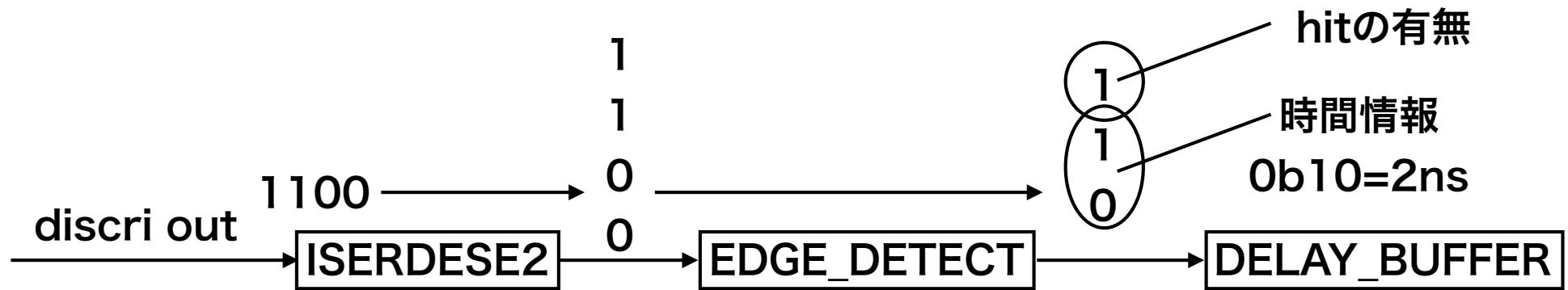
SFP+



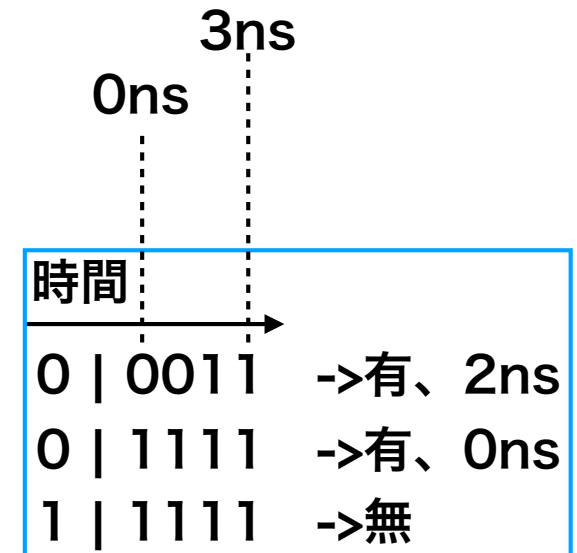
赤: 実装中の部分

- FPGA内のTDC部分はロジックの実装が完了
- 高速光通信部分は未実装
- 現在はTCP通信による部分的なデータ読み出しのテスト、TDCの実機テストの最中

TDCの各処理について①

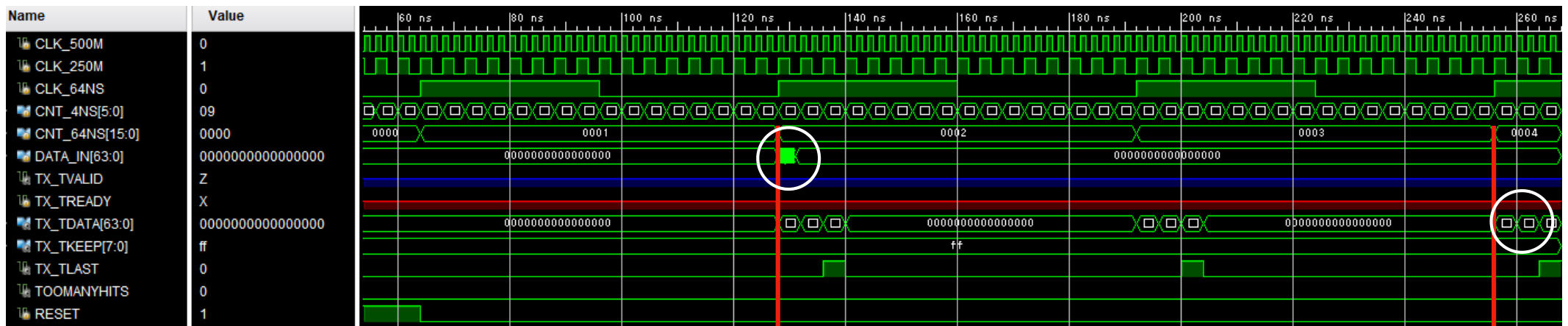
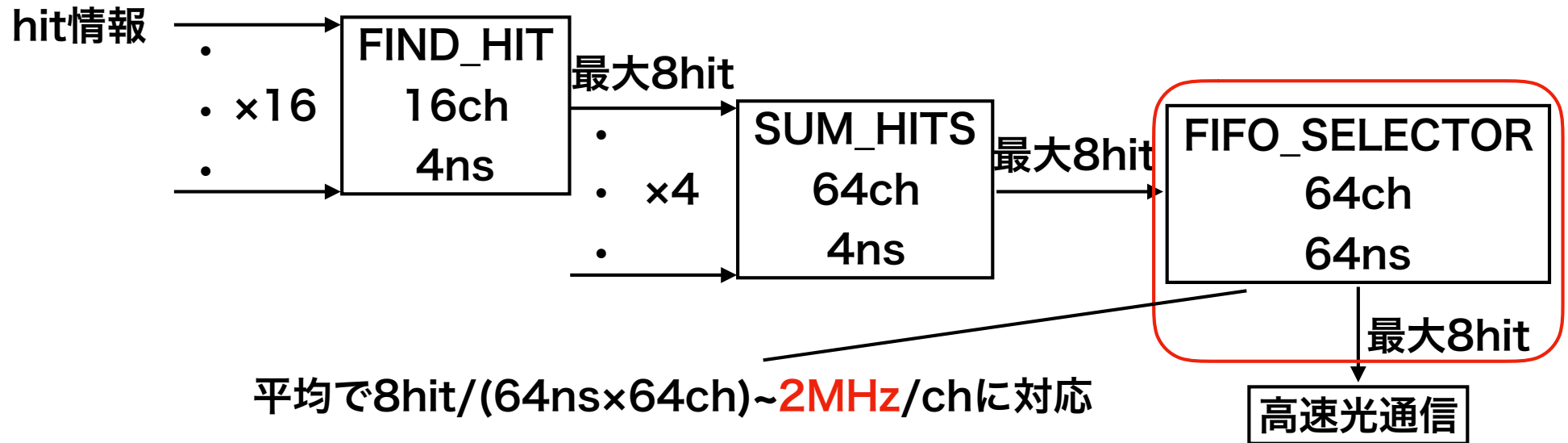


- ISERDESE2を用いて、inputを500MHz DDRでサンプリング
1GHz, 1bit幅->250MHz, 4bit幅
- EDGE_DETECT
立ち上がりを検出し、その有無とタイミング情報(0-3ns)を出力
- DELAY_BUFFER
各chで信号を最大1024ns遅らせる(4ns刻み)
※LGの信号検出からGTRの信号検出まで~500ns



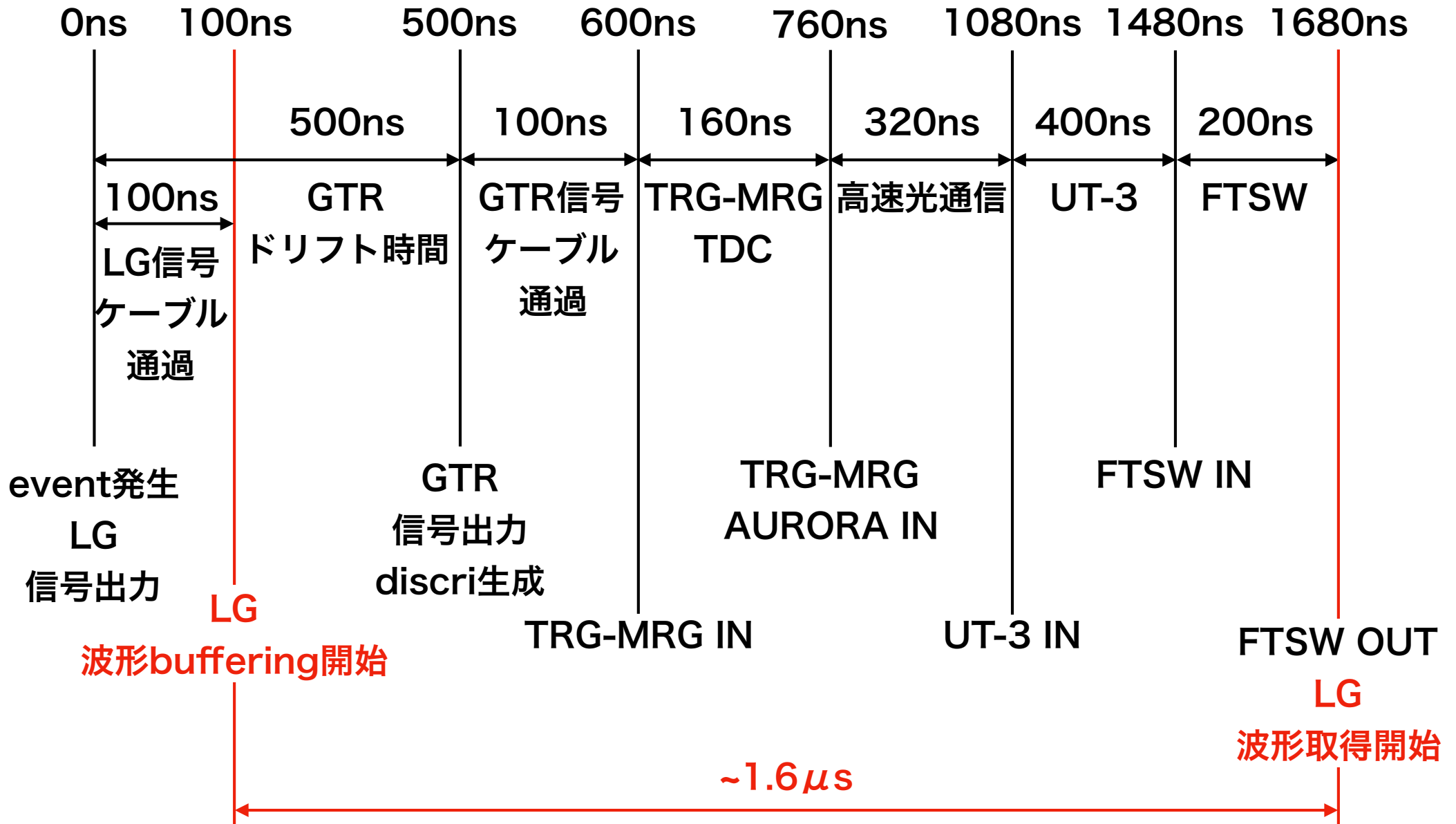
TDCの各処理について②

1ch, 4ns→64ch, 64ns



discri_outから光通信ポートまで
~100-160nsで到達

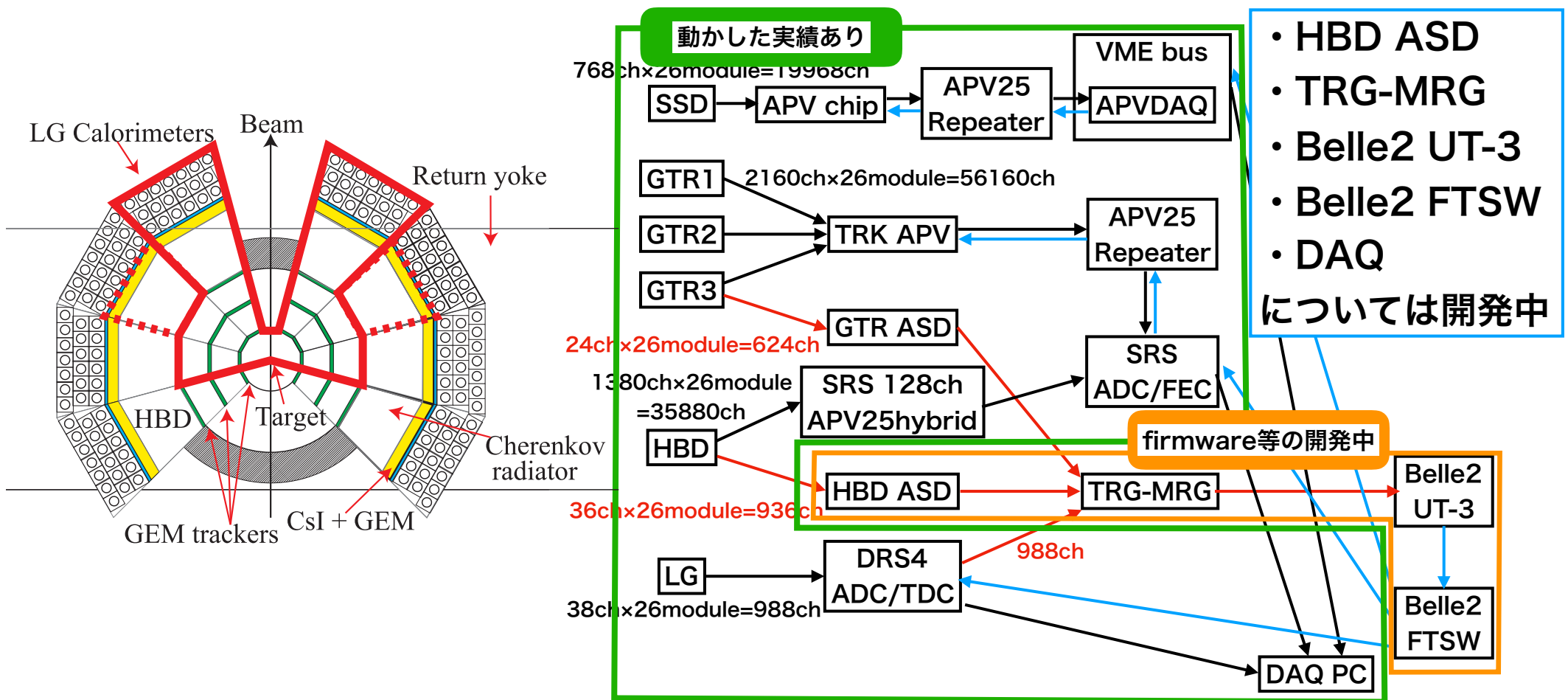
トリガーレイテンシの見積もり



LGの波形buffering time(2μs)は下回る見積もり

Run0に向けて

- ビームライン完成(2019年度末まで)次第、ビームライン、検出システムのコミッショニングとしてRun0を行う(stage-2 approved)
- Run0では、SSD, GTR, HBD, LGをそれぞれ少なくとも6,6,2,2モジュールずつ使う予定
- 現在の準備状況は右図の通り



Summary

実験について

- J-PARC 高運動量陽子ビームライン(high-p)で2019年度末頃までにコミッショニングラン
- トリガーシステムの開発が残っている

トリガーについて

- 計2548chからトリガーを生成
- トリガーレート~1kHz
- トリガーレイテンシへの要求~ $2\mu\text{s}$
->現在の見積もり~ $1.6\mu\text{s}$

TRG-MRGについて

- 1モジュールあたり256chのトリガー情報を中継
- 1ns単位のTDCをISERDESE2を用いて実装
- 5or10Gbpsで出力
- 平均2MHz程度までのhitに対応
- TDCを実装、光通信は未実装
- 現在はTCP通信による読み出しテスト中

トリガーシステム、TRG-MRGの予定

